

**8 位 MCU**  
**HR7P275**

# 数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2021 年 9 月 28 日

## 东软载波 MCU 芯片使用注意事项

### 关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

### 关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

### 关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

### 关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

### 关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在  $V_{IHMIN}$  之上，低电平应在  $V_{ILMAX}$  之下。避免输入电压介于  $V_{IHMIN}$  和  $V_{ILMAX}$  之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

### 关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

### 关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

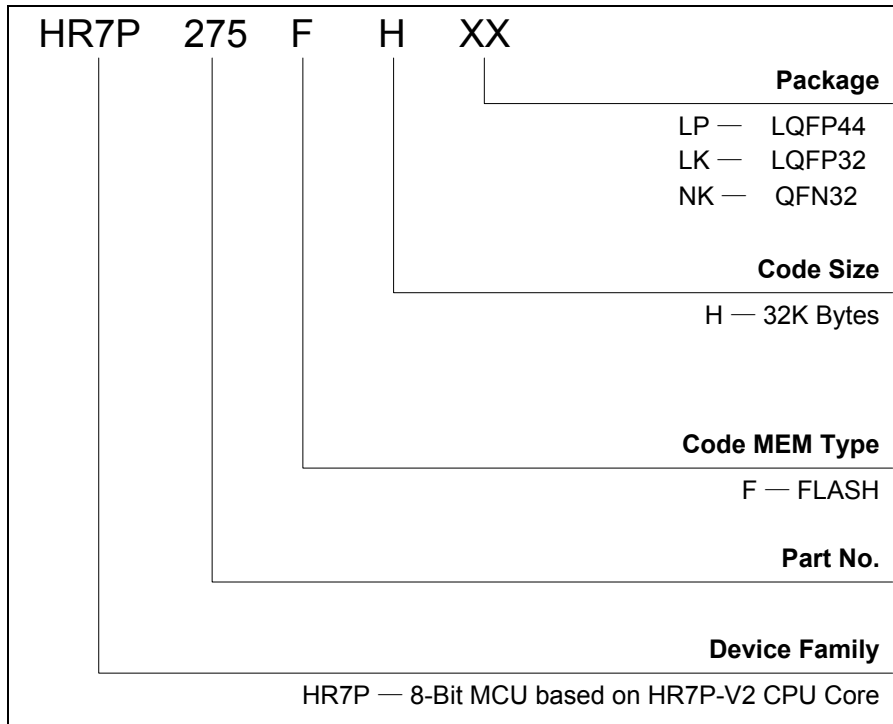
### 关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

### 产品订购信息

Part NO.	工作电压	FLASH	EEPROM	SRAM	I/O	ADC	Timer	UART	LVD	封装类型
HR7P275FHLP	2.2V~5.5V	16K Word	512 Byte	1.5K Byte	40	12-bit X 12ch	8-bit X 3	2	√	LQFP44
HR7P275FHFK					29	12-bit X 8ch	16-bit X 2			LQFP32
HR7P275FHNK										QFN32



地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：<http://www.essemi.com>

版权所有©

#### 上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

## 修订历史

版本	修改日期	更改概要
V1.0	2014-12-29	初版发布
V1.1	2015-4-30	<ol style="list-style-type: none"> <li>1. 添加 T11/T12 预分频和后分频使用注意事项;</li> <li>2. 添加 T20/21 计数器寄存器写操作注意事项;</li> <li>3. 添加 EEPROM 的 IAP 访问注意事项;</li> <li>4. 添加 PA5/PA4 做调试接口时 PAS[5:4]的配置注意事项;</li> </ol>
V1.2	2015-8-20	统一修改公司名称、logo 及网址等
V1.3	2015-10-26	增强 EEPROM 描述, 添加 EEPROM 的 IAP 编程流程说明
V1.4	2016-4-20	<ol style="list-style-type: none"> <li>1. 修改双边 PWM 模式输出波形示意图及其 PWM 计算公式;</li> <li>2. 修改 IDLE0 唤醒时序图;</li> <li>3. 删除 T21 比较器模式唤醒 ADC 功能;</li> </ol>
V1.5	2016-5-31	增加了操作内部 EEPROM 需使能 HRC 的描述。
V1.6	2016-08-16	增加了未引出的和未使用的 I/O 管脚处理
V1.7	2016-12-1	<ol style="list-style-type: none"> <li>1. 增加 QFN32 封装相关信息;</li> <li>2. BOR 模块硬件固定使能; 并修改 BOR 档位 3.5V 为 2.4V;</li> <li>3. T11/T12 预分频和后分频比可同时设置大于 1:1;</li> <li>4. 更新 ADC 电气特性表。</li> </ol>
V1.8	2017-9-20	删除 LVDIN 管脚复用功能。
V1.9	2018-5-16	更新全局中断使能 GIE 和低优先级中断使能 GIEL 的清 0 和置 1 的操作注意事项。
V1.10	2019-3-13	<ol style="list-style-type: none"> <li>1. 添加芯片上电和下电工作条件表;</li> <li>2. IAP 操作和中断时, 增加了对中断使能位 GIE 和 GIEL 操作的补充说明;</li> <li>3. 变更 Logo。</li> </ol>
V1.11	2021-9-28	<ol style="list-style-type: none"> <li>1. 更新封装尺寸参数;</li> <li>2. 更新公司地址。</li> </ol>

## 目 录

### 内容目录

<b>第 1 章</b>	<b>芯片简介</b> .....	<b>13</b>
1.1	概要 .....	13
1.1.1	特性.....	13
1.1.2	应用领域 .....	15
1.2	结构框图 .....	16
1.3	管脚分配图 .....	17
1.3.1	44 pin .....	17
1.3.2	32 pin .....	18
1.4	管脚说明 .....	20
1.4.1	管脚描述 .....	20
<b>第 2 章</b>	<b>内核特性</b> .....	<b>23</b>
2.1	CPU 内核概述 .....	23
2.2	硬件乘法器 .....	23
2.3	特殊功能寄存器 .....	23
<b>第 3 章</b>	<b>存储资源</b> .....	<b>26</b>
3.1	概述 .....	26
3.2	程序寻址空间映射 .....	26
3.3	FLASH 程序存储器.....	27
3.3.1	概述.....	27
3.3.2	程序计数器 (PC) .....	27
3.3.3	硬件堆栈 .....	28
3.3.4	FLASH 存储器的 IAP 操作.....	28
3.3.4.1	概述 .....	28
3.3.4.2	程序存储器查表读操作 .....	28
3.3.4.3	FLASH 存储器的 IAP 擦除.....	29
3.3.4.4	FLASH 存储器的 IAP 编程.....	30
3.4	EEPROM 数据存储器.....	31
3.4.1	概述.....	31
3.4.2	EEPROM 存储器的 IAP 访问.....	31
3.4.2.1	概述 .....	31
3.4.2.2	EEPROM 查表读操作 .....	31
3.4.2.3	EEPROM 存储器的 IAP 编程 .....	32
3.5	在线编程 ISP 和在线调试 ICD.....	33
3.6	数据寻址空间.....	34
3.6.1	概述.....	34
3.6.2	通用数据存储器.....	34
3.6.3	特殊功能寄存器.....	35
3.6.4	寻址方式 .....	35
3.6.4.1	直接寻址 .....	35
3.6.4.2	GPR 特殊寻址 .....	36
3.6.4.3	间接寻址 .....	36

3.6.5	特殊功能寄存器.....	37
<b>第 4 章</b>	<b>输入/输出端口.....</b>	<b>40</b>
4.1	概述.....	40
4.2	结构框图.....	41
4.3	I/O 端口功能设置.....	42
4.3.1	I/O 端口输入/输出控制.....	42
4.3.2	I/O 端口弱上拉、弱下拉功能.....	42
4.3.3	I/O 端口模拟/数字类型选择功能.....	42
4.3.4	I/O 端口驱动能力.....	42
4.3.5	I/O 端口开漏输出.....	42
4.3.6	I/O 端口复用功能.....	42
4.4	端口中断.....	42
4.4.1	外部中断 (PINT).....	42
4.4.2	按键中断 (KINT).....	43
4.5	I/O 端口操作注意事项.....	43
4.6	特殊功能寄存器.....	44
<b>第 5 章</b>	<b>特殊功能及操作特性.....</b>	<b>50</b>
5.1	系统时钟和振荡器.....	50
5.1.1	概述.....	50
5.1.2	结构框图.....	50
5.1.3	时钟源.....	50
5.1.3.1	外部高频晶体/陶瓷振荡器 HOSC.....	50
5.1.3.2	内部高速 16MHz RC 振荡器模式 (HRC).....	51
5.1.3.3	内部低速 32kHz RC 振荡器模式 (LRC).....	51
5.1.4	系统时钟源切换.....	51
5.1.4.1	系统上电时序.....	53
5.1.4.2	系统时钟切换时序.....	54
5.1.5	系统时钟分频.....	54
5.1.6	特殊功能寄存器.....	55
5.2	看门狗定时器.....	57
5.2.1	概述.....	57
5.2.2	WDT 操作.....	57
5.2.3	特殊功能寄存器.....	57
5.3	复位模块.....	59
5.3.1	概述.....	59
5.3.2	上电复位.....	59
5.3.3	掉电复位.....	59
5.3.4	外部 MRSTN 管脚复位.....	60
5.3.5	看门狗定时器溢出复位.....	61
5.3.6	RST 指令软件复位.....	62
5.3.7	特殊功能寄存器.....	63
5.4	低功耗操作.....	64
5.4.1	概述.....	64
5.4.2	低功耗模式配置.....	64

5.4.3	唤醒方式配置 .....	65
5.4.4	唤醒时序图 .....	66
5.4.5	殊功能寄存器 .....	67
<b>第 6 章</b>	<b>外设 .....</b>	<b>68</b>
6.1	定时器/计数器 (Timer/Counter) 模块 .....	68
6.1.1	8 位定时器/计数器 (T10) .....	68
6.1.1.1	概述 .....	68
6.1.1.2	内部结构图 .....	68
6.1.1.3	预分频器 .....	68
6.1.1.4	工作模式 .....	69
6.1.1.5	定时器模式 .....	69
6.1.1.6	计数器模式 .....	70
6.1.1.7	特殊功能寄存器 .....	71
6.1.2	8 位定时器 (T11/T12) .....	72
6.1.2.1	概述 .....	72
6.1.2.2	内部结构图 .....	72
6.1.2.3	预分频器和后分频器 .....	73
6.1.2.4	工作模式 .....	73
6.1.2.5	定时器模式 .....	74
6.1.2.6	单边 PWM 模式 .....	74
6.1.2.7	单脉冲发射模式 .....	75
6.1.2.8	T1n 复用输出端口 .....	76
6.1.2.9	特殊功能寄存器 .....	77
6.1.3	16 位门控型定时器 (T20/T21) .....	80
6.1.3.1	概述 .....	80
6.1.3.2	内部结构图 .....	81
6.1.3.3	预分频器 .....	81
6.1.3.4	工作模式 .....	81
6.1.3.5	定时器/计数器模式 .....	81
6.1.3.6	捕捉器模式 .....	83
6.1.3.7	比较器模式 .....	84
6.1.3.8	单边 PWM 模式 .....	85
6.1.3.9	双边 PWM 模式 .....	85
6.1.3.10	T2n 复用功能输出端口 .....	86
6.1.3.11	特殊功能寄存器 .....	86
6.2	模/数转换器模块 (ADC) .....	91
6.2.1	概述 .....	91
6.2.2	ADC 内部结构图 .....	91
6.2.3	ADC 配置 .....	92
6.2.4	ADC 转换步骤 .....	92
6.2.5	AD 时序特征示意图 .....	93
6.2.6	特殊功能寄存器 .....	94
6.2.7	ADC 应用例程 .....	96
6.3	接收发送器 (UART1/UART2) .....	97

6.3.1	概述.....	97
6.3.2	内部结构图.....	97
6.3.3	波特率配置.....	98
6.3.4	传输数据格式.....	98
6.3.5	异步发送器.....	98
6.3.6	异步接收器.....	99
6.3.7	UART 使用注意事项.....	100
6.3.8	特殊功能寄存器.....	101
6.4	低电压检测模块 (LVD).....	103
6.4.1	概述.....	103
6.4.2	LVD 操作.....	103
6.4.3	特殊功能寄存器.....	104
<b>第 7 章</b>	<b>中断处理.....</b>	<b>105</b>
7.1	概述.....	105
7.2	内部结构.....	105
7.3	中断模式选择.....	106
7.3.1	默认中断模式.....	107
7.3.2	向量中断模式.....	107
7.3.2.1	向量表配置.....	107
7.3.2.2	向量中断模式中断分组配置.....	108
7.3.2.3	中断使能配置.....	109
7.4	中断现场保护.....	110
7.5	中断操作.....	110
7.5.1	中断使能位 GIE 和 GIEL 的操作.....	110
7.5.2	外部中断.....	111
7.5.3	外部按键中断.....	111
7.5.4	ADC 中断.....	111
7.5.5	T10 溢出中断.....	111
7.5.6	T1n(T11/T12)定时中断.....	112
7.5.7	T1n(T11/T12)周期中断.....	112
7.5.8	T2n 溢出中断.....	112
7.5.9	T2n 多功能中断.....	112
7.5.10	UART 中断.....	113
7.5.11	LVD 中断.....	113
7.5.12	IAP 中断.....	113
7.5.13	中断操作注意事项.....	113
7.6	特殊功能寄存器.....	114
<b>第 8 章</b>	<b>芯片配置字.....</b>	<b>119</b>
<b>第 9 章</b>	<b>芯片封装图.....</b>	<b>121</b>
9.1	LQFP44 封装尺寸图.....	121
9.2	LQFP32 封装尺寸图.....	122
9.3	QFN32 封装尺寸图.....	123
<b>附录 1</b>	<b>指令集.....</b>	<b>124</b>
附录 1.1	概述.....	124



附录 1.2	寄存器操作指令 .....	124
附录 1.3	程序控制指令 .....	124
附录 1.4	算术/逻辑运算指令 .....	126
<b>附录 2</b>	<b>特殊功能寄存器总表.....</b>	<b>128</b>
<b>第 1 章</b>	<b>.....</b>	<b>128</b>
<b>附录 3</b>	<b>电气特性.....</b>	<b>133</b>
附录 3.1	参数特性表 .....	133
附录 3.2	参数特性图 .....	137

图目录

图 1-1	HR7P275 结构框图 .....	16
图 1-2	HR7P275 LQFP44 .....	17
图 1-3	HR7P275 LQFP32 .....	18
图 1-4	HR7P275 QFN32 .....	19
图 3-1	程序寻址空间映射图 .....	26
图 3-2	堆栈示意图 .....	28
图 3-3	GPR 地址映射示意图 .....	34
图 3-4	特殊功能寄存器空间 .....	35
图 3-5	直接寻址示意图 .....	36
图 3-6	GPR 特殊寻址示意图 .....	36
图 3-7	间接寻址示意图 .....	37
图 4-1	PA/PD/PE 端口结构图 .....	41
图 4-2	PB/PC 端口结构图 .....	41
图 5-1	系统时钟内部结构图 .....	50
图 5-2	振荡器电路示意图 .....	51
图 5-3	系统上电时序图（外部复位时间小于上电定时时间） .....	53
图 5-4	系统上电时序图（外部复位时间大于上电定时时间） .....	53
图 5-5	LRC 时钟切换到 HOSC/HRC 时钟时序图 .....	54
图 5-6	HOSC/HRC 时钟切换到 LRC 时钟时序图 .....	54
图 5-7	看门狗定时器内部结构图 .....	57
图 5-8	系统复位内部结构图 .....	59
图 5-9	上电复位时序示意图 .....	59
图 5-10	BOR 低电压复位时序示意图 .....	60
图 5-11	外部 MRSTN 管脚复位 .....	60
图 5-12	MRSTN 复位参考电路图 1 .....	61
图 5-13	MRSTN 复位参考电路图 2 .....	61
图 5-14	看门狗溢出复位 .....	62
图 5-15	RST 指令软件复位 .....	62
图 5-16	系统时钟为 LRC 时，芯片唤醒 IDLE0 的时序图 .....	66
图 5-17	系统时钟为 HRC/HOSC 时，系统唤醒 IDLE0 的时序图 .....	66
图 5-18	系统时钟为 LRC/HRC/HOSC 时，系统唤醒 IDLE1 的时序图 .....	66
图 6-1	T10 内部结构图 .....	68
图 6-2	定时器模式时序图 .....	70
图 6-3	计数器模式时序图（T10EG=0，T10CKI 上升沿计数） .....	70
图 6-4	T1n 内部结构图 .....	72
图 6-5	T1n 定时器模式时序图 .....	74
图 6-6	T1n 单边 PWM 模式示意图 .....	75
图 6-7	T1n 单脉冲发射模式示意图 .....	76
图 6-8	T2n 内部结构图 .....	81
图 6-9	T2n 定时器模式时序图（T2nGB=0，T2n 门控信号为低时，T2n 计数） .....	82
图 6-10	T2n 计数器模式时序图（T2nGB=0，T2n 门控信号为低时，T2n 计数） .....	83
图 6-11	T2n 捕捉器模式时序图（T2nM=0101，每个脉冲上升沿捕捉信号） .....	84
图 6-12	T2n 比较器模式时序图 .....	84

图 6-13	T2n 单边 PWM 正向逻辑输出模式示意图 .....	85
图 6-14	T2n 双边 PWM 正向逻辑输出模式示意图 .....	86
图 6-15	ADC 内部结构图 .....	91
图 6-16	ADC 时序特征示意图 .....	93
图 6-17	UART 发送端原理图 .....	97
图 6-18	UART 接收端原理图 .....	98
图 6-19	UART 数据格式示意图 .....	98
图 6-20	UART 发送器操作流程图中 .....	99
图 6-21	UART 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”） .....	99
图 6-22	UARTx 接收器操作流程图中 .....	100
图 6-23	UART 接收器接收数据时序图（9 位数据格式） .....	100
图 6-24	LVD 工作时序图 .....	103
图 7-1	默认中断模式中中断控制逻辑 .....	105
图 7-2	向量中断模式中中断控制逻辑 .....	106

## 表目录

表 1-1	管脚说明.....	22
表 3-1	EEPROM 数据存储器页寻址空间.....	31
表 3-2	EEPROM 数据存储器工作参数.....	31
表 3-3	在线编程/调试管脚说明.....	33
表 5-1	振荡器匹配电容参考表.....	51
表 5-2	低功耗模式配置表.....	64
表 5-3	唤醒方式配置表.....	65
表 5-4	唤醒时间计算表.....	66
表 6-1	T10 预分频器配置表.....	69
表 6-2	T1n 预分频器配置表.....	73
表 6-3	T1n 后分频器配置表.....	73
表 6-4	UART 波特率配置表.....	98
表 7-1	中断模式选择表.....	106
表 7-2	默认中断模式使能配置表.....	107
表 7-3	向量表配置表.....	108
表 7-4	向量中断模式中断分组配置表.....	108
表 7-5	向量中断模式使能配置表.....	110

## 第 1 章 芯片简介

### 1.1 概要

---

#### 1.1.1 特性

- ◆ 工作条件
  - ◇ 工作电压范围：2.2V ~ 5.5V
  - ◇ 工作温度范围：-40 ~ 85°C
  
- ◆ 工艺、封装
  - ◇ 低功耗、高速 FLASH CMOS 工艺
  - ◇ 采用 LQFP32、QFN32 或 LQFP44 封装
  
- ◆ 内核
  - ◇ 采用 HR7P-V2 RISC CPU 内核，79 条精简指令集
  - ◇ 采用 2T 架构，每个机器周期包括两个系统时钟周期
  - ◇ 系统时钟最高支持 20MHz，最小指令周期 100ns
  - ◇ 支持中断优先级和中断向量表
  - ◇ 12 级程序堆栈（PC 硬件堆栈）
  - ◇ 支持 8 x 8 硬件乘法器
  
- ◆ 存储资源
  - ◇ 16K Word FLASH 程序存储器，支持 IAP 操作（IAP 操作时 CPU 暂停）
  - ◇ 512 Byte EEPROM 数据存储器，支持 IAP 操作（操作单位为字节，支持字节读/写，操作时 CPU 继续运行）
  - ◇ 1.5K Byte SRAM 数据存储器
  
- ◆ 编程和调试
  - ◇ 支持 5 线制编程接口（ISP）
  - ◇ 支持 5 线制在线调试接口（ICD）
  - ◇ 支持两组编程/调试接口可选择
  - ◇ 支持编程代码加密保护
  
- ◆ I/O 端口
  - ◇ 最多支持 40 个 I/O 端口
  - ◇ 支持 4 个外部端口中断（PINT0~PINT3）

- ◇ 支持 4 个外部按键 (KIN0~KIN3)
  
- ◆ 时钟源
  - ◇ 外部高频晶体/陶瓷振荡器 HOSC
    - 支持 HS 模式和 XT 模式
    - 用于主系统时钟源, 内置系统时钟分频器
  - ◇ 内部高速 16MHz RC 振荡器 (HRC)
    - 用于主系统时钟源, 内置系统时钟分频器
    - 出厂校准精度为 $\pm 2\%$  (25°C, VDD=3.0V~5.5V)
  - ◇ 内部低速 32kHz RC 振荡器 (LRC)
    - 用于 WDT 时钟源, 可选择用于主系统和部分外设时钟源
  
- ◆ 硬件看门狗电路
  - ◇ 时钟源采用内部低速 32kHz RC 振荡器 (LRC), 最大计数溢出周期约 1.024 秒
  - ◇ 可选择睡眠模式下运行或暂停, 睡眠模式下运行计数溢出可唤醒 CPU
  
- ◆ 复位
  - ◇ 内嵌上电复位 POR
  - ◇ 内嵌下电复位 BOR, 支持 4 个检测电压点选择
  - ◇ 支持外部复位 MRSTN, 低电平复位有效
  
- ◆ 低功耗
  - ◇ 支持低功耗睡眠模式 (支持 IDLE1 和 IDLE0 两种休眠模式) 及硬件唤醒
  - ◇ 睡眠待机 (IDLE0) 电流典型值 (35uA@VDD=5V, 25°C)
  - ◇ 32KHz 低速运行模式电流典型值 (400uA@VDD=5V, 25°C)
  - ◇ 16MHz 高速运行模式电流典型值 (2.5mA@ VDD=5V, 25°C)
  
- ◆ 外设
  - ◇ 1 路 8 位定时/计数器 T10
    - 内置预分频器
    - 支持定时器/计数器模式
    - 支持中断请求
  - ◇ 2 路 8 位定时器 T11/T12
    - 内置预分频器和后分频器
    - 支持定时器模式
    - 支持单边 PWM 模式 (最大支持 9 位分辨率)
    - 支持单脉冲发射模式
    - 支持中断请求
  - ◇ 2 路 16 位门控定时器 T20/T21

- 内置预分频器
- 支持外部门控定时/计数
- 支持定时器/计数器模式
- 支持捕捉模式
- 支持比较模式
- 支持单边 PWM 模式（最大支持 17 位分辨率）
- 支持双边 PWM 模式（最大支持 17 位分辨率）
- 支持中断请求
- ◇ 模拟数字转换器 ADC
  - 12 位数字转换精度
  - 12 个模拟输入通道可选
  - 支持中断请求
- ◇ 2 路高速异步收发器 UART1/UART2
  - 内置波特率发生器
  - 支持异步全双工收发
  - 8 位/9 位数据格式可选
  - 约定数据从最低位开始接收/发送
  - 支持发送脉宽调制模式
  - 支持中断请求
- ◇ 低电压监测模块
  - 可监测 VDD 输入
  - 监测 VDD 时监测电压点可配置
  - 支持中断请求

### 1.1.2 应用领域

本芯片可用于家电、工业控制等领域。

## 1.2 结构框图

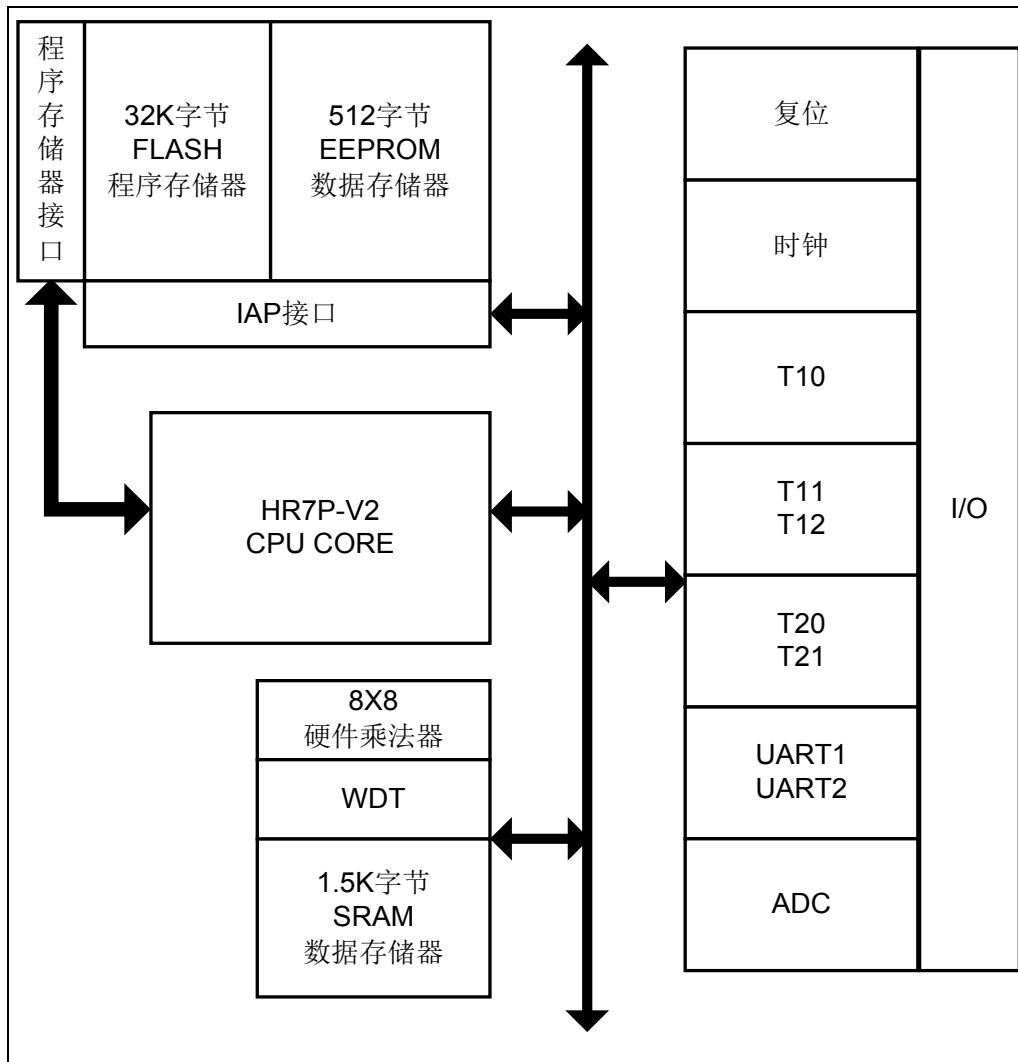


图 1-1 HR7P275 结构框图



### 1.3 管脚分配图

#### 1.3.1 44 pin

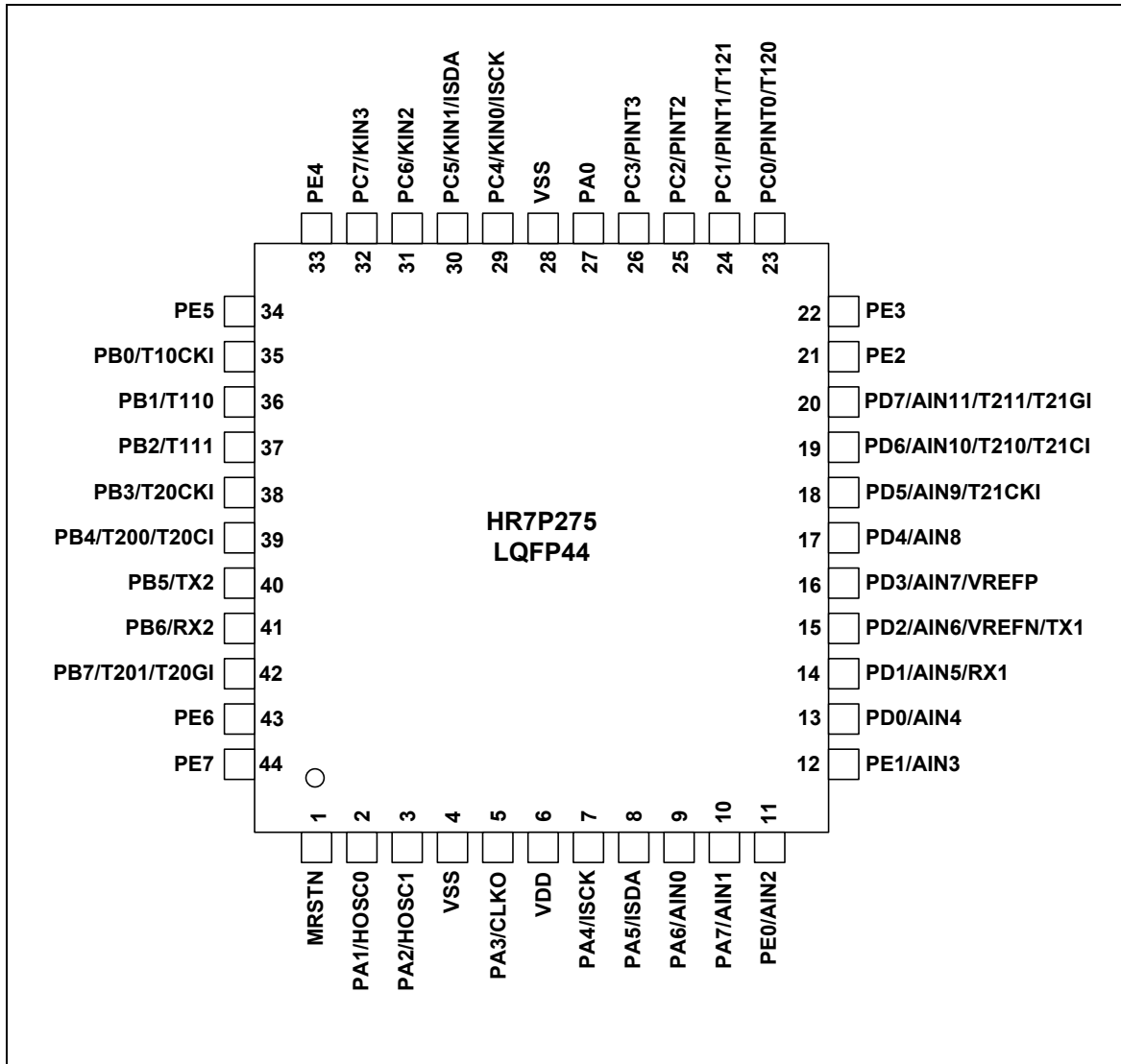


图 1-2 HR7P275 LQFP44

1.3.2 32 pin

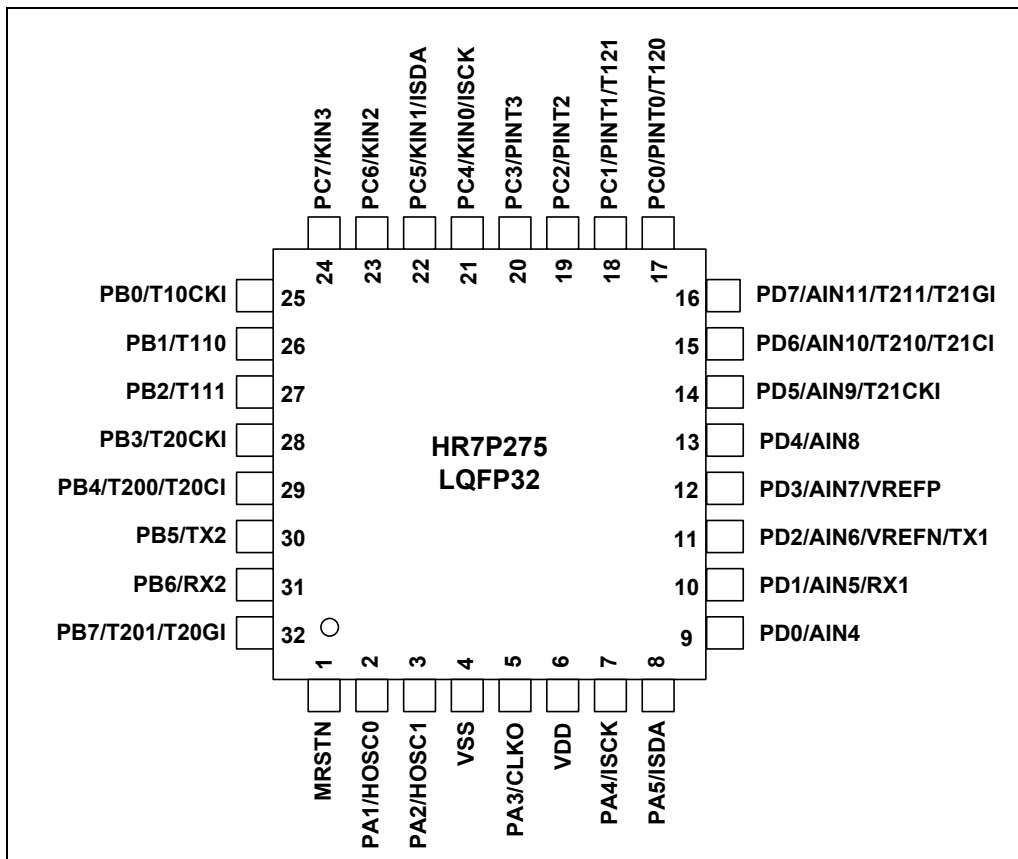


图 1-3 HR7P275 LQFP32

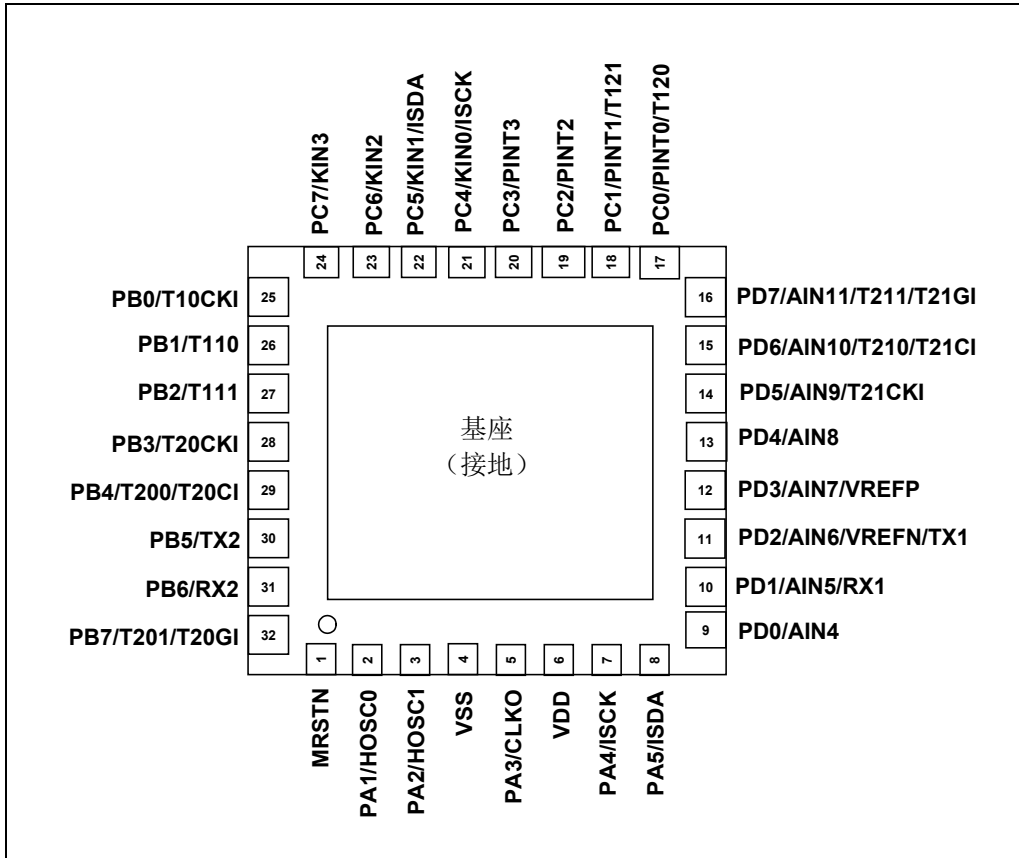


图 1-4 HR7P275 QFN32

注 1: 如果产品封装引脚数小于最大引脚数, 则未引出的和未使用的 I/O 管脚都需设置为输出低电平。否则芯片功耗可能会出现异常, 芯片工作稳定性也容易因外界干扰而降低。

## 1.4 管脚说明

### 1.4.1 管脚描述

管脚名称	功能	输入类型	输出类型	A/D	端口说明	备注
PA0	PA0	TTL	CMOS	D	通用 I/O	—
PA1/HOSC0	PA1	TTL	CMOS	D	通用 I/O	
	HOSC0	—	—	A	外部谐振器输入	
PA2/HOSC1	PA2	TTL	CMOS	D	通用 I/O	
	HOSC1	—	—	A	外部谐振器输出	
PA3/CLKO	PA3	TTL	CMOS	D	通用 I/O	
	CLKO	—	CMOS	D	系统时钟分频输出	
PA4/ISCK	PA4	TTL	CMOS	D	通用 I/O	
	ISCK	TTL	—	D	编程/调试串行时钟端口 1	
PA5/ISDA	PA5	TTL	CMOS	D	通用 I/O	
	ISDA	TTL	CMOS	D	编程/调试串行数据端口 1	
PA6/AIN0	PA6	TTL	CMOS	D	通用 I/O	
	AIN0	—	—	A	ADC 模拟通道 0	
PA7/AIN1	PA7	TTL	CMOS	D	通用 I/O	
	AIN1	—	—	A	ADC 模拟通道 1	
PB0/T10CKI	PB0	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	T10CKI	TTL	—	D	T10 计数器模式外部时钟输入	
PB1/T110	PB1	TTL	CMOS	D	通用 I/O	
	T110	—	CMOS	D	T11 功能输出 0	
PB2/T111	PB2	TTL	CMOS	D	通用 I/O	
	T111	—	CMOS	D	T11 功能输出 1	
PB3/T20CKI	PB3	TTL	CMOS	D	通用 I/O	
	T20CKI	TTL	—	D	T20 计数器模式外部时钟输入	
PB4/T200/ T20CI	PB4	TTL	CMOS	D	通用 I/O	
	T200	—	CMOS	D	T20 功能输出 0	
	T20CI	TTL	—	D	T20 捕捉输入	
PB5/TX2	PB5	TTL	CMOS	D	通用 I/O	
	TX2	—	CMOS	D	UART2 发送输出	
PB6/RX2	PB6	TTL	CMOS	D	通用 I/O	
	RX2	TTL	—	D	UART2 接收输入	
PB7/T201/ T20GI	PB7	TTL	CMOS	D	通用 I/O	
	T201	—	CMOS	D	T20 功能输出 1	
	T20GI	TTL	—	D	T20 门控输入	
PC0/PINT0/ T120	PC0	TTL	CMOS	D	通用 I/O	支持弱上、下拉/开漏输出
	PINT0	TTL	—	D	外部中断输入 0	
	T120	—	CMOS	D	T12 功能输出 0	
PC1/PINT1/ T121	PC1	TTL	CMOS	D	通用 I/O	
	PINT1	TTL	—	D	外部中断输入 1	

管脚名称	功能	输入类型	输出类型	A/D	端口说明	备注
PC2/PINT2	T121	—	CMOS	D	T12 功能输出 1	
	PC2	TTL	CMOS	D	通用 I/O	
	PINT2	TTL	—	D	外部中断输入 2	
PC3/PINT3	PC3	TTL	CMOS	D	通用 I/O	
	PINT3	TTL	—	D	外部中断输入 3	
PC4/KIN0/ ISCK	PC4	TTL	CMOS	D	通用 I/O	
	KIN0	TTL	—	D	按键输入 0	
	ISCK	TTL	—	D	编程/调试串行时钟端口 2	
PC5/KIN1/ ISDA	PC5	TTL	CMOS	D	通用 I/O	
	KIN1	TTL	—	D	按键输入 1	
	ISDA	TTL	CMOS	D	编程/调试串行数据端口 2	
PC6/KIN2	PC6	TTL	CMOS	D	通用 I/O	
	KIN2	TTL	—	D	按键输入 2	
PC7/KIN3	PC7	TTL	CMOS	D	通用 I/O	
	KIN3	TTL	—	D	按键输入 3	
PD0/AIN4	PD0	TTL	CMOS	D	通用 I/O	—
	AIN4	—	—	A	ADC 模拟通道 4	
PD1/AIN5/ RX1	PD1	TTL	CMOS	D	通用 I/O	
	AIN5	—	—	A	ADC 模拟通道 5	
	RX1	TTL	—	D	UART1 接收输入	
PD2/AIN6/ VREFN/TX1	PD2	TTL	CMOS	D	通用 I/O	
	AIN6	—	—	A	ADC 模拟通道 6	
	VREFN	—	—	A	ADC 参考电压负极性输入	
	TX1	—	CMOS	D	UART1 发送输出	
PD3/AIN7/ VREFP	PD3	TTL	CMOS	D	通用 I/O	
	AIN7	—	—	A	ADC 模拟通道 7	
	VREFP	—	—	A	ADC 参考电压正极性输入	
PD4/AIN8	PD4	TTL	CMOS	D	通用 I/O	
	AIN8	—	—	A	ADC 模拟通道 8	
PD5/AIN9/ T21CKI	PD5	TTL	CMOS	D	通用 I/O	
	AIN9	—	—	A	ADC 模拟通道 9	
	T21CKI	TTL	—	D	T21 计数器模式外部时钟输入	
PD6/AIN10/ T210/T21CI	PD6	TTL	CMOS	D	通用 I/O	
	AIN10	—	—	A	ADC 模拟通道 10	
	T210	—	CMOS	D	T21 功能输出 0	
	T21CI	TTL	—	D	T21 捕捉输入	
PD7/AIN11/ T211/T21GI	PD7	TTL	CMOS	D	通用 I/O	
	AIN11	—	—	A	ADC 模拟通道 11	
	T211	—	CMOS	D	T21 功能输出 1	
PE0/AIN2	T21GI	TTL	—	D	T21 门控输入	
	PE0	TTL	CMOS	D	通用 I/O	—
AIN2	—	—	A	ADC 模拟通道 2		

管脚名称	功能	输入类型	输出类型	A/D	端口说明	备注
PE1/AIN3	PE1	TTL	CMOS	D	通用 I/O	
	AIN3	—	—	A	ADC 模拟通道 3	
PE2	PE2	TTL	CMOS	D	通用 I/O	
PE3	PE3	TTL	CMOS	D	通用 I/O	
PE4	PE4	TTL	CMOS	D	通用 I/O	
PE5	PE5	TTL	CMOS	D	通用 I/O	
PE6	PE6	TTL	CMOS	D	通用 I/O	
PE7	PE7	TTL	CMOS	D	通用 I/O	
MRSTN	MRSTN	TTL	—	D	外部复位输入	—
VDD	VDD	—	—	P	电源	—
VSS	VSS	—	—	P	地	—

表 1-1 管脚说明

注:

- 1: A = 模拟端口, D = 数字端口, P = 电源/地
- 2: MRSTN 表示低电平复位有效;
- 3: 所有通用 I/O 端口均为 TTL 施密特输入和 CMOS 输出驱动;
- 4: PA4 和 PA5 作为一组在线编程/调试接口, PC4 和 PC5 作为另一组在线编程/调试接口。

## 第 2 章 内核特性

### 2.1 CPU内核概述

- ◆ 采用高性能 HR7P-V2 RISC CPU 内核，79 条精简指令集
- ◆ 采用 2T 架构，每个机器周期包括两个系统时钟周期
- ◆ 系统时钟最高支持 20MHz，最小指令周期 100ns
- ◆ 支持中断优先级和中断向量表
- ◆ 支持 8 x 8 硬件乘法器

### 2.2 硬件乘法器

芯片指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

硬件乘法器完成 8 位乘数 MULA 与 8 位乘数 MULB 的相乘操作，在 MULA 和 MULB 写入完成后的 1 个机器周期内，将 16 位结果高、低 8 位分别存储于 2 个寄存器 MULH 和 MULL。

#### 应用实例：硬件乘法器操作应用程序

```

.....
MOVI    mul_operand_a
MOVA    MULA           ; 写乘数 A
MOVI    mul_operand_b
MOVA    MULB           ; 写乘数 B
MOV     MULL,0         ; 读结果低 8 位
... ..
MOV     MULH,0        ; 读结果高 8 位
... ..

```

### 2.3 特殊功能寄存器

CPU 相关寄存器包括 14-bit 程序计数器寄存器 PCRL/PCRH，程序状态字寄存器 PSW，累加器 A 寄存器 AREG，乘数寄存器 MULA、MULB 和乘积寄存器 MULL、MULH。其中程序状态寄存器 PSW 用于存放各个状态标志位，包括函数栈/传参栈访问溢出标志位、程序出栈溢出标志位、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

PCRL: 程序计数器寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0      PCR<7:0>: 程序计数器寄存器低 8 位

**PCRH: 程序计数器寄存器高 6 位**

Bit	7	6	5	4	3	2	1	0
Name	—	—	PCR<13:8>					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 未使用

Bit 5~0 PCR<13:8>: 程序计数器寄存器高 6 位

**PSW: 程序状态字寄存器**

Bit	7	6	5	4	3	2	1	0
Name	SOV	UF	OF	N	OV	Z	DC	C
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	x	x	x	x	x

Bit 7 SOV: 函数栈/传参栈访问溢出标志位

0: 函数栈/传参栈访问未溢出

1: 函数栈/传参栈访问溢出

Bit 6 UF: 程序出栈溢出标志位

0: 程序出栈未溢出

1: 程序出栈溢出

Bit 5 OF: 程序压栈溢出标志位

0: 程序压栈未溢出

1: 程序压栈溢出

Bit 4 N: 负数标志位

0: 正数

1: 负数

Bit 3 OV: 溢出标志位

0: 无溢出

1: 溢出

Bit 2 Z: 零标志位

0: 算术或逻辑运算的结果不为零

1: 算术或逻辑运算的结果为零

Bit 1 DC: 半进位或半借位标志位

0: 低四位无进位或低四位有借位

1: 低四位有进位或低四位无借位

Bit 0 C: 全进位或全借位标志位

0: 无进位或有借位

1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据指令的运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 MRSTN 复位会将其清零, 其它复位不影响这两个标志位。



AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0      AREG<7:0>: 累加器的值

MULA: 乘数 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0      MULA<7:0>: 乘数 A

MULB: 乘数 B 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0      MULB<7:0>: 乘数 B

MULL: 乘积低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MUL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0      MUL<7:0>: 乘积低 8 位

MULH: 乘积高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MUL<15:8>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0      MUL<15:8>: 乘积高 8 位

### 第 3 章 存储资源

#### 3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◆ 16K Word FLASH 程序存储器
- ◆ 512 Byte EEPROM 数据存储器
- ◆ 1.5K Byte SRAM 数据存储器

其中 FLASH 程序存储器和 EEPROM 数据存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

#### 3.2 程序寻址空间映射

程序寻址空间包括 2 个部分：

- ◆ 16K Word FLASH 程序存储器：存储用户程序，支持 PC、查表和 IAP 访问
- ◆ 512 Byte EEPROM 数据存储器：存储用户数据，支持查表和 IAP 访问

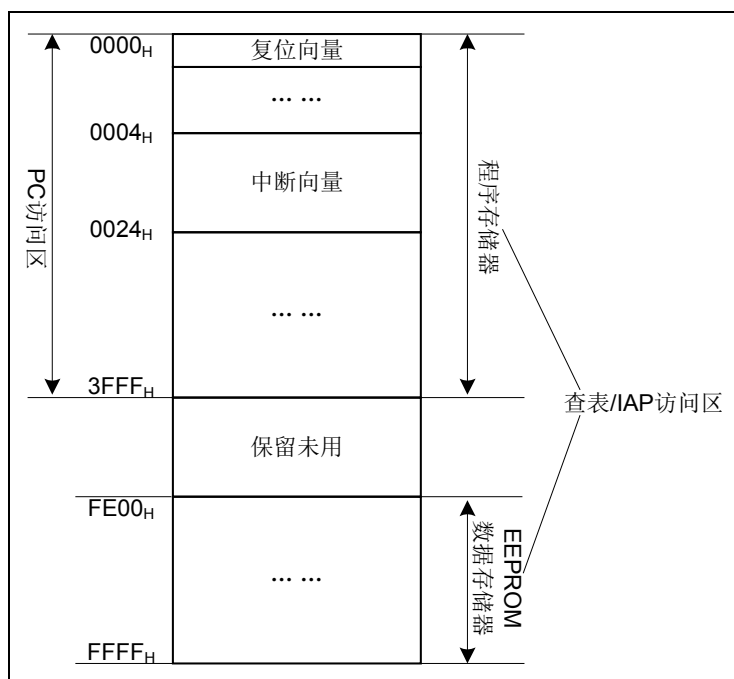


图 3-1 程序寻址空间映射图

注 1：本芯片的 EEPROM 数据存储器支持字节方式读写操作，支持查表读和 IAP 编程操作，IAP 编程前用户不需要进行 IAP 擦除操作。

注 2：FLASH 程序存储器地址单元为 2 个字节宽度，EEPROM 数据存储器地址单元为 1 个字节宽度。

### 3.3 FLASH程序存储器

#### 3.3.1 概述

FLASH 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位，因此 32K 字节 FLASH 程序存储器被映射到程序寻址空间的 16K 地址空间 0000<sub>H</sub>~3FFF<sub>H</sub>，每个访问地址对应于一个 16 位宽的存储单元。通过 14 位程序计数器 PC 进行程序寻址访问。

FLASH 程序存储器可通过 ISP 接口或 IAP 操作进行擦除和编程，擦除以页为单位（每页 512 个地址单元，即 1024 个字节），编程以地址单元为单位。

#### 3.3.2 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。14 位程序计数器 PC<13:0>，可寻址 16K 程序存储空间 0000<sub>H</sub> ~ 3FFF<sub>H</sub>，超出地址范围会导致 PC 循环（又从 0000<sub>H</sub> 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 6 位不能直接读写，只能通过 PCRH 寄存器来间接赋值（在执行 RCALL、CALL、GOTO 等指令前，需先对 PCRH 寄存器赋值）。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<13:8>=PCRH<5:0>，因此，修改 PC 时，应先修改 PCRH<5:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<13:8>=PCRH<5:0>。
3. 执行 CALL，GOTO 指令时，PC<13:0>低 11 位为指令中 11 位立即数，而 PC<13:11>=PCRH<5:3>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<13:0>被修改为该 16 位立即数的值的低 14 位；同时 PCRH<5:0>被修改为 I<13:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<13:0> 被修改为该 16 位立即数的值的低 14 位，同时 PCRH<5:0>修改为 I<13:8>的值。
6. 执行 PAGE 指令时，PCRH<5:3>的值将被该指令的立即数 I<2:0>替换。
7. 执行其他指令时，PC 值自动加 1。

#### 应用实例：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH        ; 设置表格页面地址
MOVI    tableaddr   ; 设置偏移量给 A 寄存器
CALL    TABLE      ; 调用子程序方式查表
.....
TABLE:
ADD     PCRL, F      ; PC 加上偏移量，指向访问的地址
RETIA   0x01
    
```

RETIA 0x02  
RETIA 0x03  
.....

### 3.3.3 硬件堆栈

芯片内有 12 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL 或 LCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值恢复至 PC。12 级硬件堆栈只支持 12 级缓冲操作，即硬件堆栈只保存最近的 12 次压栈值，对于连续超过 12 次的压栈操作，第 13 次的压栈数据会覆盖第 1 次压栈的数据，使得第 1 次的压栈数据丢失。同样，超过 12 次的连续出栈，第 13 次出栈操作，可能使得程序流程不可控。芯片复位后，堆栈指针将重新指向堆栈顶部。

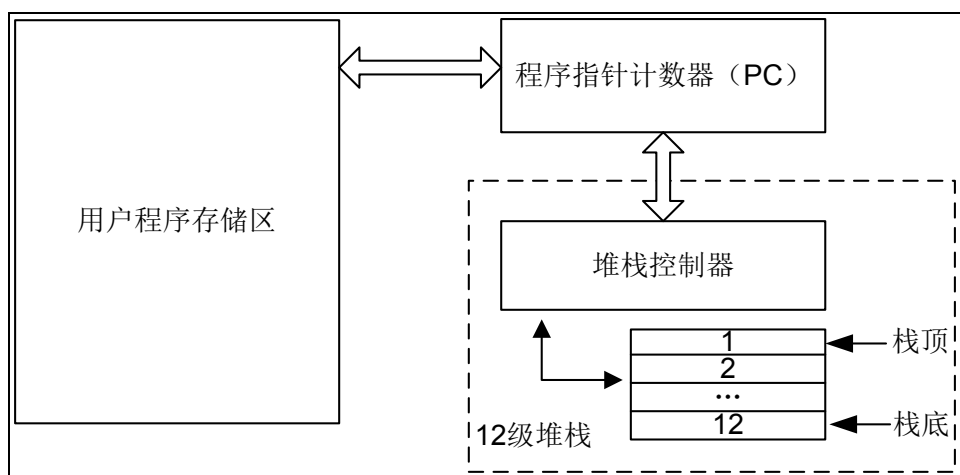


图 3-2 堆栈示意图

### 3.3.4 FLASH存储器的IAP操作

#### 3.3.4.1 概述

FLASH 存储器的 IAP 擦除操作是以页 (Page) 为单位，一页为 512 个地址单元，页地址对应到 FRAH<7:1>。FLASH 存储器的读出和 IAP 写入操作以 1 个地址单元为单位，通过 FRA (FRAH, FRAL) 寻址。

当 FLASH 存储器进行 IAP 擦除或 IAP 写入操作时 CPU 内核暂停执行，需要软件关闭全局中断使能位 GIE (INTG<7>)，并判断 GIE 寄存器是否清零成功，如未被清零，则需再次执行软件清零操作，直到清零成功，外设可按预设状态继续运行，外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时，CPU 内核恢复执行，软件再使能全局中断使能位 GIE，进行相应的中断处理。

#### 3.3.4.2 程序存储器查表读操作

本芯片的程序存储器查表只支持查表读操作。当芯片配置字中 IAP 操作使能位 IAPEN (CFG <10>) 使能时，通过查表读指令将 FRA (FRAH, FRAL) 所指向的程序存储器地址中的字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

本芯片查表写指令保留未用 (执行时仅影响 FRA 寄存器)。

**应用例程：程序存储器查表读**

```

MOVI    0x05           ; 读取程序存储器 0105H
MOVA    FRAL
MOVI    0x01
MOVA    FRAH
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
    
```

**3.3.4.3 FLASH存储器的IAP擦除**

此操作仅用于 FLASH 存储器，EEPROM 存储器无需进行 IAP 擦除操作。

通过 IAP 进行 FLASH 擦除的最小操作单位为页，一页为 512 个地址单元。页通过 FRAH 寄存器寻址。

**应用例程：FLASH 页擦除**

```

MOVI    0x0A           ; 擦除 FLASH 第 5 页 (0A00H~0BFFH)
MOVA    FRAH
MOVI    0xE0
MOVA    IAPCL           ; 选择 FLASH IAP 擦除操作
BCC     INTG, GIE       ; 关闭全局中断 (避免中断影响后续固定程序流程)
JBC     INTG, GIE       ; 判断全局中断是否清零
GOTO    $-2
BCC     PWEN, LRCEN     ; 关 LRC 时钟, 使 WDT 停止计数, 以免溢出复位芯片
    
```

; 此段为固定代码, 用户不可更改。

```

MOVI    0x55
MOVA    IAPCH
... ..           ; 8 个 NOP 指令, 或等待 8 个机器周期
MOVI    0xAA
MOVA    IAPCH
... ..           ; 8 个 NOP 指令, 或等待 8 个机器周期
BSS     IAPCL, IAPGO     ; 启动 FLASH IAP 擦除操作
NOP
    
```

; CPU 进入暂停状态, 直到擦除完成后 CPU 恢复运行

; 一次页擦除时间约 2ms, 具体时间随操作电压和操作温度有所不同

```

JBC     IAPCL, IAPGO     ; 等待擦除结束
GOTO    $-1
BSS     PWEN, LRCEN     ; 开 LRC 时钟, WDT 恢复计数 (如果配置字 WDTEN=1)
BSS     INTG, GIE       ; 开中断
.....
    
```

### 3.3.4.4 FLASH存储器的IAP编程

FLASH 存储器中完成擦除的地址单元支持 IAP 编程操作。IAP 编程操作通过 IAPC (IAPCH, IAPCL)控制寄存器将 ROMD(ROMDH, ROMDL)中的内容写入 FRA(FRAH, FRAL) 指向的 FLASH 地址单元。

#### 应用例程：FLASH IAP 编程

```

MOVI    0x05           ; 将 55AAH 写入 FLASH 的 0500H 地址单元
MOVA    FRAH
MOVI    0x00
MOVA    FRAL
MOVI    0x55
MOVA    ROMDH
MOVI    0xAA
MOVA    ROMDL
MOVI    0xC0
MOVA    IAPCL         ; 选择 FLASH IAP 编程操作
BCC     INTG, GIE     ; 关闭全局中断 (避免中断影响后续固定程序流程)
JBC     INTG, GIE     ; 判断全局中断是否清零
GOTO    $-2

```

; 此段为固定代码，用户不可更改。

```

MOVI    0x55
MOVA    IAPCH
... ..           ; 8 个 NOP 指令，或等待 8 个机器周期
MOVI    0xAA
MOVA    IAPCH
... ..           ; 8 个 NOP 指令，或等待 8 个机器周期
BSS     IAPCL, IAPGO ; 启动 FLASH IAP 编程操作
NOP
JBC     IAPCL, IAPGO ; 等待编程结束
GOTO    $-1
BSS     INTG, GIE    ; 开中断
.....

```

注：对未进行擦除操作的 FLASH 存储器单元进行编程操作，会导致该 FLASH 存储器单元的存储数据被破坏。

### 3.4 EEPROM数据存储器

#### 3.4.1 概述

本芯片内部集成 512 Byte（共 32 页，每页 16 Byte）的 EEPROM 数据存储器，映射到程序寻址空间 FE00<sub>H</sub>~FFFF<sub>H</sub>，用于存储需掉电保护的用户数据或程序参数等。

页编号	程序寻址空间
0	FE00 <sub>H</sub> ~FE0F <sub>H</sub>
1	FE10 <sub>H</sub> ~FE1F <sub>H</sub>
.	.
.	.
.	.
30	FFE0 <sub>H</sub> ~FFE <sub>F</sub> <sub>H</sub>
31	FFF0 <sub>H</sub> ~FFF <sub>F</sub> <sub>H</sub>

表 3-1 EEPROM 数据存储器页寻址空间

注：为保证数据的可靠写入，系统在对 EEPROM 操作时，应保证在每页数据更新期间（即从开始写入一页到该页写入完成）的供电电压维持在芯片最低工作电压以上，且持续时间不小于 5ms。

符号	参数	最小值	典型值	最大值	单位
Twr	单次写操作的时间	-	3.5	5	ms
Write Cycle	可写的次数	-	500	-	K 次
Data Retention	数据保持时间	-	10	-	Year

表 3-2 EEPROM 数据存储器工作参数

#### 3.4.2 EEPROM存储器的IAP访问

##### 3.4.2.1 概述

EEPROM 的 IAP 写入和读操作都是以字节为单位，IAP 写入前无需进行 IAP 擦除操作。当 EEPROM 进行 IAP 写入操作时，内核和外设处于正常运行状态，当 EEPROM 写入完成后将置位 IAP 中断标志，用户可使能 IAP 中断使能位和全局中断使能位响应中断请求。访问 EEPROM 时需要使能内部 HRC 来保证操作时序。

##### 3.4.2.2 EEPROM查表读操作

对于 EEPROM 存储器，查表读指令（EEPROM 支持 TBR/TBR1#指令，不支持 TBR#1/TBR\_1 指令）用于将 FRA(FRAH, FRAL)所指向的地址单元中的一个字节(Byte)读入 ROMDL 中。

查表写指令：本芯片查表写指令保留未用（执行时仅影响 FRA 寄存器）。

**应用例程：EEPROM 数据存储器查表读。**

```
BSS    OSCCH, HRCEN
JBS    OSCCH, HRCEN
```

GOTO     \$-1  
 MOVI     0x10                     ; 读取 EEPROM 存储器 FE10<sub>H</sub> 地址单元  
 MOVA     FRAL  
 MOVI     0xFE  
 MOVA     FRAH  
  
 TBR  
 ... ..                             ; 6 个 NOP 指令, 或等待 6 个机器周期  
 MOV     ROMDL, 0  
 BCC     OSCCH, HRCEN  
 ... ..

注 1: 使用查表读指令时, 每条查表读指令后面要紧跟 6 条 NOP 指令;  
 注 2: 当用查表读指令对从未被写过数据的地址单元进行读数据时, 读回来的数据为全 0。

### 3.4.2.3 EEPROM 存储器的 IAP 编程

EEPROM 所有地址单元支持直接 IAP 编程。IAP 编程操作通过 IAPC (IAPCH, IAPCL) 控制寄存器将 ROMDL 中的内容写入 FRA (FRAH, FRAL) 指向的 EEPROM 地址单元。在对 EEPROM 存储器编程操作时, 用户程序必须对当前访问地址的所属页进行页数据校验, 才能保证写入 EEPROM 数据的准确性, 否则存在该页数据错误的隐患。EEPROM 存储器编程应按照以下流程进行 IAP 编程:

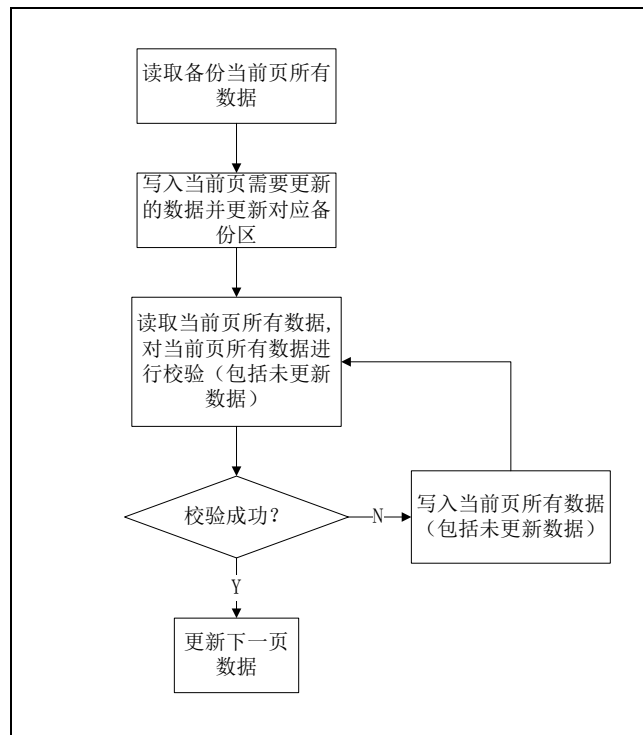


图 3-1 EEPROM 存储器 IAP 编程流程

EEPROM 存储器 IAP 编程例程请参考<<AN057\_应用笔记\_HR7P275>>, 用户可直接调用相应函数进行使用。

注: 请谨慎修改该例程函数内容, 如需咨询请致电上海东软载波微电子有限公司。



### 3.5 在线编程ISP和在线调试ICD

FLASH 存储器和 EEPROM 存储器具有可重复烧写的功能，便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级，本芯片还支持在线编程 ISP 和在线调试 ICD，用户只需在电路系统板上引出五根编程和调试接口线，即可实现程序的重新烧录和调试，更加方便高效。

芯片管脚	管脚说明
ISCK	编程/调试串行时钟端口
ISDA	编程/调试串行数据端口
MRSTN	复位脚
VDD	电源
VSS	地

表 3-3 在线编程/调试管脚说明

- 注 1: 对编程/调试接口中的 ISCK 和 ISDA 管脚，芯片支持两组管脚可选择，其中 PA4 和 PA5 作为一组编程/调试接口，PC4 和 PC5 作为另一组编程/调试接口；
- 注 2: 上述两组接口，用作编程使用时，无需进行选择设置，芯片自动识别有效使用的编程接口；用作调试使用时，通过配置字 ICDEB 使能，并由配置字 ICDSEL 进行选择设置。

### 3.6 数据寻址空间

#### 3.6.1 概述

- ◆ 数据寻址空间由 2 部分组成
  - 通用数据存储器 GPR
  - 特殊功能寄存器 SFR
- ◆ 物理存储包括
  - 1.5K 字节数据存储器
  - 128 个特殊寄存器
- ◆ 支持 3 种寻址方式
  - 直接寻址
  - GPR 特殊寻址
  - 间接寻址

#### 3.6.2 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储器空间为 1.5K Byte，支持 12 个存储体组，地址范围为 0000<sub>H</sub>~05FF<sub>H</sub>。程序控制过程中，对这些存储体访问时，需通过寄存器 BKSR 选择存储体，实现在不同存储体间的跳转。通用数据存储器的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

地址映射如下：

0000H	Section 0
007FH	Section 1
00FFH	Section 2
017FH	Section 3
01FFH	Section 4
027FH	Section 5
02FFH	Section 6
037FH	Section 7
03FFH	Section 8
047FH	Section 9
04FFH	Section 10
057FH	Section 11
05FFH	保留
FF7FH	

图 3-3 GPR 地址映射示意图

### 3.6.3 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 128 个特殊寄存器，地址范围 FF80<sub>H</sub>~FFFF<sub>H</sub>。大多数寄存器都是可以读写的，仅有少数寄存器作为保留使用，用户程序不能进行读写。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 <sub>H</sub>	IAD	FFA0 <sub>H</sub>	PA	FFC0 <sub>H</sub>	T10	FFE0 <sub>H</sub>	BR1R
FF81 <sub>H</sub>	IAAL	FFA1 <sub>H</sub>	PAT	FFC1 <sub>H</sub>	T10C	FFE1 <sub>H</sub>	RX2B
FF82 <sub>H</sub>	IAAH	FFA2 <sub>H</sub>	PAS	FFC2 <sub>H</sub>	T11	FFE2 <sub>H</sub>	RX2C
FF83 <sub>H</sub>	BKSR	FFA3 <sub>H</sub>	PB	FFC3 <sub>H</sub>	T11CL	FFE3 <sub>H</sub>	TX2B
FF84 <sub>H</sub>	PSW	FFA4 <sub>H</sub>	PBT	FFC4 <sub>H</sub>	T11CH	FFE4 <sub>H</sub>	TX2C
FF85 <sub>H</sub>	AREG	FFA5 <sub>H</sub>	PBPU	FFC5 <sub>H</sub>	T11P	FFE5 <sub>H</sub>	BR2R
FF86 <sub>H</sub>	PCRL	FFA6 <sub>H</sub>	PBPD	FFC6 <sub>H</sub>	T11R	FFE6 <sub>H</sub>	ADCRL
FF87 <sub>H</sub>	PCRH	FFA7 <sub>H</sub>	PBOD	FFC7 <sub>H</sub>	T12	FFE7 <sub>H</sub>	ADCRH
FF88 <sub>H</sub>	MULA	FFA8 <sub>H</sub>	PBDS	FFC8 <sub>H</sub>	T12CL	FFE8 <sub>H</sub>	ADCCL
FF89 <sub>H</sub>	MULB	FFA9 <sub>H</sub>	PC	FFC9 <sub>H</sub>	T12CH	FFE9 <sub>H</sub>	ADCCH
FF8A <sub>H</sub>	MULL	FFAA <sub>H</sub>	PCT	FFCA <sub>H</sub>	T12P	FFEA <sub>H</sub>	LVDC
FF8B <sub>H</sub>	MULH	FFAB <sub>H</sub>	PCPU	FFCB <sub>H</sub>	T12R	FFEB <sub>H</sub>	—
FF8C <sub>H</sub>	FRAL	FFAC <sub>H</sub>	PCPD	FFCC <sub>H</sub>	T20L	FFEC <sub>H</sub>	—
FF8D <sub>H</sub>	FRAH	FFAD <sub>H</sub>	PCOD	FFCD <sub>H</sub>	T20H	FFED <sub>H</sub>	—
FF8E <sub>H</sub>	ROMDL	FFAE <sub>H</sub>	PD	FFCE <sub>H</sub>	T20PL	FFEE <sub>H</sub>	—
FF8F <sub>H</sub>	ROMDH	FFAF <sub>H</sub>	PDT	FFCF <sub>H</sub>	T20PH	FFEF <sub>H</sub>	—
FF90 <sub>H</sub>	IAPCL	FFB0 <sub>H</sub>	PDS	FFD0 <sub>H</sub>	T20RL	FFF0 <sub>H</sub>	—
FF91 <sub>H</sub>	IAPCH	FFB1 <sub>H</sub>	PE	FFD1 <sub>H</sub>	T20RH	FFF1 <sub>H</sub>	—
FF92 <sub>H</sub>	PWRC	FFB2 <sub>H</sub>	PET	FFD2 <sub>H</sub>	T20CL	FFF2 <sub>H</sub>	—
FF93 <sub>H</sub>	WDTC	FFB3 <sub>H</sub>	PES	FFD3 <sub>H</sub>	T20CH	FFF3 <sub>H</sub>	—
FF94 <sub>H</sub>	WKDC	FFB4 <sub>H</sub>	PINTC	FFD4 <sub>H</sub>	T21L	FFF4 <sub>H</sub>	—
FF95 <sub>H</sub>	PWEN	FFB5 <sub>H</sub>	KINTC	FFD5 <sub>H</sub>	T21H	FFF5 <sub>H</sub>	—
FF96 <sub>H</sub>	INTG	FFB6 <sub>H</sub>	TOC	FFD6 <sub>H</sub>	T21PL	FFF6 <sub>H</sub>	—
FF97 <sub>H</sub>	INTP	FFB7 <sub>H</sub>	—	FFD7 <sub>H</sub>	T21PH	FFF7 <sub>H</sub>	—
FF98 <sub>H</sub>	INTE0	FFB8 <sub>H</sub>	—	FFD8 <sub>H</sub>	T21RL	FFF8 <sub>H</sub>	—
FF99 <sub>H</sub>	INTF0	FFB9 <sub>H</sub>	—	FFD9 <sub>H</sub>	T21RH	FFF9 <sub>H</sub>	—
FF9A <sub>H</sub>	INTE1	FFBA <sub>H</sub>	—	FFDA <sub>H</sub>	T21CL	FFFA <sub>H</sub>	—
FF9B <sub>H</sub>	INTF1	FFBB <sub>H</sub>	—	FFDB <sub>H</sub>	T21CH	FFFB <sub>H</sub>	—
FF9C <sub>H</sub>	INTE2	FFBC <sub>H</sub>	—	FFDC <sub>H</sub>	RX1B	FFFC <sub>H</sub>	—
FF9D <sub>H</sub>	INTF2	FFBD <sub>H</sub>	—	FFDD <sub>H</sub>	RX1C	FFFD <sub>H</sub>	LRCCAL
FF9E <sub>H</sub>	OSCCL	FFBE <sub>H</sub>	—	FFDE <sub>H</sub>	TX1B	FFFE <sub>H</sub>	HRCCALL
FF9F <sub>H</sub>	OSCCH	FFBF <sub>H</sub>	—	FFDF <sub>H</sub>	TX1C	FFFF <sub>H</sub>	HRCCALH

注：“—”为保留空间，未使用

图 3-4 特殊功能寄存器空间

### 3.6.4 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址、GPR 特殊寻址和间接寻址。

#### 3.6.4.1 直接寻址

在直接寻址时，当指令中的 8 位地址信息大于或等于 80<sub>H</sub> 时，将忽略 BKSR 而直接寻址 SFR 映射区。当指令中的 8 位地址信息小于 80<sub>H</sub> 时，访问 GPR 地址映射区。访问地址由两部分组成，BKSR 用于选择存储体组，指令中的低 7 位地址信息用于在 BKSR 所选的存储体组中寻址。

示意图如下：

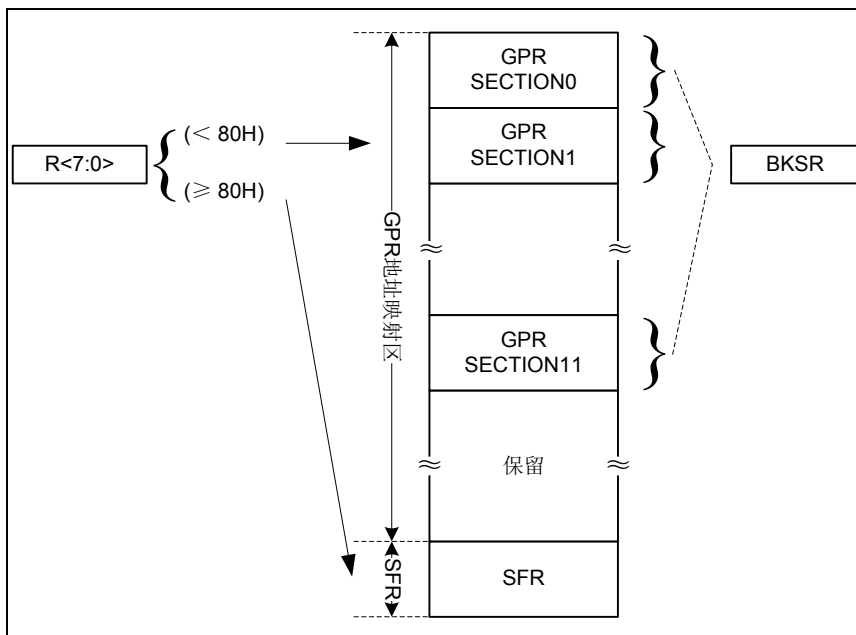


图 3-5 直接寻址示意图

### 3.6.4.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址读写操作，本芯片指令中支持 11 位地址信息（R<10:0>），可寻址 2K 字节地址空间，无需进行 SECTION 间切换。MOVAR 和 MOVRA 指令无法访问 SFR。

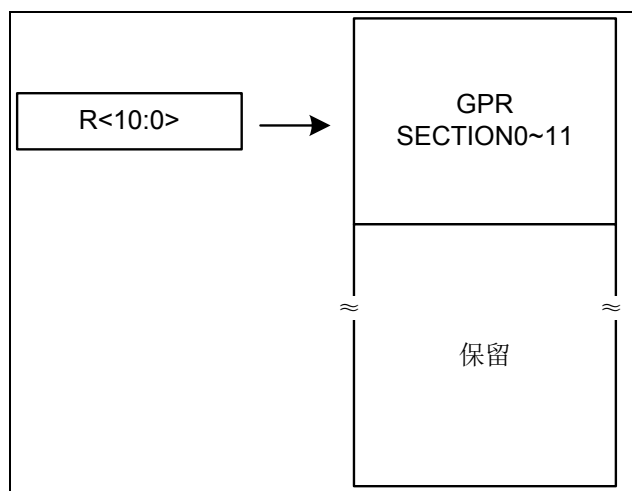


图 3-6 GPR 特殊寻址示意图

### 3.6.4.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD，间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

IAD 寄存器本身也映射到数据寻址空间的 FF80<sub>H</sub> 地址，因此当 IAA 存放的地址值为 FF80<sub>H</sub> 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出

为 00H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

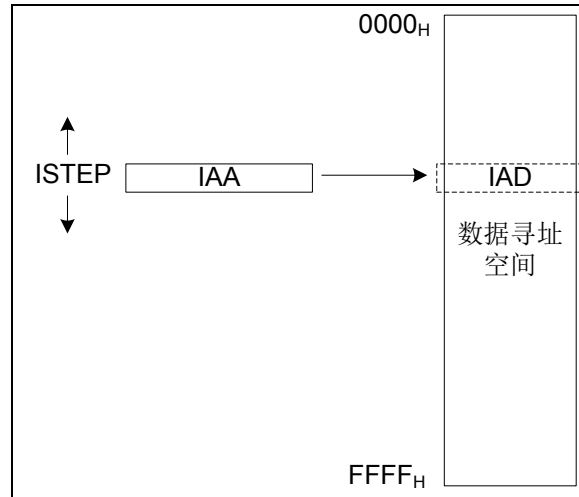


图 3-7 间接寻址示意图

### 3.6.5 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 FRA<7:0>: 查表地址低 8 位

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<15:8>							
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 FRA<15:8>: 查表地址高 8 位

注：FRAH[7]为只读位，对该位写无效，读取该位始终为 0。用户访问 EEPROM 地址区间时，设定访问地址后，如需校验 PRAH 时，请忽略校验 FRAH[7]位。

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMD<7:0>: 查表数据低 8 位

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 ROMD<15:8>: 查表数据高 8 位

IAPCL: IAP 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAPMS<2:0>			—	—	—	IAPGO	—
R/W	R/W	R/W	R/W	—	—	—	R/W	—
POR	0	0	0	0	0	0	0	0

Bit 7~5 IAPMS<2:0>: IAP 操作选择位  
 111: 使能 FLASH IAP 擦除  
 110: 使能 FLASH IAP 编程  
 101: 保留未用  
 100: 使能 EEPROM IAP 编程  
 0xx: 关闭 IAP 功能

Bit 4~2, 0 未使用

Bit 1 IAPGO: IAP 编程/擦除启动位  
 0: 未启动编程/擦除操作, 或操作已完成  
 1: 启动编程/擦除操作, 或操作正在进行 (软件置 1 启动操作, 操作完成后硬件自动清零)

IAPCH: IAP 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAPC<15:8>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAPC<15:8>: 用于 IAP 操作流程控制, 参见例程部分

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<15:8>: 间接寻址索引高 8 位

BKSR: 存储体组选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	BKSR<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3~0 BKSR<3:0>: 存储体选择

- 0000: Section 0
- 0001: Section 1
- 0010: Section 2
- 0011: Section 3
- 0100: Section 4
- 0101: Section 5
- 0110: Section 6
- 0111: Section 7
- 1000: Section 8
- 1001: Section 9
- 1010: Section 10
- 1011: Section 11
- 1100~1111: 保留

## 第 4 章 输入/输出端口

### 4.1 概述

输入/输出端口是芯片的最基本组成部分，本芯片最多支持 40 个 I/O 端口。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。

- ◆ PA 输入/输出端口功能组件
  - 8 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PAT)
  - 端口类型选择寄存器 (PAS)
- ◆ PB 输入/输出端口功能组件
  - 8 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PBT)
  - 端口弱上拉控制寄存器 (PBPU)
  - 端口弱下拉控制寄存器 (PBPD)
  - 端口输出开漏控制寄存器 (PBOD)
  - 端口输出强驱动使能寄存器 (PBDS)
- ◆ PC 输入/输出端口功能组件
  - 8 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PCT)
  - 端口弱上拉控制寄存器 (PCPU)
  - 端口弱下拉控制寄存器 (PCPD)
  - 端口输出开漏控制寄存器 (PCOD)
  - 支持外部端口中断功能
- ◆ PD 输入/输出端口功能组件
  - 8 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PDT)
  - 端口类型选择寄存器 (PDS)
- ◆ PE 输入/输出端口功能组件
  - 8 位双向输入/输出端口
  - TTL/SMT 输入和 CMOS 输出驱动
  - 端口输入输出控制寄存器 (PET)
  - 端口类型选择寄存器 (PES)

具体设置请参考 1.4 管脚说明和 4.6 特殊功能寄存器章节。

注 1: 端口的弱上/下拉功能应在端口被配置为数字输入的状态下使能, 否则会引起端口漏电;

注 2: 端口的开漏输出功能不支持高压, 仅在规定的端口承压范围内应用。



## 4.2 结构框图

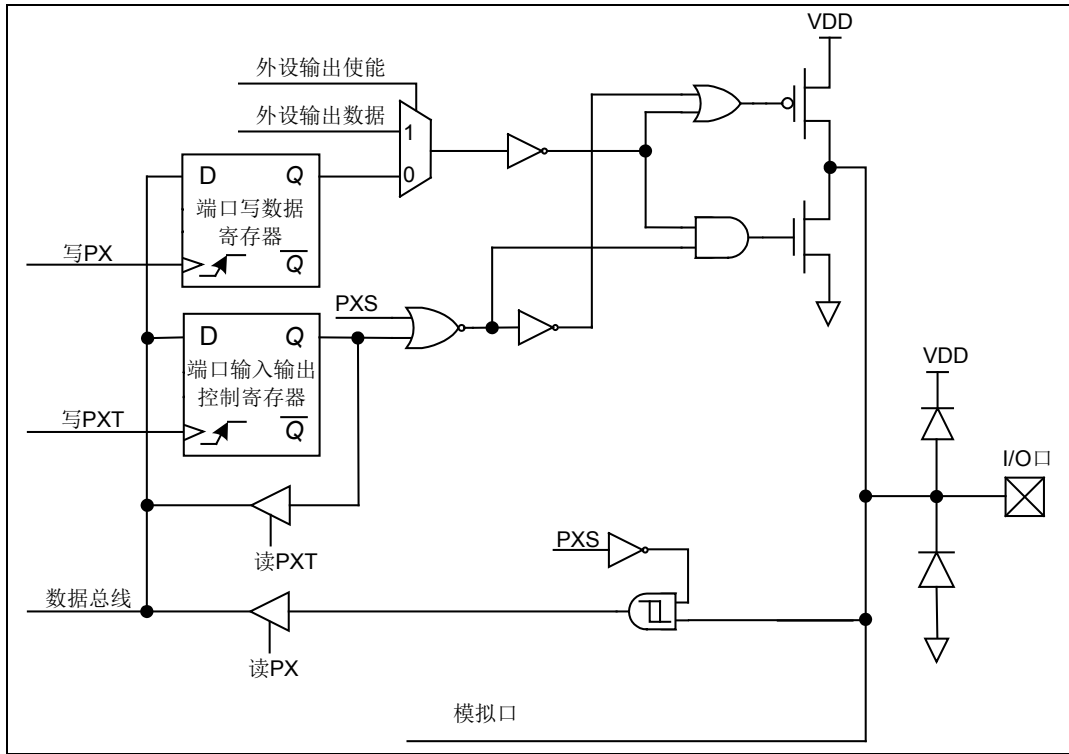


图 4-1 PA/PD/PE端口结构图

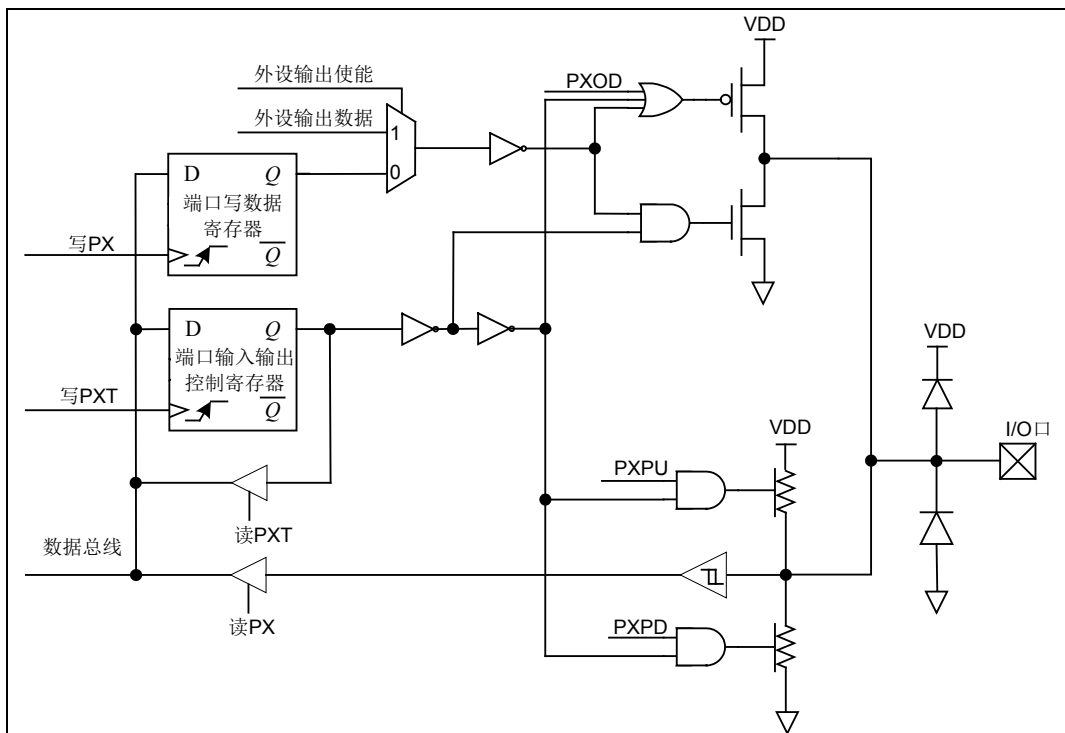


图 4-2 PB/PC 端口结构图

## 4.3 I/O端口功能设置

### 4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PAT/PBT/PCT/PDT/PET 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 PA/PB/PC/PD/PE 寄存器内容，即相应 I/O 端口电平状态，读取 PA/PB/PC/PD/PE 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 PA/PB/PC/PD/PE 寄存器的操作实际为读取相应 I/O 端口电平状态。

### 4.3.2 I/O端口弱上拉、弱下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本芯片中 PB、PC 的所有端口均提供独立的弱上、下拉功能。

### 4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中 PA、PD、PE 的所有端口均具有独立的模拟/数字信号选择功能，分别由 PAS、PDS 和 PES 寄存器控制选择。当端口被配置为模拟端口时，读相应的 PA/PD/PE 寄存器时，始终读到“0”。

### 4.3.4 I/O端口驱动能力

为了配合外部负载的大小，本芯片中 PB 的所有端口都具有独立地强、弱两种驱动能力设置，分别由 PBDS 寄存器的 bit7~bit0 单独设置。用户可以根据产品需要，合理地设置 PB 端口驱动能力的大小。PB 端口强、弱驱动能力的参数请参考附录 3 电气特性章节。

### 4.3.5 I/O端口开漏输出

为获得更大的驱动能力，本芯片中的 PB、PC 两组端口支持开漏输出功能。PB、PC 的所有端口可独立设置为开漏输出，分别由 PBOD 和 PCOD 寄存器控制。

### 4.3.6 I/O端口复用功能

为了使资源合理利用最优化，本芯片大部分的 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

## 4.4 端口中断

### 4.4.1 外部中断 (PINT)

本芯片支持 4 个外部中断。当 PINT0~PINT3 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINT0~PINT3 外部端口中断。PINTC 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIE0~PIE3 使能。中断产生将影响相应的中断标志 PIF0~PIF3。

外部中断	中断标志	中断使能	边沿选择
PINT0	PIF0	PIE0	PEG0
PINT1	PIF1	PIE1	PEG1
PINT2	PIF2	PIE2	PEG2
PINT3	PIF3	PIE3	PEG3

表 4-1 外部端口中断

#### 4.4.2 按键中断 (KINT)

本芯片支持 1 组最多 4 个输入的按键中断, 每个按键输入都可以由相应的 KMSK0~KMSK3 位屏蔽。当 KIN0~KIN3 复用端口被配置为数字输入端口, 且 1 组中任何一个未屏蔽的按键端口输入信号发生电平变化时, 将产生按键中断 KINT。外部按键中断可由 KIE 使能。中断产生将影响中断标志 KIF。使用外部按键中断时, 须配置相应的控制寄存器, 并且使能外部按键中断端口的内部弱上拉电阻。

外部按键电平比较, 是比较按键输入端口的当前电平与锁存器中的最后输入值, 如果不相同则产生按键中断标志。清除按键中断标志位前, 必须对相应复用端口进行一次读或写操作, 否则按键中断标志位无法被清除。

端口输入	按键中断	中断标志	中断使能	中断屏蔽
KIN0	KINT	KIF	KIE	KMSK0
KIN1				KMSK1
KIN2				KMSK2
KIN3				KMSK3

表 4-2 外部按键中断

#### 4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的算术或逻辑运算指令 (除位操作指令) 时, 芯片实际执行读-修改-写过程, 即先读取该组全部 I/O 端口的电平, 修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位, 对同组其它 I/O 不影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在 I/O 复用功能使能和关闭时, 应充分考虑当前 I/O 端口的输出寄存器值, 并判断是否需要重新对这些 I/O 端口进行初始化赋值。

## 4.6 特殊功能寄存器

输入/输出端口的设置包括一系列的寄存器控制, PA/PB/PC/PD/PE 寄存器用于设置或读取 PA/PB/PC/PD/PE 端口的电平状态, PAT/PBT/PCT/PDT/PET 寄存器用于设置 PA/PB/PC/PD/PE 端口的输入输出状态, PBPU/PCPU 和 PBD/PCPD 用于设置 PB/PC 端口的弱上拉 / 弱下拉电阻的连接状况, PAS/PDS/PES 用于设置 PA/PD/PE 端口的数据类型, PBOD/PCOD 用于设置 PB/PC 端口开漏输出的使能或禁止, 而 PINTC 寄存器用于选择外部中断引脚 PINT0~PINT3 的触发方式, KINTC 寄存器用于按键中断引脚 KIN0~KIN3 的中断屏蔽设置。

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态  
0: 低电平  
1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PAT<7:0>: PA 端口输入输出状态控制位  
0: 输出状态  
1: 输入状态

PAS: PA 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	0	0	1	1	1	1

Bit 7~0 PAS<7:0>: PA 端口数字/模拟类型选择位  
0: 数字端口  
1: 模拟端口

注: PA4/PA5 仅为数字端口, 误配置 PAS[5:4]为模拟端口会导致 PA4/PA5 不能作为调试接口, 从而无法进行调试。

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PB<7:0>: PB 端口电平状态

0: 低电平

1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PBT<7:0>: PB 端口输入输出状态控制位

0: 输出状态

1: 输入状态

PBPU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBPU<7:0>: PB 端口内部弱上拉控制位

0: 禁止

1: 使能

PBPD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBPD<7:0>: PB 端口内部弱下拉控制位

0: 禁止

1: 使能

PBOD: PB 端口输出开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBOD<7:0>: PB 端口开漏输出控制位

0: 禁止

1: 使能

**PBDS: PB 端口输出强驱动使能寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PBDS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PBDS<7:0>: PB 端口输出强驱动使能控制位

- 0: 禁止
- 1: 使能

**PC: PC 端口电平状态寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PC<7:0>: PC 端口电平状态

- 0: 低电平
- 1: 高电平

**PCT: PC 端口输入输出控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PCT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PCT<7:0>: PC 端口输入输出状态控制位

- 0: 输出状态
- 1: 输入状态

**PCPU: PC 端口弱上拉控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PCPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCPU<7:0>: PC 端口内部弱上拉控制位

- 0: 禁止
- 1: 使能

**PCPD: PC 端口弱下拉控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PCPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCPD<7:0>: PC 端口内部弱下拉控制位

- 0: 禁止
- 1: 使能

PCOD: PC 端口输出开漏控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PCOD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0      PCOD<7:0>: PC 端口开漏输出控制位  
 0: 禁止  
 1: 使能

PD: PD 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	X	x

Bit 7~0      PD<7:0>: PD 端口电平状态  
 0: 低电平  
 1: 高电平

PDT: PD 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PDT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0      PDT<7:0>: PD 端口输入输出状态控制位  
 0: 输出状态  
 1: 输入状态

PDS: PD 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PDS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0      PDS<7:0>: PD 端口数字/模拟类型选择位  
 0: 数字端口  
 1: 模拟端口

PE: PE 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PE<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 PE<7:0>: PE 端口电平状态

0: 低电平

1: 高电平

PET: PE 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PET<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PET<7:0>: PE 端口输入输出状态控制位

0: 输出状态

1: 输入状态

PES: PE 端口类型选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PES<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 PES<7:0>: PE 端口数字/模拟类型选择位

0: 数字端口

1: 模拟端口

PINTC: PINT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		PEG0<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 PEG3<1:0>: PINT3 触发方式选择位

00: 下降沿触发

01: 上升沿触发

10: 下降沿和上升沿都触发

11: 保留

Bit 5~4 PEG2<1:0>: PINT2 触发方式选择位

00: 下降沿触发

01: 上升沿触发

10: 下降沿和上升沿都触发

11: 保留

Bit 3~2 PEG1<1:0>: PINT1 触发方式选择位



- 00: 下降沿触发
- 01: 上升沿触发
- 10: 下降沿和上升沿都触发
- 11: 保留

Bit 1~0 PEG0<1:0>: PINT0 触发方式选择位

- 00: 下降沿触发
- 01: 上升沿触发
- 10: 下降沿和上升沿都触发
- 11: 保留

KINTC: KINT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	KMSK<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 未使用

Bit 3~0 KMSK<3:0>: KIN3~0 按键输入屏蔽控制位

- 0: 屏蔽
- 1: 不屏蔽

## 第 5 章 特殊功能及操作特性

### 5.1 系统时钟和振荡器

#### 5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有三种：外部高频晶体/陶瓷振荡器 HOSC、内部高速RC振荡器（16MHz）和内部低速RC振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。振荡器除了作为系统时钟源外，还可以为看门狗定时器、ADC电路等提供所需要的时钟源。

##### ◆ HOSC

- 外部振荡器
- 支持 2~20MHz 晶振或陶振

##### ◆ HRC

- 内部 16MHz RC 振荡器
- 出厂前，振荡器频率已经在常温下校准，校准精度在±2%以内

##### ◆ LRC

- 内部 32KHz RC 振荡器

#### 5.1.2 结构框图

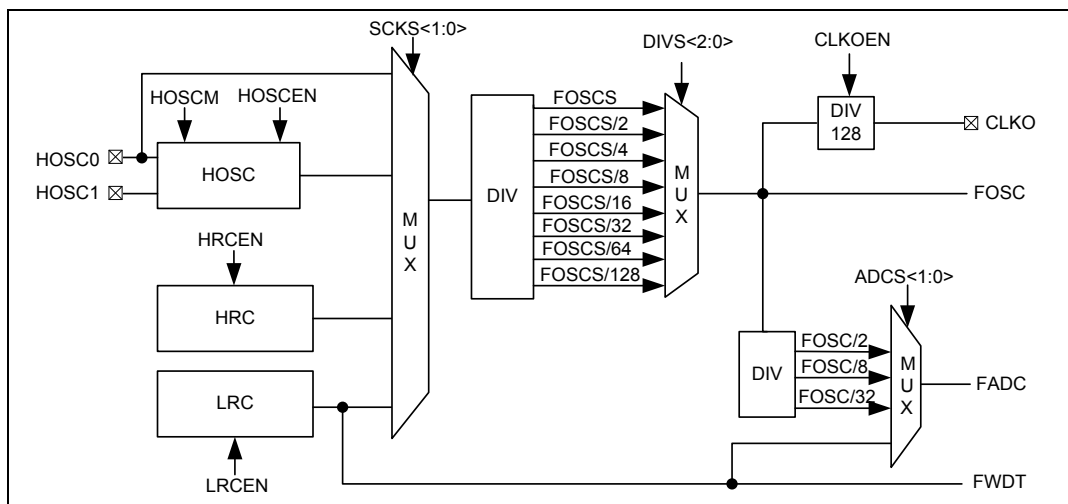


图 5-1 系统时钟内部结构图

#### 5.1.3 时钟源

##### 5.1.3.1 外部高频晶体/陶瓷振荡器HOSC

对于晶体/陶瓷振荡器而言，只要简单地将晶体连接至HOSC0和HOSC1管脚间，就会产生振荡所需的相移及反馈。为保证振荡频率更精准，需连接两个小容量电容C1和C2到VSS，具体数值与所使用的晶体/陶瓷振荡器有关，电容参考取值范围为15~33pF。由芯片配置字 HOSCM<1:0>设置外部振荡器工作模式（用户通过编程器界面进行设置）：

当HOSCM<1:0> = 00时，选择HS模式，支持4MHz~20MHz外部振荡器；

当HOSCM<1:0> = 01时，选择XT模式，支持2MHz~4MHz外部振荡器；

当HOSCM<1:0> = 10时，选择EC模式，直接从HOSC0管脚输入系统时钟，此时HOSC1管脚用作普通I/O端口。

HOSC振荡器电路示意图如下：

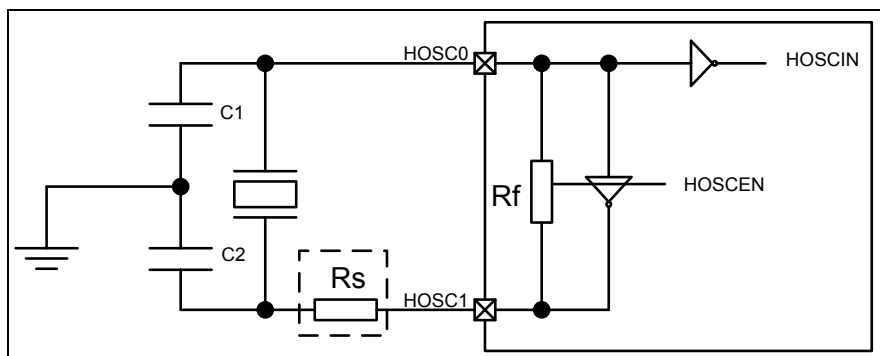


图 5-2 振荡器电路示意图

注：电阻  $R_s$  为可选配置。

晶振频率	C1	C2
2MHz	15 ~ 33pF	15 ~ 33pF
4MHz		
8MHz		
16MHz	15pF	15pF
20MHz		

表 5-1 振荡器匹配电容参考表

注：电容数据可根据晶振频率大小、外围电路的不同作微调。

### 5.1.3.2 内部高速 16MHz RC振荡器模式（HRC）

芯片内置16MHz RC时钟振荡器，不需要外接其它外部器件。当寄存器OSCCL中的SCKS<1:0>=00时，选择内部16MHz RC作为系统时钟源，此时PA1和PA2管脚复用为通用I/O端口。

出厂前，内置16MHz RC时钟振荡器的频率已在常温下校准。

### 5.1.3.3 内部低速 32kHz RC振荡器模式（LRC）

芯片内置32KHz RC时钟振荡器，不需要外接其它外部器件，可用作WDT计数时钟源，也可配置为主系统时钟源。

### 5.1.4 系统时钟源切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。

芯片上电复位后，内部 16MHz RC 振荡器（HRC）默认作为系统时钟源。可通过配置

OSSCL 寄存器中的 SCK5 位切换系统时钟源，芯片内置时钟无缝切换电路，保证时钟切换稳定，但无缝切换电路会对时钟切换产生一定的切换时间延迟。

系统支持三种时钟之间相互切换：

- ◇ 内部高速 HRC/外部高速 HOSC 时钟切换到内部低速 LRC 时钟
  - 设置 PWEN 寄存器中的 LRCEN=1；
  - 检测 OSCCH 寄存器中的 LRCON 位，直到检测到 LRCON=1；
  - 设置 OSCCL 寄存器中的 SCK5<1:0>=01；
  - 等待一条 NOP 指令；
  - 检测 OSCCL 寄存器的 CHG 位，直到检测到 CHG=0；
  - 用户可选择关闭 HRC/HOSC 时钟，即设置 OSCCH 寄存器中的 HRCEN/HOSCEN=0。
- ◇ 内部低速 LRC 32KHz 时钟切换到内部高速 HRC/外部高速 HOSC 时钟
  - 设置 OSCCH 寄存器中的 HRCEN/HOSCEN=1；
  - 检测 OSCCH 寄存器中的 HRCON/HOSCON 位，直到检测到 HRCON/HOSCON=1；
  - 设置 OSCCL 寄存器中的 SCK5<1:0>=00/1x；
  - 等待一条 NOP 指令；
  - 检测 OSCCL 寄存器的 CHG 位，直到检测到 CHG=0；
- ◇ 外部高速 HOSC 振荡时钟切换到内部高速 HRC 时钟
  - 设置 OSCCH 寄存器中的 HRCEN =1；
  - 检测 OSCCH 寄存器中的 HRCON 位，直到检测到 HRCON =1；
  - 设置 OSCCL 寄存器中的 SCK5<1:0>=00；
  - 等待一条 NOP 指令；
  - 检测 OSCCL 寄存器的 CHG 位，直到检测到 CHG=0；
  - 用户可选择关闭 HOSC 时钟，即设置 OSCCH 寄存器中的 HOSCEN=0。
- ◇ 内部高速 HRC 时钟切换到外部高速 HOSC 振荡时钟
  - 设置 OSCCH 寄存器中的 HOSCEN =1；
  - 检测 OSCCH 寄存器中的 HOSCON 位，直到检测到 HOSCON =1；
  - 设置 OSCCL 寄存器中的 SCK5<1:0>=1x；
  - 等待一条 NOP 指令；
  - 检测 OSCCL 寄存器的 CHG 位，直到检测到 CHG=0；
  - 用户可选择关闭 HRC 时钟，即设置 OSCCH 寄存器中的 HRCEN =0。

### 5.1.4.1 系统上电时序

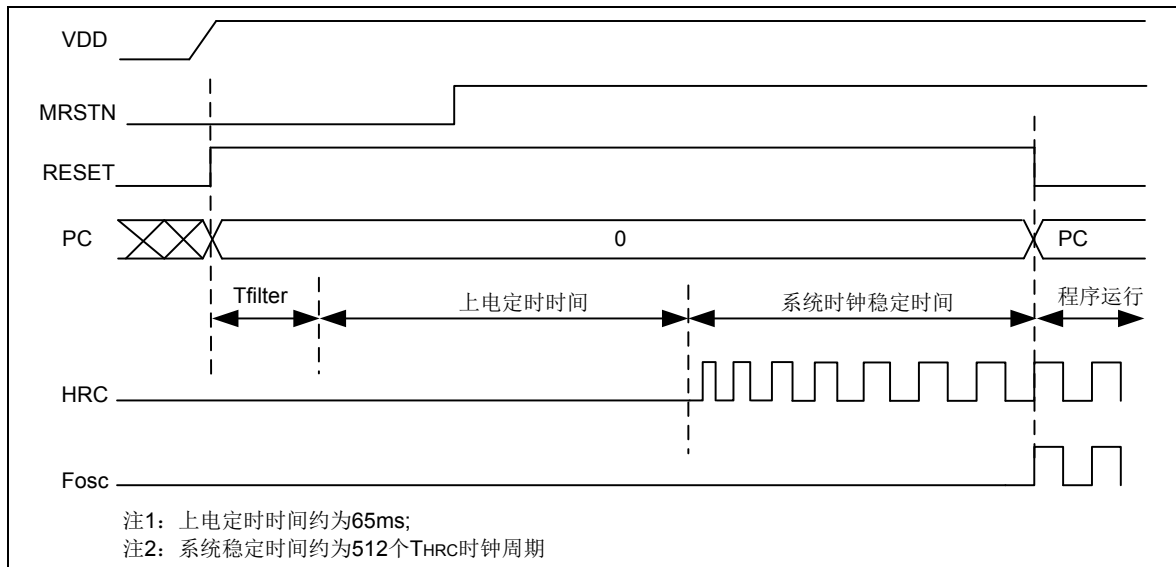


图 5-3 系统上电时序图（外部复位时间小于上电定时时间）

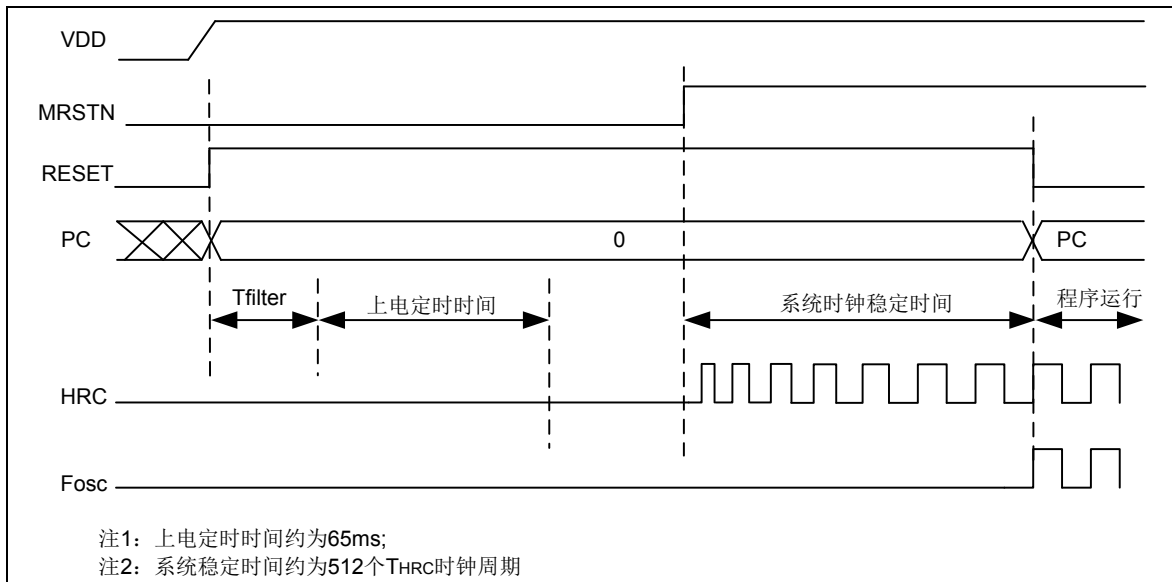


图 5-4 系统上电时序图（外部复位时间大于上电定时时间）

### 5.1.4.2 系统时钟切换时序

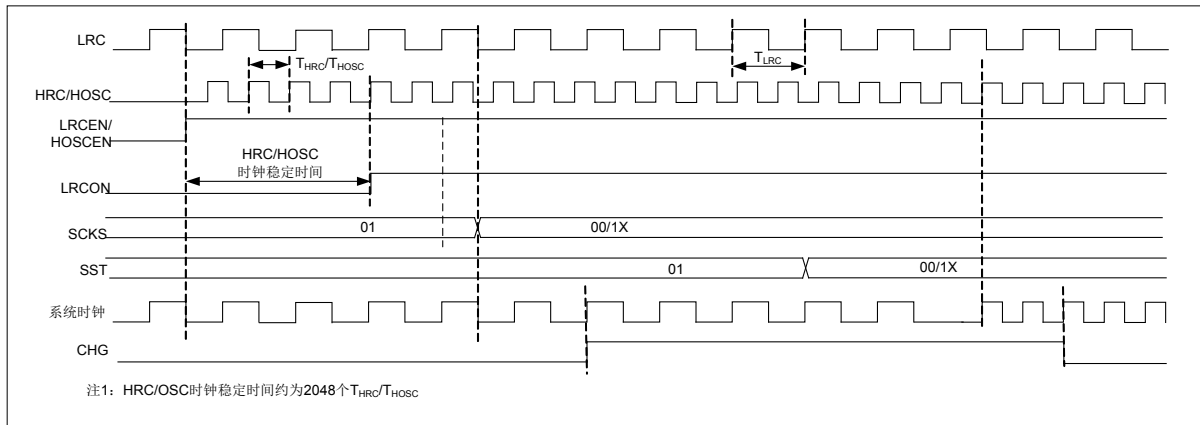


图 5-5 LRC 时钟切换到 HOSC/HRC 时钟时序图

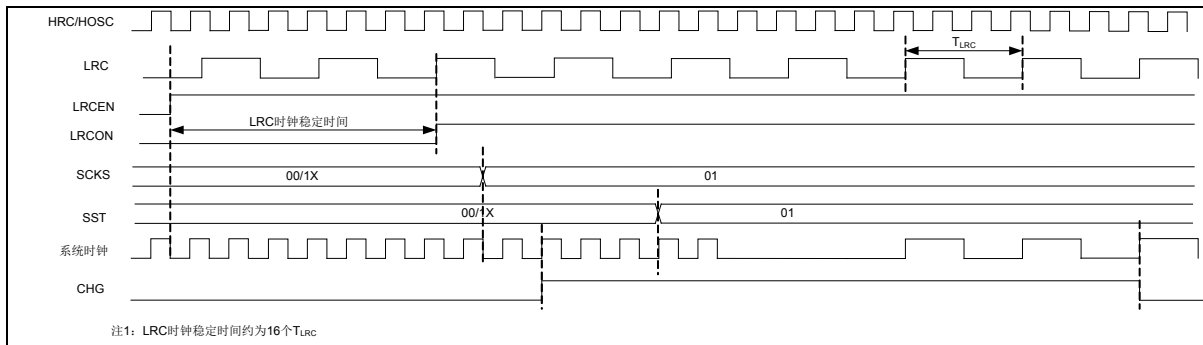


图 5-6 HOSC/HRC 时钟切换到 LRC 时钟时序图

### 5.1.5 系统时钟分频

系统时钟支持1个最大分频比为1:128的后分频器,可通过 OSCCL 寄存器中的 DIVS<2:0> 位选择分频比。后分频器本身不可读写,配置系统时钟切换选择位 SCKS 后,后分频器计数自动清零,但不影响分频比设置。

### 5.1.6 特殊功能寄存器

芯片系统时钟的设定由多个寄存器选择完成，分别控制时钟来源、时钟分频以及 HRC 和 LRC 时钟的校准等。

OSCCL: 时钟控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CHG	DIVS<2:0>			SST<1:0>		SCKS<1:0>	
R/W	R	R/W	R/W	R/W	R	R	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7           CHG: 系统时钟切换标志位  
                   0: 切换完成  
                   1: 切换进行中
- Bit 6~4        DIVS<2:0>: 系统时钟后分频比选择位  
                   000 = 1:1  
                   001 = 1:2  
                   010 = 1:4  
                   011 = 1:8  
                   100 = 1:16  
                   101 = 1:32  
                   110 = 1:64  
                   111 = 1:128
- Bit 3~2        SST<1:0>: 系统时钟源标志位  
                   00: HRC 时钟源  
                   01: LRC 时钟源  
                   1x: HOSC 时钟源
- Bit 1~0        SCKS<1:0>: 系统时钟源选择位  
                   00: HRC 时钟源  
                   01: LRC 时钟源  
                   1x: HOSC 时钟源

OSCCH: 时钟控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	CLKOEN	HOSCON	HOSCEN	LRCON	—	HRCON	HRCEN
R/W	—	R/W	R	R/W	R	R/W	R	R/W
POR	0	0	0	0	0	1	1	0

- Bit 7,2        未使用
- Bit 6           CLKOEN: 系统时钟 128 分频输出使能位  
                   0: 关闭  
                   1: 使能
- Bit 5           HOSCON: HOSC 时钟状态位  
                   0: 关闭状态  
                   1: 开启状态
- Bit 4           HOSCEN: HOSC 时钟使能位

- 0: 关闭
- 1: 使能
- Bit 3      LRCON: LRC 时钟状态位
  - 0: 关闭状态
  - 1: 开启状态
- Bit 1      HRCON: HRC 时钟状态位
  - 0: 关闭状态
  - 1: 开启状态
- Bit 0      HRCEN: HRC 时钟使能位
  - 0: 关闭
  - 1: 使能

注 1: 如果使用软件将 HRCEN 置 1, 则在低功耗 IDLE0 模式下, 虽然 CPU 停止工作, 但 HRC 时钟不停振, 仍保持工作。

注 2: 当操作内部 EEPROM 时, HRCEN 需使能。

HRCCAL: HRC 校准寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	HRCCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0      HRCCAL<7:0>: HRC 时钟校准值低 8 位

HRCCALH: HRC 校准寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	HRCCAL<9:8>	
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	x	x

Bit 7~0      HRCCAL<9:8>: HRC 时钟校准值高 2 位

LRCCAL: LRC 校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LRCCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0      LRCCAL<7:0>: LRC 时钟校准值

注: HRCCAL 和 LRCCAL 寄存器初始值芯片出厂已设定, 不建议用户更改。



## 5.2 看门狗定时器

### 5.2.1 概述

看门狗定时器是芯片的一个组成部分，它可以在发生软件故障时，将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

#### ◆ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为内部 LRC 时钟
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

### 5.2.2 WDT操作

芯片提供8位WDT定时计数器，通过芯片配置字WDTEN可使能硬件看门狗WDT。当芯片配置字WDTEN使能时，WDT定时器计数使能；当WDTEN关闭时，WDT定时器计数禁止。客户可通过编程器界面选择。

在IDLE模式下，WDT计数溢出会唤醒CPU；在正常运行模式下，WDT计数溢出会复位芯片。为了避免不必要的复位，需使用CWDT指令适时清零WDT计数器。

WDT 支持一个预分频器，可通过 WDTC 寄存器中的 WDTPRS<2:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。WDT 时钟源来自内部 32KHz RC 振荡器 LRC 时钟。在预分频器分频比为 1:1 时，常温下（25°C）WDT 计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《附录 参数特性图》章节的相关图示。

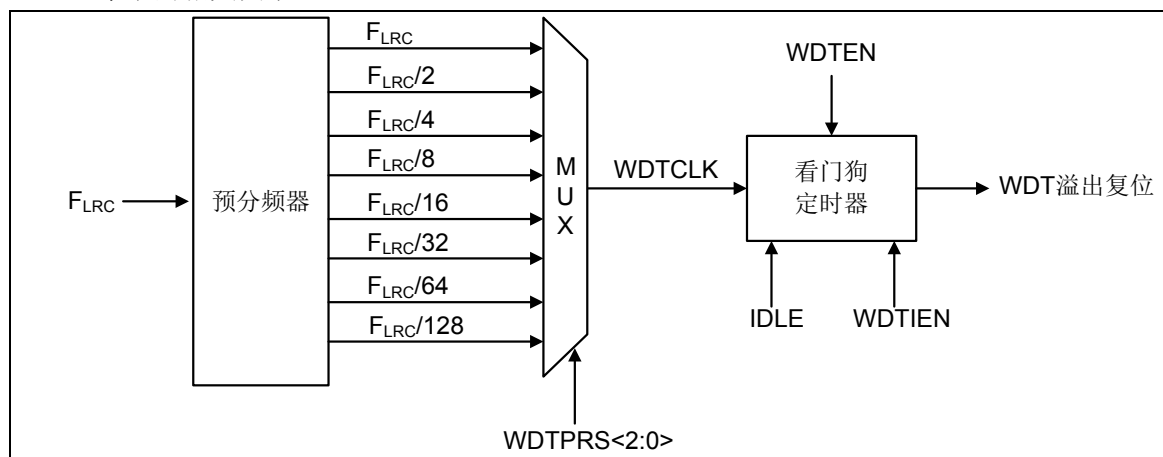


图 5-7 看门狗定时器内部结构图

### 5.2.3 特殊功能寄存器

WDT 的功能控制由 WDTC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字控制，而 WDT 在 IDLE 模式下的使能控制以及 WDT 预分频器的分频比选择则由 WDTC 寄存器设置。

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	WDTIEN	WDTPRS<2:0>		
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3 WDTIEN: WDT 在 IDLE 模式下的使能位

0: 关闭

1: 使能

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位

000: 1:1

001: 1:2

010: 1:4

011: 1:8

100: 1:16

101: 1:32

110: 1:64

111: 1:128

## 5.3 复位模块

### 5.3.1 概述

芯片支持五种复位方式：

- ◆ 上电复位 POR
- ◆ 掉电复位 BOR，复位电压点可配置
- ◆ 外部复位 MRSTN，低电平复位有效
- ◆ 看门狗定时器 WDT 计数溢出复位
- ◆ RST 指令软件复位

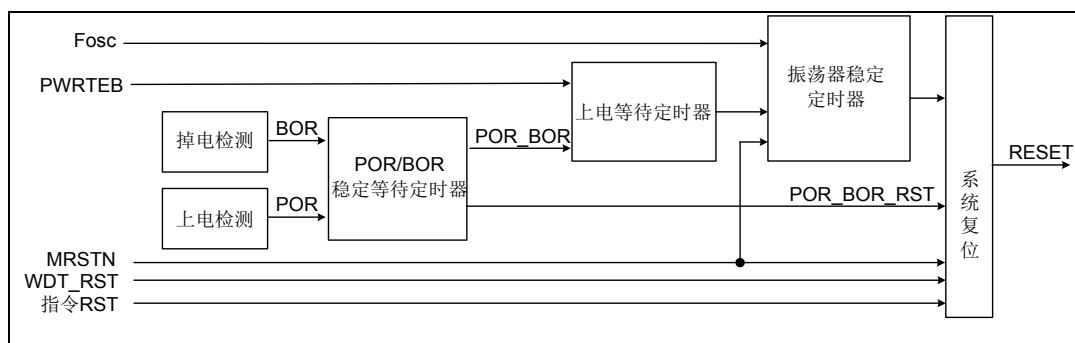


图 5-8 系统复位内部结构图

### 5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

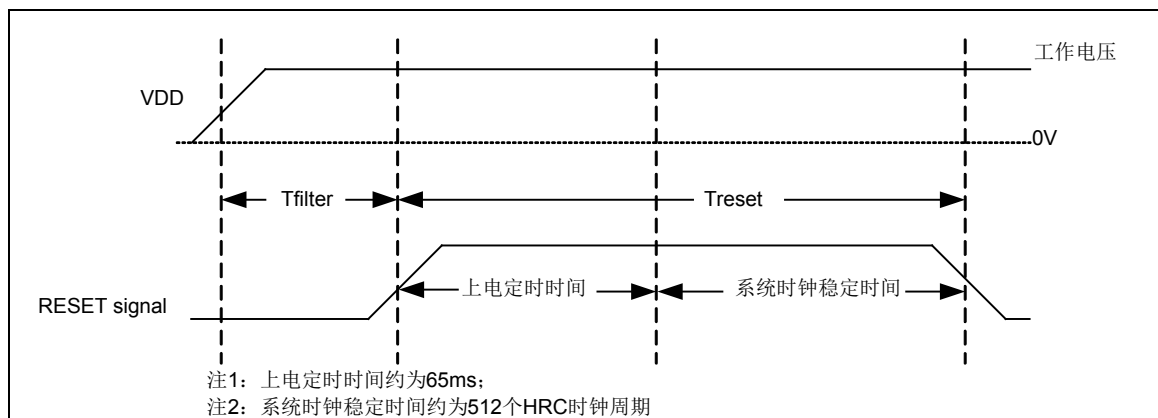


图 5-9 上电复位时序示意图

### 5.3.3 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电复位可能会引起系统工作状态不正常或程序执行错误。

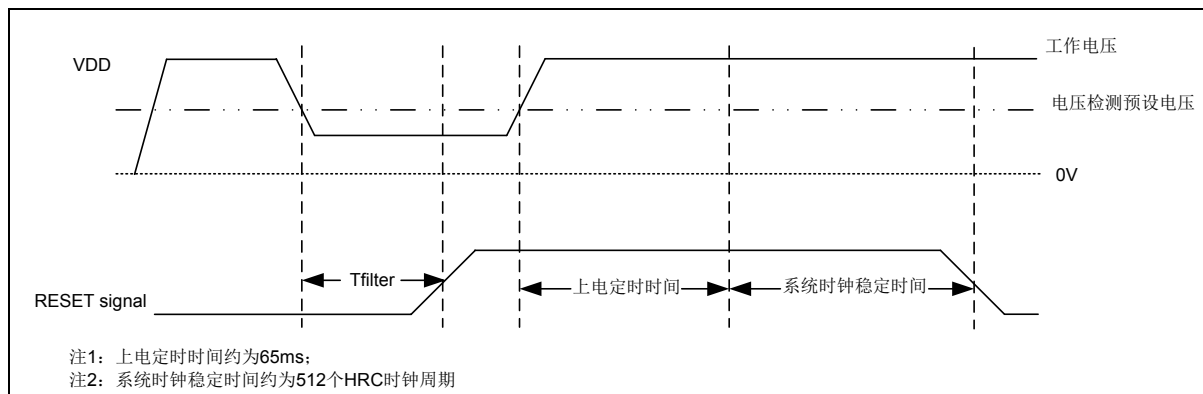


图 5-10 BOR 低电压复位时序示意图

注: 上电定时时间可以通过芯片配置字中的 **PWRTEB** 位屏蔽。

### 5.3.4 外部MRSTN管脚复位

芯片提供外部 MRSTN 管脚，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外，需要特别注意的是，禁止将 MRSTN 管脚连接到 VDD 上。

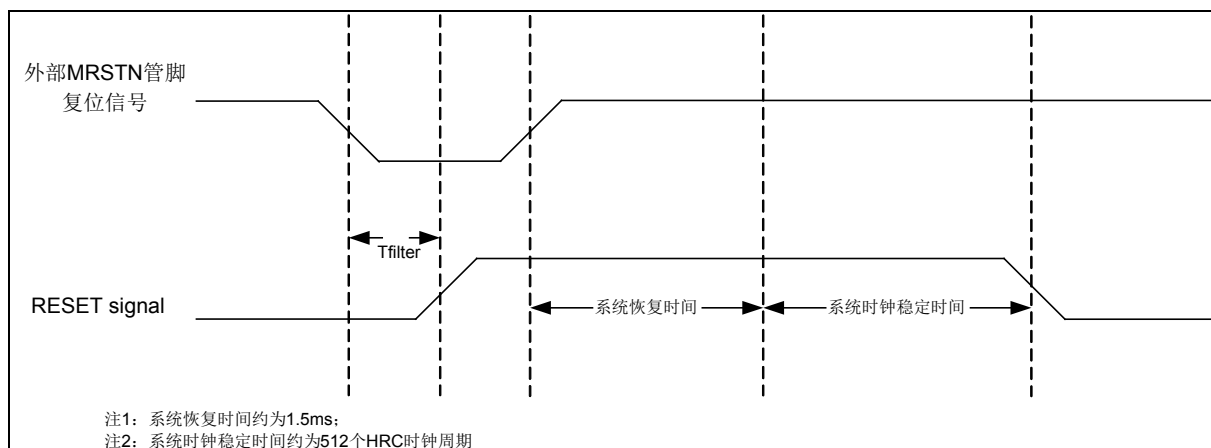


图 5-11 外部 MRSTN 管脚复位

外部 MRSTN 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

#### 1. RC 复位

RC 复位电路是外部 MRSTN 管脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

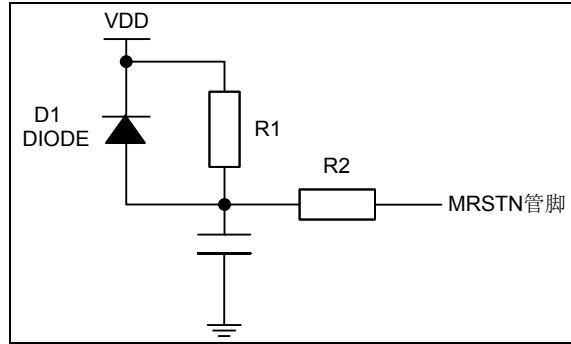


图 5-12 MRSTN 复位参考电路图 1

注：采样 RC 复位，其中  $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 $\mu\text{F}$ )，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

## 2. PNP 三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

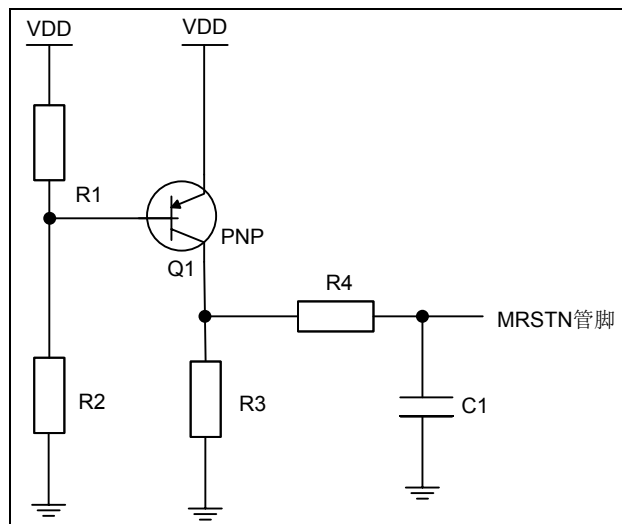


图 5-13 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K $\Omega$ ) 和 R2 (10K $\Omega$ ) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K $\Omega$ ) 接地，另一路通过 R4 (1K $\Omega$ ) 和 C1 (0.1 $\mu\text{F}$ ) 接地，C1 另一端作为 MRSTN 输入。

### 5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器计数溢出，产生系统复位。看门狗溢出复位后，系统重启进入正常状态。

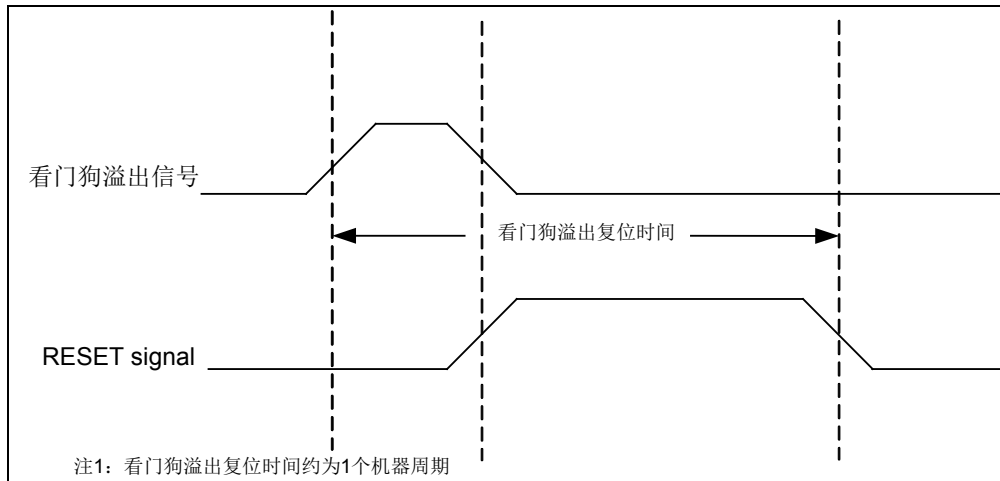


图 5-14 看门狗溢出复位

### 5.3.6 RST指令软件复位

整个芯片可通过执行 RST 指令进行复位，复位后，全部寄存器状态位都将被影响。

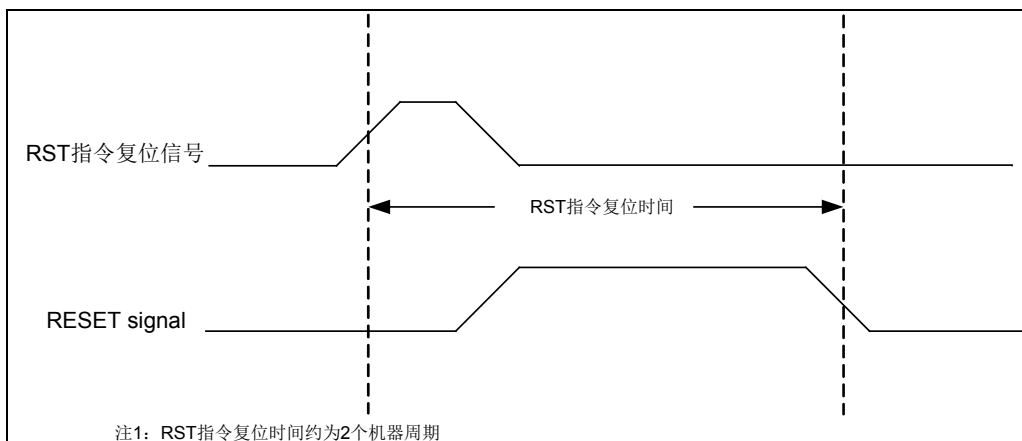


图 5-15 RST 指令软件复位

### 5.3.7 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPMS	—	—	IRSTB	TOB	PDB	PORB	BORB
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	0	x

- Bit 7            LPMS: 休眠模式选择位  
                   0: IDLE0 模式  
                   1: IDLE1 模式
- Bit 6~5        未使用
- Bit 4            IRSTB: 复位指令标志位  
                   0: 执行了软件复位指令（必须用软件置位）  
                   1: 未执行复位指令
- Bit 3            TOB: WDT 溢出标志位  
                   0: WDT 计数溢出时被清零  
                   1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2            PDB: 低功耗标志位  
                   0: 执行 IDLE 指令后清零  
                   1: 上电复位或执行 CWDT 指令后置 1
- Bit 1            PORB: 上电复位状态位  
                   0: 上电复位发生（上电复位后，必须软件置位）  
                   1: 无上电复位发生
- Bit 0            BORB: BOR 低电压复位状态位  
                   0: BOR 低电压复位发生（BOR 低电压复位后，必须软件置位）  
                   1: 无 BOR 低电压复位发生

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	LRCEN	—
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	1	1

- Bit 7~2        未使用
- Bit 1            LRCEN: LRC 时钟使能位  
                   0: 关闭 LRC 时钟  
                   1: 使能 LRC 时钟
- Bit 0            未使用

注：进行 Flash 程序存储器 IAP 编程操作时，需要设置 LRCEN 为 0，关闭 LRC 时钟，使 WDT 停止计数，以免溢出复位芯片。其它情况下，不建议关闭 LRC 时钟。

## 5.4 低功耗操作

### 5.4.1 概述

芯片支持两种休眠模式：IDLE0 模式和 IDLE1 模式。

#### ◆ IDLE0 模式

- 芯片时钟源停振，主系统时钟暂停。
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低。
- 支持低功耗唤醒。
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态。
- 若使能 WDT，则 WDT 将被清零并保持运行。
- PDB 位被清零，TOB 位被置 1。

#### ◆ IDLE1 模式

- 芯片时钟源不停振，主系统时钟暂停。
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低。
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期。
- 所有 I/O 端口将保持进入 IDLE1 前的状态。
- 若使能 WDT，则 WDT 将被清零并保持运行。
- PDB 位被清零，TOB 位被置 1。

注 1: 如果使用软件将寄存器控制位 HRCEN 置 1，则在低功耗 IDLE0 模式下，虽然 CPU 停止工作，但内部 HRC 高速时钟不停振，仍保持工作。所以如果在 IDLE0 模式下，需要 HRC 时钟停振，则须在进入 IDLE0 模式前，先用软件将 HRCEN 清 0。

注 2: 需要注意的是，当芯片主系统时钟选择为 HRC 时钟时，在芯片正常工作时，即使 HRCEN 为 0，HRC 时钟仍保持工作，只是在进入 IDLE0 模式后停振，退出 IDLE0 模式后又恢复振荡。

### 5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择，由 PWRC 寄存器中的 LPMS 位控制。

当 LPMS = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；

当 LPMS = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

LPM 位	低功耗模式
0	IDLE0 模式
1	IDLE1 模式

表 5-2 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，MRSTN 管脚必须处于逻辑高电平。



### 5.4.3 唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒方式	唤醒使能	中断模式	备注
1	MRSTN	—	—	—
2	WDT	WDTIEN	—	WDT 溢出
3	KINT	KIE	默认/向量	—
4	PINT0	PIE0	默认/向量	—
5	PINT1	PIE1	默认/向量	—
6	PINT2	PIE2	默认/向量	—
7	PINT3	PIE3	默认/向量	—
8	T20VINT	T20VIE	默认/向量	异步计数模式
9	T21VINT	T21VIE	默认/向量	异步计数模式
10	ADINT	ADIE	默认/向量	使用 LRC 时钟源
11	IAPINT	IAPIE	默认/向量	EEPROM 的 IAP 写操作中断
12	LVDINT	LVDIE	默认/向量	—

表 5-3 唤醒方式配置表

注：

1. 低功耗唤醒与全局中断使能无关，只需相应中断源使能位置位为“1”即可。在低功耗模式时，若外设产生中断信号，即使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断服务程序。
2. 关于外部按键中断的使用，在开启中断使能和中断屏蔽位前，先对端口寄存器进行读或者写的操作，然后再清除中断标志位，以免误产生中断。
3. 如果要使用 EEPROM 的 IAP 写操作中断，进行低功耗唤醒，则必须先将寄存器控制位 HRCEN 置 1，使能内部高速时钟 HRC，否则 IAP 中断无法唤醒芯片。需要注意的是将 HRCEN 置 1 后，在 IDLE0 模式下 CPU 停止工作，但 HRC 时钟不会停振，仍保持工作。

### 5.4.4 唤醒时序图

芯片处于 IDLE0 休眠模式时，当唤醒事件发生后，芯片默认系统时钟为低速 LRC 时钟，等芯片目标系统时钟 HRC/HOSC 稳定后，再切换到目标系统时钟 HRC/HOSC，然后才执行 IDLE 下一条指令。如果目标时钟就是低速 LRC 时钟，唤醒后低速 LRC 时钟稳定后，就会执行 IDLE 下一条指令。

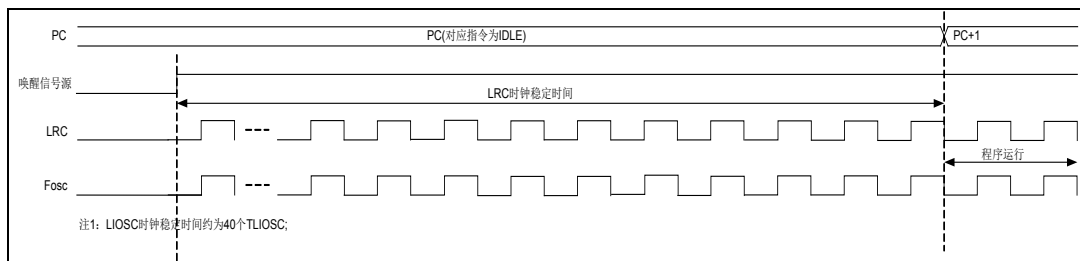


图 5-16 系统时钟为 LRC 时，芯片唤醒 IDLE0 的时序图

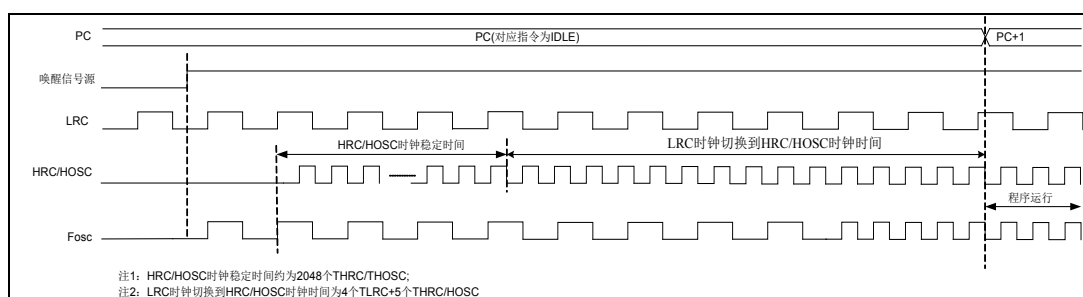


图 5-17 系统时钟为 HRC/HOSC 时，系统唤醒 IDLE0 的时序图

芯片处于 IDLE1 休眠模式时，当唤醒事件发生后，芯片需要在主时钟运行 n 个周期后才执行 IDLE 下一条指令。n 可以通过 WKDC 寄存器 bit 7~bit 0 进行设置，00<sub>H</sub> 时延时最短，FF<sub>H</sub> 时延时最长。在 IDLE1 模式下，支持最小 1 个机器周期的唤醒时间。

低功耗模式	计算公式
IDLE1 模式	$(WKDC[7:0]+1) \times 2 F_{osc}$

表 5-4 唤醒时间计算表

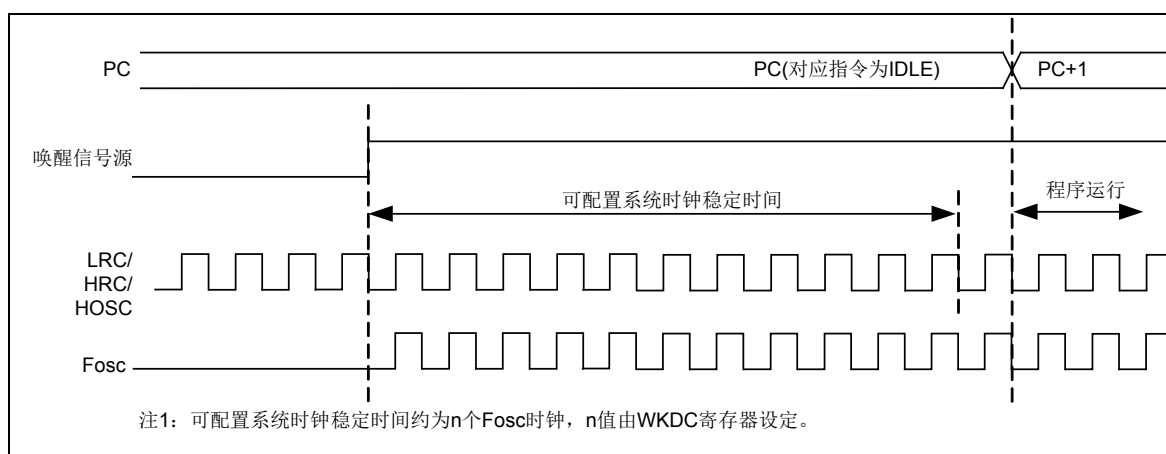


图 5-18 系统时钟为 LRC/HRC/HOSC 时，系统唤醒 IDLE1 的时序图

### 5.4.5 殊功能寄存器

低功耗模式相关功能设置寄存器包括 PWRC 和 WKDC 寄存器。PWRC 中的 LPMS 位用于选择休眠模式 IDLE0 和 IDLE1。WKDC 寄存器用于灵活设置 IDLE1 休眠模式的唤醒延时，WKDC 寄存器设置为 00<sub>H</sub> 时延时最短，FF<sub>H</sub> 时延时最长。

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPMS	—	—	IRSTB	TOB	PDB	PORB	BORB
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	1	0	x

- Bit 7            LPMS: 休眠模式选择位  
                  0: IDLE0 模式  
                  1: IDLE1 模式
- Bit 6~5        未使用
- Bit 4~0        详见其它章节描述

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

- Bit 7~0        WKDC<7:0>: 唤醒延时时间设置位  
                  00<sub>H</sub>: 延时最短  
                  .....  
                  FF<sub>H</sub>: 延时最长

## 第 6 章 外设

### 6.1 定时器/计数器 (Timer/Counter) 模块

定时/计数器模块包括一组 8 位定时器/计数器 T10，两组 8 位定时器 T11/T12 和两组 16 位门控型定时器 T20/T21。

#### 6.1.1 8 位定时器/计数器 (T10)

##### 6.1.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T10CKI) 进行计数。

- ◆ T10 支持两种工作模式
  - 定时器模式 (时钟源为系统时钟二分频 (Fosc/2))
  - 计数器模式 (时钟源为外部输入时钟 T10CKI)
- ◆ T10 支持以下功能组件
  - 8 位预分频器 (无实际物理地址, 不可读写)
  - 8 位计数器寄存器 (T10)
  - 8 位控制寄存器 (T10C)
- ◆ 中断和暂停
  - 支持溢出中断标志 (T10IF)
  - 支持中断处理
  - 在 IDLE 模式下, T10 暂停工作

##### 6.1.1.2 内部结构图

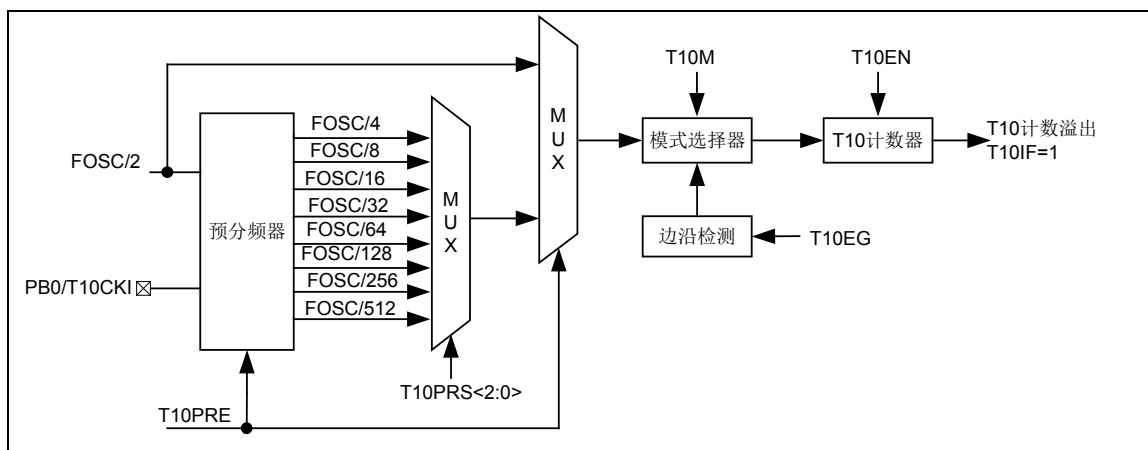


图 6-1 T10 内部结构图

##### 6.1.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T10C 寄存器中的 T10PRE 为“1”时，使能 T10 预分频器。任何对 T10 计数器的写操作都会清零预分频器，但不影响预分频器的分频比设置，预分频器的计数值无法读写。预分频器的分频比可通过 T10C 寄存器中的 T10PRS <2:0> 位进行设置，预分频比范围为 1:2~1:256。

工作模式	T10PRE	T10PRS<2:0>	T10 计数时钟
定时器模式	0	-	Fosc/2
	1	000	Fosc/4
	1	001	Fosc/8
	1	010	Fosc/16
	1	011	Fosc/32
	1	100	Fosc/64
	1	101	Fosc/128
	1	110	Fosc/256
	1	111	Fosc/512
计数器模式	0	-	T10CKI
	1	000	T10CKI/2
	1	001	T10CKI/4
	1	010	T10CKI/8
	1	011	T10CKI/16
	1	100	T10CKI/32
	1	101	T10CKI/64
	1	110	T10CKI/128
	1	111	T10CKI/256

表 6-1 T10 预分频器配置表

#### 6.1.1.4 工作模式

T10 有两种工作模式，定时器模式和计数器模式，通过 T10M 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T10 计数器的时钟源为系统时钟 2 分频（Fosc/2）；配置为计数器模式时，T10 计数器的时钟源为经二分频后的系统时钟 Fosc/2 同步的外部输入时钟 T10CKI，因此 T10CKI 输入时钟信号的高电平和低电平时间都至少为一个机器周期。通过 T10C 寄存器中的 T10EG 位选择外部时钟的计数边沿为上升沿或下降沿。T10CKI 所在 IO 端口必须配置为数字输入状态。

#### 6.1.1.5 定时器模式

T10 计数器为递增计数，计数值由 FF<sub>H</sub> 变为 00<sub>H</sub> 时，T10 计数器发生溢出并重新开始计数。T10 计数器发生溢出时，中断标志 T10IF 位被置“1”。如果中断使能位 T10IE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T10 溢出中断响应请求。中断标志 T10IF 位需通过软件清零。在 CPU 进入休眠模式后，T10 模块不工作，因此不产生中断。

当 T10 配置为定时器模式时，若禁止预分频器，则 T10 计数器的时钟为系统时钟二分频（Fosc/2）；若使能预分频器，分频器对 Fosc/2 进行分频，此时，T10 计数器的计数时钟为分频后的时钟。

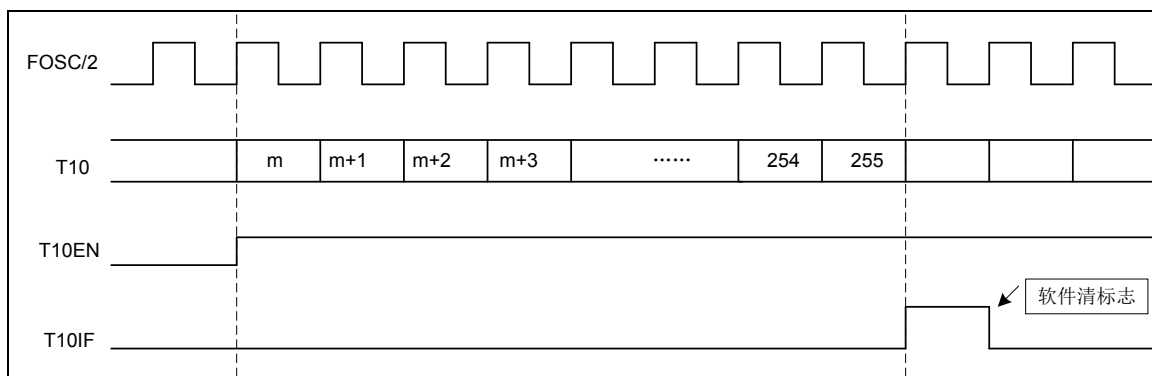


图 6-2 定时器模式时序图

### 6.1.1.6 计数器模式

当 T10 配置为计数器模式时，若禁止预分频器，则 T10 计数器的时钟为外部输入时钟 T10CKI，并由二分频后的系统时钟 Fosc/2 进行同步，所以 T10CKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T10EG (T10C<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，计数器模式也支持预分频器对外部时钟 T10CKI 进行分频。并且，T10CKI 复用的 IO 端口必须配置为数字输入状态。

当 T10 计数器递增计数由 FF<sub>H</sub> 变为 00<sub>H</sub> 时，T10 计数器发生溢出，中断标志 T10IF 位被置“1”。如果中断使能位 T10IE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 T10 溢出中断响应请求。中断标志 T10IF 位需通过软件清零。在 CPU 进入休眠模式后，T10 模块不工作，因此不产生中断。

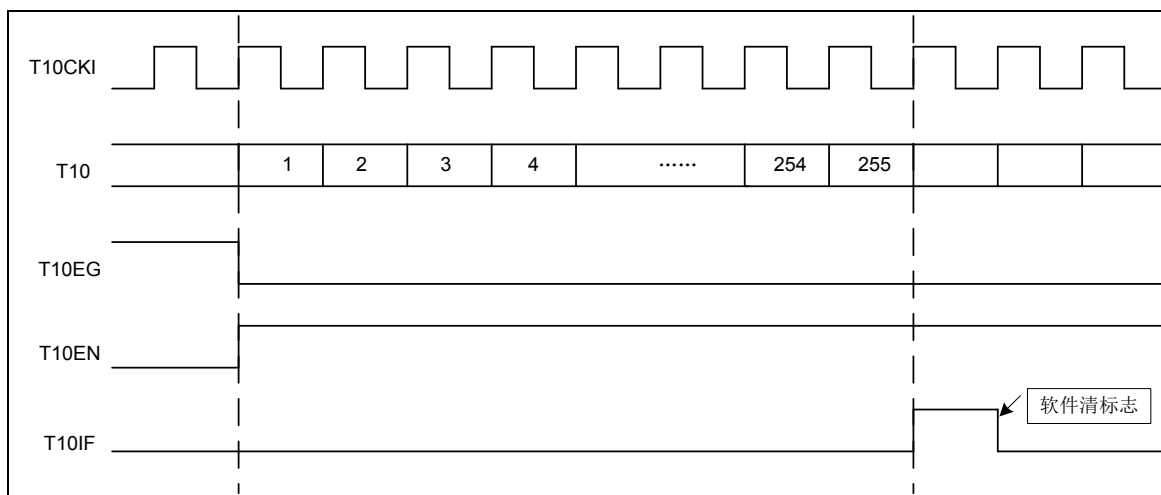


图 6-3 计数器模式时序图 (T10EG=0, T10CKI 上升沿计数)

### 6.1.1.7 特殊功能寄存器

8 位定时器/计数器 T10 由两个寄存器控制，一个 8 位计数器寄存器 T10 和一个控制寄存器 T10C。T10 寄存器用于存放计数值，T10C 控制寄存器用于控制 T10 的使能、T10 的模式选择、T10CKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

T10: T10 计数器寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T10 <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T10 <7:0>: 8 位 T10 计数值

T10C: T10 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T10EN	—	T10M	T10EG	T10PRE	T10PRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T10EN : T10 使能位

0: 关闭  
1: 使能

Bit 6 未使用

Bit 5 T10M: T10 模式选择位

0: 定时器模式 (时钟源为系统时钟二分频  $F_{osc}/2$ )  
1: 计数器模式 (时钟源为 T10CKI)

Bit 4 T10EG: T10CKI 计数边沿选择位

0: T10CKI 上升沿计数  
1: T10CKI 下降沿计数

Bit 3 T10PRE: 预分频器使能位

0: 禁止  
1: 使能

Bit 2~0 T10PRS <2:0>: 预分频器分频比选择位

000: 1:2  
001: 1:4  
010: 1:8  
011: 1:16  
100: 1:32  
101: 1:64  
110: 1:128  
111: 1:256

## 6.1.2 8 位定时器 (T11/T12)

### 6.1.2.1 概述

8 位定时器 T11/T12 支持三种工作模式，定时器模式、单边 PWM 模式和单脉冲发射模式。

- ◆ T11/T12 支持三种工作模式
  - 定时器模式 (时钟源为系统时钟二分频 ( $F_{osc}/2$ ))
  - 单边 PWM 模式 (最大支持 9 位分辨率)
  - 单脉冲发射模式
- ◆ T11/T12 支持以下功能组件
  - 4 位预分频器和 4 位后分频器 (无实际物理地址, 不可读写)
  - 8 位计数器寄存器 (T11/T12, 计数器初始值可写)
  - 8 位周期寄存器 (T11P/ T12P)
  - 8 位精度寄存器 (T11R/ T12R)
  - 8 位控制寄存器 (T11CL/T12CL /T11CH/T12CH)
- ◆ 中断和暂停
  - 支持定时中断和周期中断标志 (T11TIF/ T11PIF/ T12TIF/ T12PIF)
  - 支持中断处理
  - 在 IDLE 模式下, T11/T12 暂停工作

注: 本节中 T1n 代表 T11 或 T12。

### 6.1.2.2 内部结构图

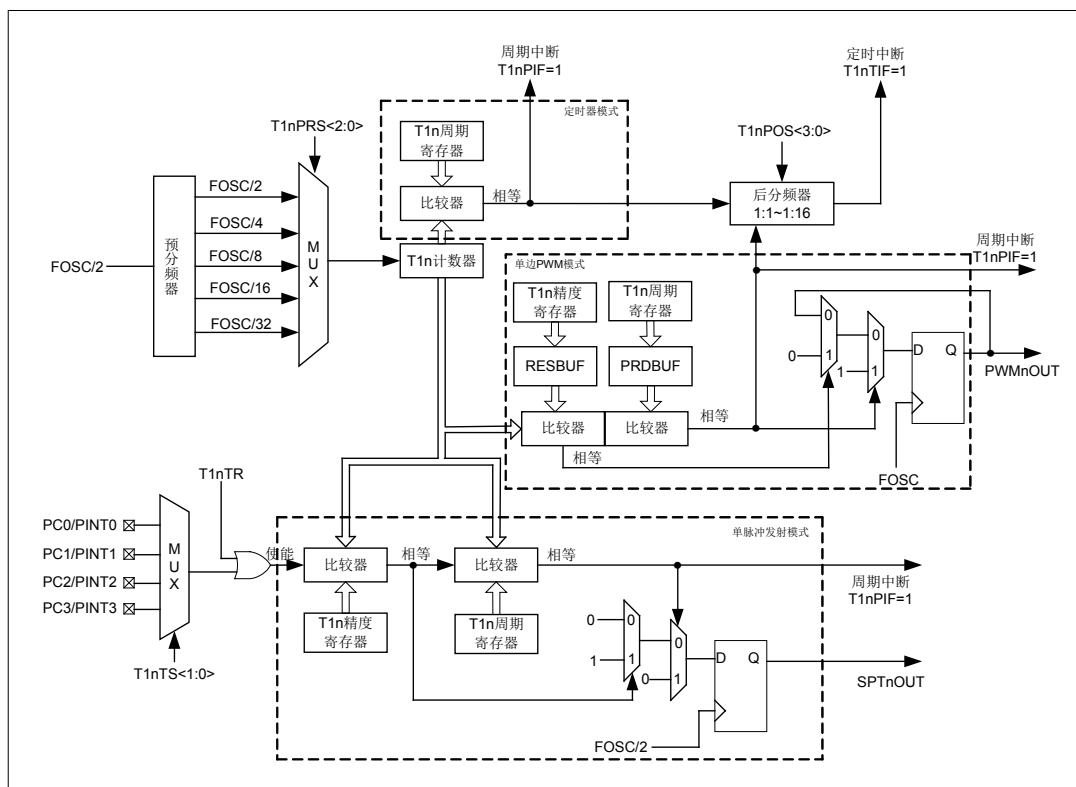


图 6-4 T1n 内部结构图



### 6.1.2.3 预分频器和后分频器

预分频器和后分频器可以提供更长的溢出和中断周期。T1n 模块计数器支持可配置的 4 位预分频器和可配置的 4 位后分频器。预分频器与后分频器的计数值都无法读写，修改 T1n 的控制寄存器或计数器都会把预分频器和后分频器清零，但不改变分频比设置。预分频器的分频比可通过 T1nCH 寄存器中的 T1nPRS <2:0> 位进行设置，预分频比范围为 1: 1~1: 16。后分频器的分频比可通过 T1nCH 寄存器中的 T1nPOS <3:0> 位进行设置，后分频比范围为 1: 1~1: 16，通过计数器与周期寄存器值的匹配，来进行后分频。

T1nPRS <2:0>	T1n 定时器频率
0xx	Fosc/2
100	Fosc/4
101	Fosc/8
110	Fosc/16
111	Fosc/32

表 6-2 T1n 预分频器配置表

T1nPOS <3:0>	T1n 匹配中断
0000	计数器与周期寄存器匹配 1 次
0001	计数器与周期寄存器匹配 2 次
0010	计数器与周期寄存器匹配 3 次
0011	计数器与周期寄存器匹配 4 次
0100	计数器与周期寄存器匹配 5 次
0101	计数器与周期寄存器匹配 6 次
0110	计数器与周期寄存器匹配 7 次
0111	计数器与周期寄存器匹配 8 次
1000	计数器与周期寄存器匹配 9 次
1001	计数器与周期寄存器匹配 10 次
1010	计数器与周期寄存器匹配 11 次
1011	计数器与周期寄存器匹配 12 次
1100	计数器与周期寄存器匹配 13 次
1101	计数器与周期寄存器匹配 14 次
1110	计数器与周期寄存器匹配 15 次
1111	计数器与周期寄存器匹配 16 次

表 6-3 T1n 后分频器配置表

### 6.1.2.4 工作模式

T11/T12 有三种工作模式，定时器模式、单边 PWM 模式和单脉冲发射模式，通过 T1nM<1:0> 进行模式选择。三种模式均支持预分频器，并且定时器模式和单边 PWM 模式还支持后分频器。三种模式下，T1n 计数器的时钟源均为系统时钟 2 分频 (Fosc/2)；配置为单脉冲发射模式时，T1n 计数器需在 PINTx 条件触发或软件置位触发后开始工作，脉冲发射周期由 T1nP 寄存器设定，发射等待周期由 T1nR 寄存器设定。

### 6.1.2.5 定时器模式

T1nM 为“0x”时，T1n 工作在定时器模式。

T1n 计数器的时钟源为系统时钟 2 分频 (Fosc/2)，并支持预分频器和后分频器。T1n 在定时器模式下对计数时钟进行递增计数，当 T1n 的计数值与周期寄存器 T1nP 相等时，将周期中断标志 T1nPIF 置“1”，该中断标志需要软件清零，同时 T1n 被自动清零并重新开始计数，后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 T1nTIF 置“1”，该中断标志需要软件清零。

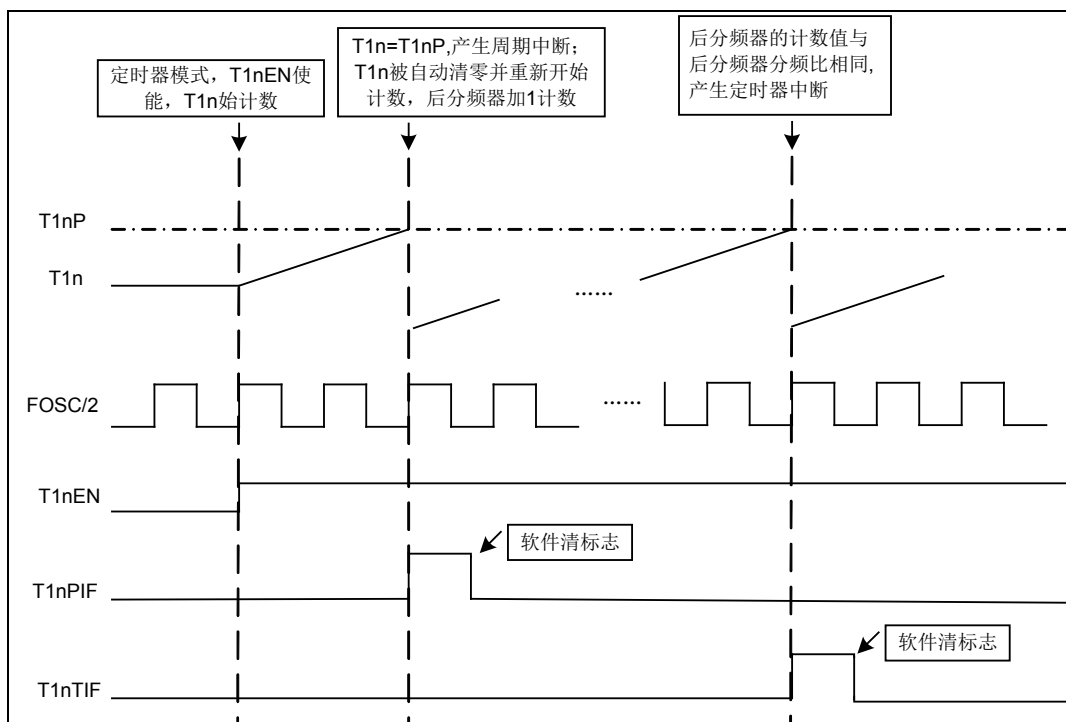


图 6-5 T1n 定时器模式时序图

### 6.1.2.6 单边PWM模式

T1nM 为“10”时，T1n 工作在单边 PWM 模式。

单边 PWM 模式计数时钟源为系统时钟 2 分频 (Fosc/2)，并支持预分频器。此模式下，后分频比不影响 PWM 周期，只影响定时中断标志 T1nTIF。

如下图所示，T1nTR 为 0 时，PWM 输出关闭，并保持 PWM 输出为 0；设置 T1nTR 为 1 时，PWM 输出波形启动，PWM 输出起始为 1，同时分别将 T1nP 和 T1nR 寄存器的内容更新至 PWM 周期缓冲器 PRDBUF 和精度缓冲器 RESBUF (缓冲器软件不可读写)，随后 T1n 从零开始递增计数，当 T1n 与 RESBUF 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T1n 的计数值与 PRDBUF 相等时，PWM 输出恢复为 1，同时 PRDBUF 和 RESBUF 再次分别载入 T1nP 和 T1nR 寄存器的值，并产生周期中断标志 T1nPIF，该中断标志需要软件清零。同时 T1n 被自动清零并重新开始计数，后分频器加 1 计数。至此一个完整的 PWM 周期完成，随后继续循环新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将中断标志 T1nTIF 置 1，该中断标志需要软件清零。

特别的，若 RESBUF 的值不小于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。

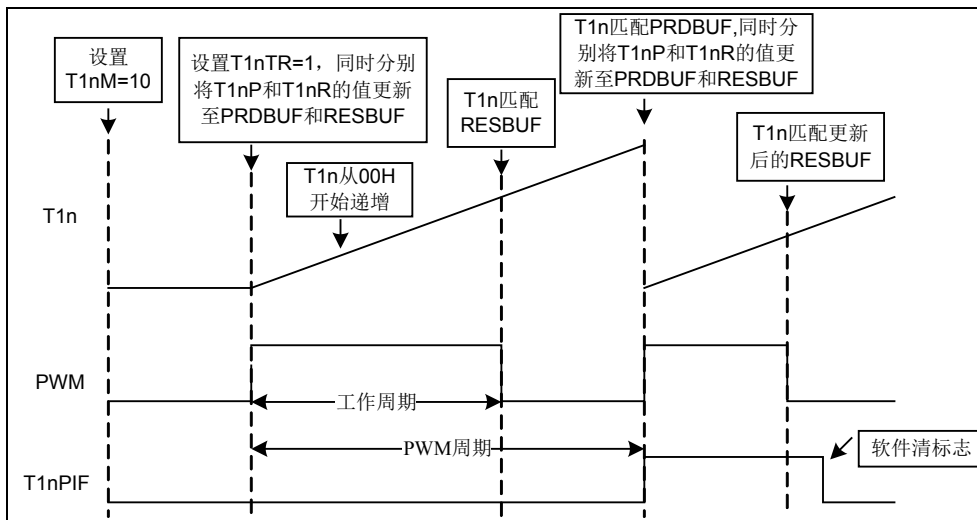


图 6-6 T1n 单边 PWM 模式示意图

PWM 计算公式如下：

$$\text{PWM 周期} = (T1nP + 1) \times 2 \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T1nR \times 2 + 1 + T1nREX) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

FCKPS 是计数器的预分频器的分频比。

### 6.1.2.7 单脉冲发射模式

T1nM<1:0>=11 时，为单脉冲发射模式。

此模式通过 PINTx 条件触发或软件置位触发，在等待一定周期（由 T1nR 寄存器设置）后，由 T1n0 输出一定周期宽度（由 T1nP 寄存器设置）的单脉冲。如图示：

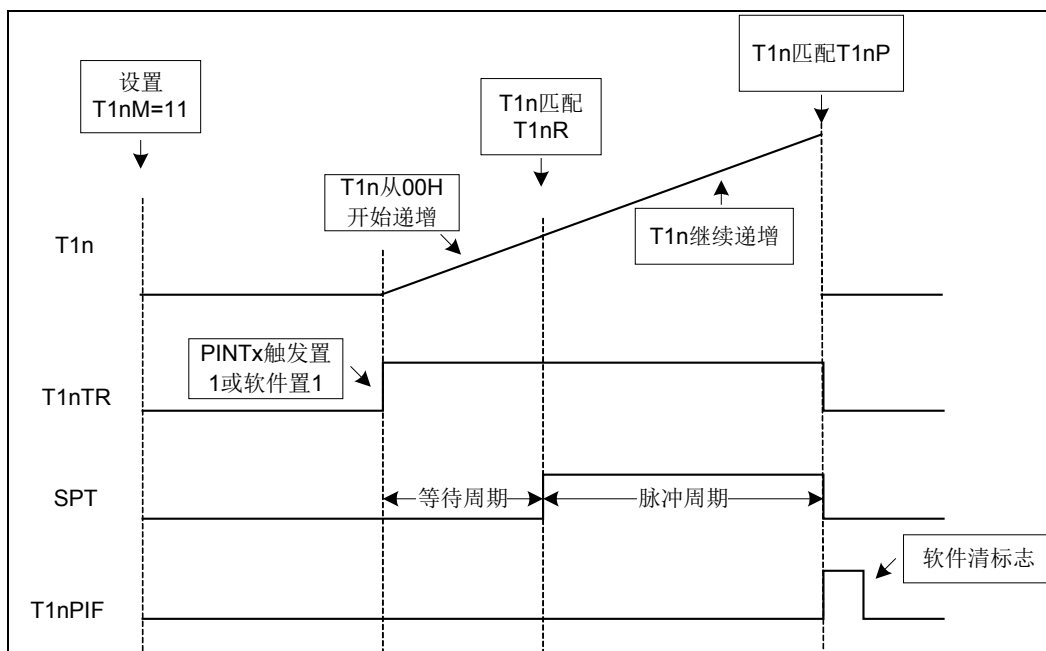


图 6-7 T1n 单脉冲发射模式示意图

◆ 计数器和分频器

此模式下预分频器可用，后分频器不可用。进入此工作模式后计数器先清 0 并处于等待状态（ $T1n=00H$ ），触发后（ $T1nTR$  被置 1），先进行一次等待周期计数；再进行一次发射周期计数。发射周期计数完成后，将  $T1nTR$  位硬件清 0，同时将周期中断标志  $T1nPIF$  置 1。并再次清 0 进入等待状态，等待下一次触发事件。

注： $T1nTR$  保持为 1 时，如再发生触发事件，将被忽略。

◆ 触发事件

支持两种触发事件： $PINTx$  端口外部中断事件（硬件将  $T1nTR$  位置 1）和软件将  $T1nTR$  位置 1。

◆ 等待周期和发射周期

等待周期 =  $T1n$  计数时钟周期  $\times (T1nR+1)$

发射周期 =  $T1n$  计数时钟周期  $\times (T1nP - T1nR)$  ( $T1nP > T1nR$ ，且等待计数与发射计数值小于或等于 256)

$T1n$  计数时钟周期  $\times (256 + T1nP - T1nR)$  ( $T1nP \leq T1nR$ ，且等待计数与发射计数值大于 256)

注： $T1n$  计数时钟周期为时钟源经过预分频器后的时钟周期。

### 6.1.2.8 T1n 复用输出端口

$T1n$  各支持 2 个复用输出端口， $T1n0$  和  $T1n1$ 。可通过设置  $TOC$  寄存器的相应使能位单独使能。当复用输出使能时，相应端口寄存器写“0”输出正向逻辑；写“1”输出反向逻辑，将  $T1n$  的输出信号反向后输出到端口  $T1n0$  与  $T1n1$ 。

### 6.1.2.9 特殊功能寄存器

8 位定时器 T1n 由一系列寄存器控制，一个 8 位计数器寄存器 T1n、一个 8 位周期寄存器 T1nP、一个 8 位精度寄存器 T1nR、两个控制寄存器 T1nCL 和 T1nCH、一个 TIMER 复用输出控制寄存器 TOC。T1n 寄存器用于存放计数值，T1nP 周期寄存器用于存放 PWM 周期值和脉冲发射周期，T1nR 精度寄存器用于存放 PWM 精度值和发射等待周期，T1nCL 控制寄存器用于控制 T1n 的使能、工作模式的选择、PWM 模式扩展精度、PWM 使能、单脉冲发射触发标志、单脉冲触发选择等，T1nCH 控制寄存器用于控制预分频器和后分频器的分频比选择。TOC 寄存器用于控制与 I/O 端口复用的 T11/T12 输出控制使能。

注：在单边 PWM 模式以及单脉冲发射模式下，配置寄存其需遵循如下先后顺序：  
先配置好预分频，周期值，占空比值，以及 T1nEN 使能之后，再将 PWM 的 TRIG 位（如 T1nTR）置一，如此 PWM 波形正常。（即所有寄存器配置结束之后再启动 T1nTR 位，PWM 波形正常输出：T1nTR 是 PWM 脉宽调制波形的最终发射启动信号）。

T1n: T1n 计数器寄存器 (T11/T12)								
Bit	7	6	5	4	3	2	1	0
Name	T1n <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1n <7:0>: 8 位 T1n 计数值

T1nP: T1n 周期寄存器 (T11P/T12P)								
Bit	7	6	5	4	3	2	1	0
Name	T1nP <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T1nP <7:0>: 单边 PWM 模式: PWM 周期值  
单脉冲发射模式: 脉冲发射周期

T1nR: T1n 精度寄存器 (T11R/T12R)								
Bit	7	6	5	4	3	2	1	0
Name	T1nR <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T1nR <7:0>: 单边 PWM 模式: PWM 精度值  
单脉冲发射模式: 发射等待周期

T1nCL: T1n 控制寄存器 (T11CL/T12CL)								
Bit	7	6	5	4	3	2	1	0
Name	T1nEN	T1nREX	T1nTR	—	T1nTS <1:0>		T1nM <1:0>	
R/W	R/W	R/W	R/W	R/W	R/W		R/W	
POR	0	0	0	0	0	0	0	0

- Bit 7            T1nEN: T1n 使能位  
                  0: 关闭  
                  1: 使能
- Bit 6            T1nREX: PWM 模式扩展精度位
- Bit 5            T1nTR:  
                  单边 PWM 模式: PWM 使能位  
                  0: 停止 (波形复位)  
                  1: 使能 (波形产生)  
                  单脉冲发射模式: 触发标志 (软件置 1, 硬件清 0)  
                  0: 发射等待  
                  1: 触发并开始计数
- Bit 4            未使用
- Bit 3~2          T1nTS<1:0>: T1n 单脉冲触发选择位  
                  00: PINT0  
                  01: PINT1  
                  10: PINT2  
                  11: PINT3
- Bit 1~0          T1nM <1:0>: T1n 工作模式选择位  
                  0x: 定时器模式  
                  10: 单边 PWM 模式  
                  11: 单脉冲发射模式

T1nCH: T1n 控制寄存器 (T11CH/T12CH)								
Bit	7	6	5	4	3	2	1	0
Name	T1nPOS<3:0>				—	T1nPRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4          T1nPOS<3:0>: T1n 后分频器分频比选择位  
                  0000: 1:1  
                  0001: 1:2  
                  0010: 1:3  
                  0011: 1:4  
                  0100: 1:5  
                  0101: 1:6  
                  0110: 1:7  
                  0111: 1:8  
                  1000: 1:9  
                  1001: 1:10  
                  1010: 1:11  
                  1011: 1:12  
                  1100: 1:13  
                  1101: 1:14  
                  1110: 1:15

1111: 1:16  
 Bit 3 未使用  
 Bit 2~0 T1nPRS <2:0>: T1n 预分频器分频比选择位  
 0xx: 1:1  
 100: 1:2  
 101: 1:4  
 110: 1:8  
 111: 1:16

TOC: TIMER 复用输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T211EN	T210EN	T201EN	T200EN	T121EN	T120EN	T111EN	T110EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T211EN: T211 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 6 T210EN: T210 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 5 T201EN: T201 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 4 T200EN: T200 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 3 T121EN: T121 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 2 T120EN: T120 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 1 T111EN: T111 复用功能使能位  
 0: 关闭  
 1: 使能

Bit 0 T110EN: T110 复用功能使能位  
 0: 关闭  
 1: 使能

### 6.1.3 16 位门控型定时器 (T20/T21)

#### 6.1.3.1 概述

16 位门控型定时器 T20/T21 支持 7 种工作模式，定时器模式、同步计数器模式、异步计数器模式、捕捉器模式、比较器模式、单边 PWM 模式和双边 PWM 模式。

◆ T20/T21 支持 7 种工作模式

- 定时器模式 (时钟源为系统时钟二分频  $F_{osc}/2$ )
- 同步计数器模式 (时钟源为 T2nCKI 输入, 经二分频后的系统时钟  $F_{osc}/2$  同步)
- 异步计数器模式 (时钟源为 T2nCKI 输入)
- 捕捉器模式
- 比较器模式
- 单边 PWM 模式 (最大支持 17 位分辨率)
- 双边 PWM 模式 (最大支持 17 位分辨率)

◆ T20/T21 支持以下功能组件

- 4 位预分频器 (无实际物理地址, 不可读写)
- 8 位计数器寄存器低 8 位、高 8 位 (T20L/T21L, T20H/ T21H, 计数器初始值可写)
- 8 位周期寄存器低 8 位、高 8 位 (T20PL/ T21PL, T20PH/ T21PH)
- 8 位精度寄存器低 8 位、高 8 位 (T20RL/ T21RL, T20RH/ T21RH)
- 8 位控制寄存器 (T20CL/ T21CL/ T20CH/ T21CH)

◆ 中断和暂停

- 支持溢出中断和多功能中断标志 (T20VIF/T20MIF/T21VIF/T21MIF)
- 支持中断处理
- 在 IDLE 模式下, 只支持异步计数器模式, 并可产生中断唤醒 CPU

◆ 支持门控设计, 通过门控信号 T20GI/T21GI 控制 T20/T21 定时/计数

注: 本节中 T2n 代表 T20 或 T21。



### 6.1.3.2 内部结构图

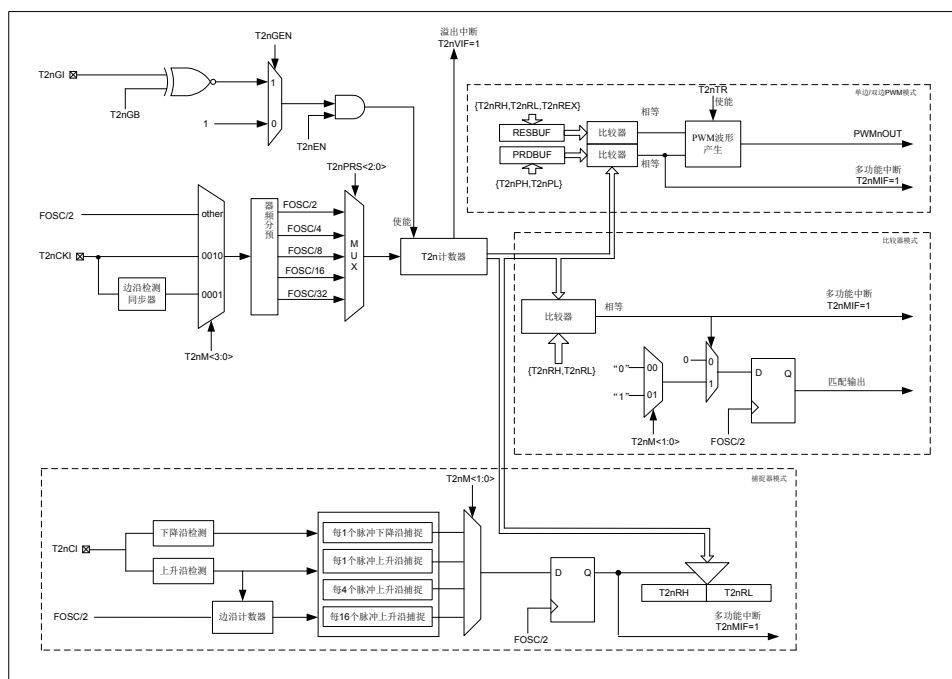


图 6-8 T2n 内部结构图

### 6.1.3.3 预分频器

预分频器可以提供一个更长的溢出周期。T2n 支持可配置的预分频器。通过 T2nCH 寄存器中的 T2nPRRS 位配置预分频器的分频比，预分频比的范围为 1: 1~1: 16。任何对计数器的写操作都会使预分频器清零，但不改变配置的分频比。预分频器的计数值不可读写。

### 6.1.3.4 工作模式

T21/T22 有定时器和计数器五种工作模式，定时器/计数器模式、捕捉器模式、比较器模式、单边 PWM 模式和双边 PWM 模式，通过 T2nM<3:0>进行模式选择。五种模式均支持预分频器，时钟源均为系统时钟 2 分频 (Fosc/2)。

### 6.1.3.5 定时器/计数器模式

T2nM 设置为“0000”时，T2n 工作在定时器模式。时钟源为系统时钟 2 分频 (Fosc/2)。T2nM 设置为“0001”时，T2n 工作在异步计数器模式。时钟源为外部输入时钟 T2nCKI。T2nM 设置为“0010”时，T2n 工作在同步计数器模式。时钟源为外部输入时钟 T2nCKI，并经 2 分频后的系统时钟 Fosc/2 同步，T2nCKI 需要满足高/低电平时间至少保持 1 个机器周期。

在定时器/计数器模式下，T2n 计数器 (T2nH, T2nL) 对时钟源进行递增计数，当计数值溢出时 (即从 FFFF<sub>H</sub> 变为 0000<sub>H</sub>)，产生溢出中断 T2nVIF，该中断必须软件清零。

T2n 支持门控开关，通过 T2nGI 门控信号对 T2n 计数进行门控。T2nGB 位用于选择门控信号的极性。当门控开启时，门控输入信号为无效电平时，计数器将暂停计数；当门控输入信号为有效电平时，计数器继续计数。

当 T2n 处于异步计数模式时，可以在 CPU 睡眠时继续工作，并且产生的中断可以唤醒 CPU。

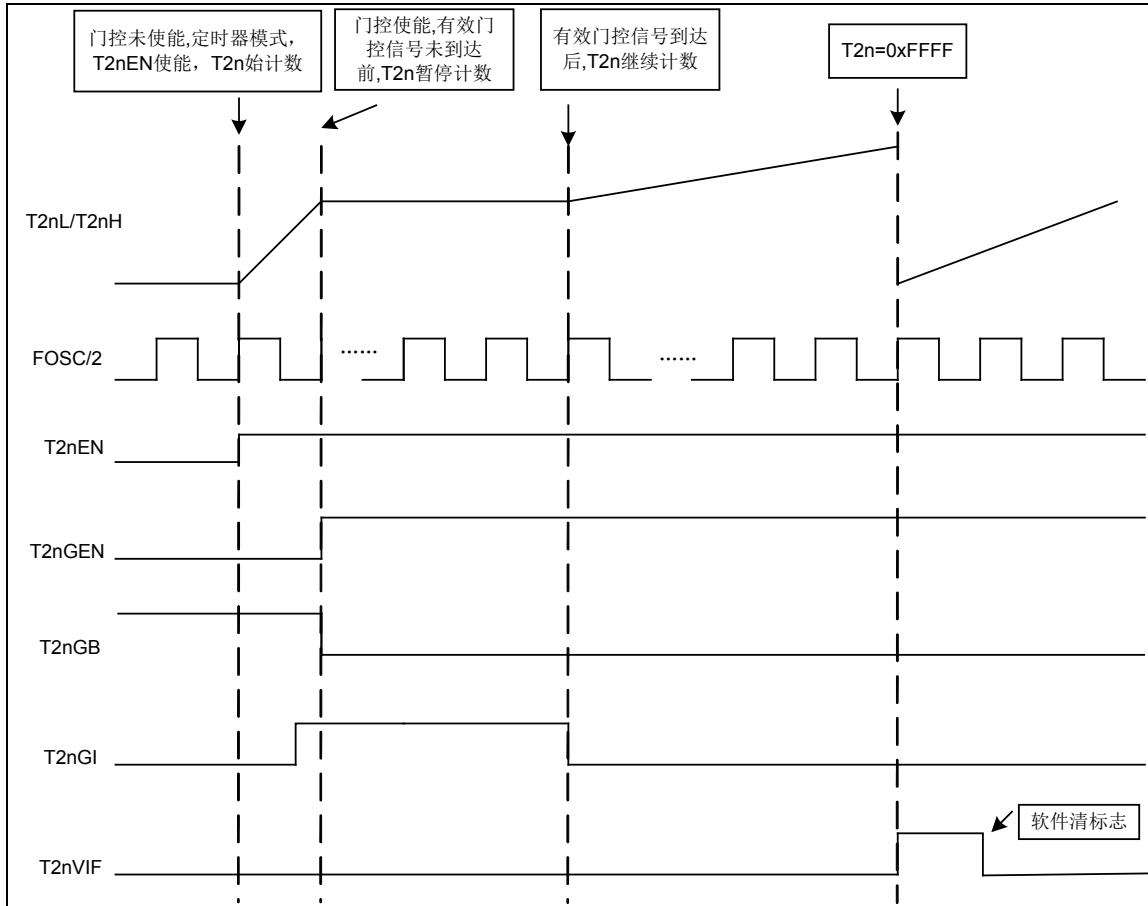


图 6-9 T2n 定时器模式时序图 (T2nGB=0, T2n 门控信号为低时, T2n 计数)

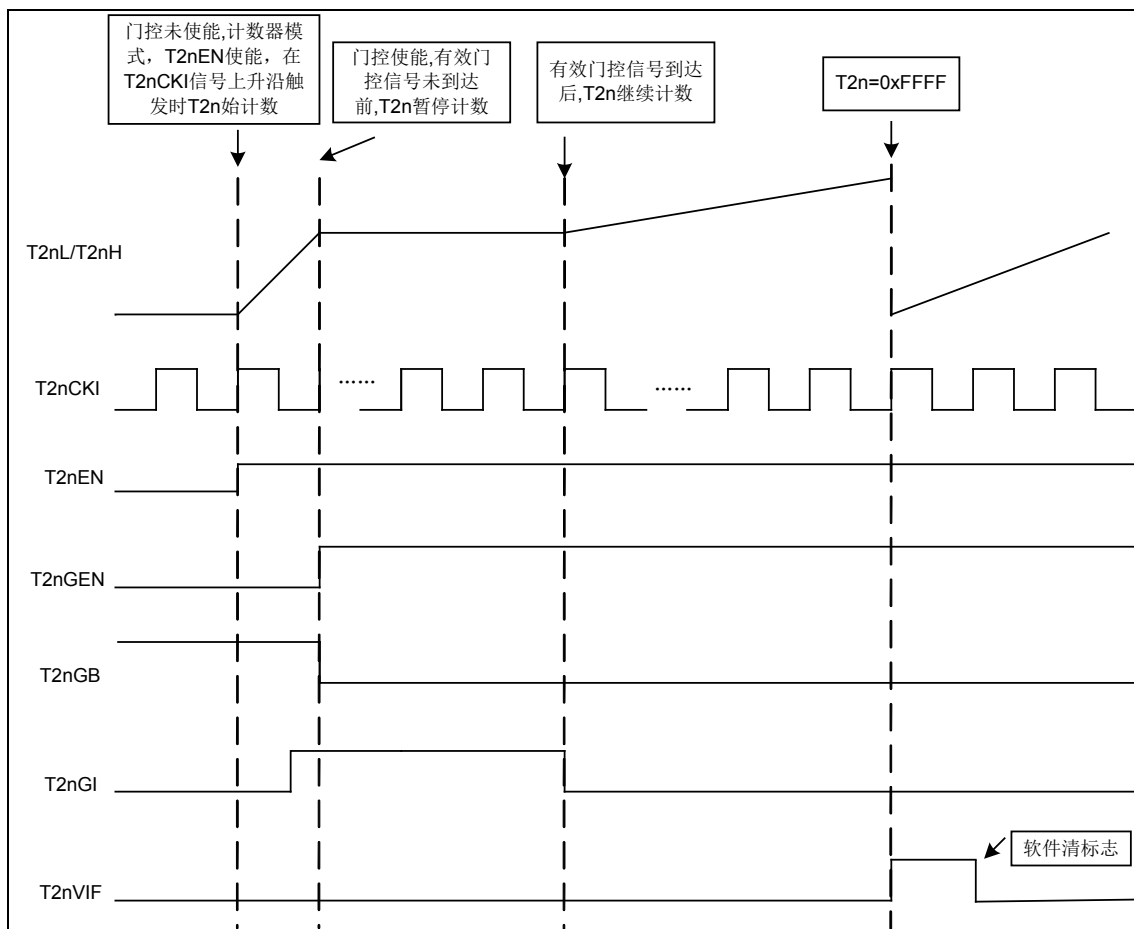


图 6-10 T2n 计数器模式时序图 (T2nGB=0, T2n 门控信号为低时, T2n 计数)

### 6.1.3.6 捕捉器模式

T2nM 设置为“01xx”时, T2n 工作在捕捉器模式, T2nCI 复用端口作为捕捉输入端口。该模式下支持 4 种捕捉条件选择。

T2n 配置为捕捉模式时, 时钟源为系统时钟 2 分频 (Fosc/2)。在此模式下, 16 位计数器 (T2nH,T2nL) 进行递增计数, 当 T2nCI 输入信号的变化状态满足捕捉条件时, 计数器 (T2nH,T2nL) 的值将被分别捕捉到捕捉寄存器 (T2nRH,T2nRL) 中, 并产生多功能中断 T2nMIF, 该中断必须由软件清零。计数器继续递增计数。若下一次捕捉事件发生时, 捕捉寄存器 (T2nRH,T2nRL) 中的值未被及时读取, 将被新捕捉的值覆盖。

T2n 支持 1 个用于捕捉条件判断的边沿计数器。此边沿计数器仅在捕捉模式有效。当 T2n 关闭或切换为其它模式时, 该边沿计数器被清零。但在 T2n 的 4 种捕捉模式相互切换时, 该边沿计数器不会被清零。因此, 当切换捕捉模式后, 首次捕捉可能存在误差, 同时也可能导致错误的中断产生。为了避免产生错误中断, 用户在改变模式时应该禁止 T2n 相应中断使能位, 并且清除中断标志。

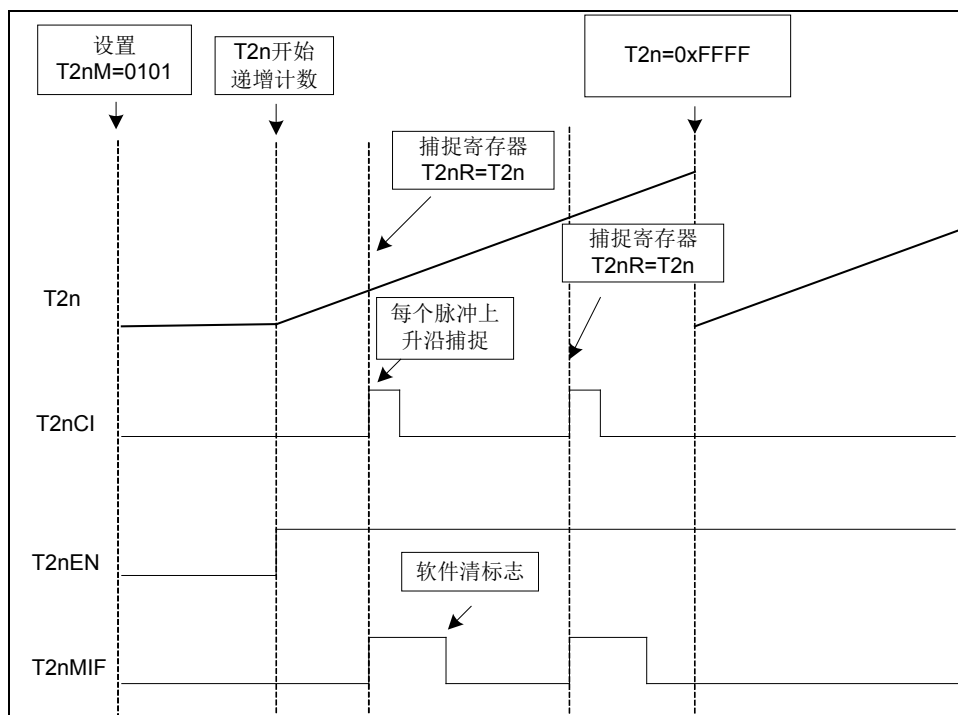


图 6-11 T2n 捕捉器模式时序图 (T2nM=0101, 每个脉冲上升沿捕捉信号)

### 6.1.3.7 比较器模式

T2nM 设置为“10xx”时，T2n 工作在比较器模式。

比较器模式时钟源为系统时钟 2 分频 ( $F_{osc}/2$ )。在此模式下，16 位计数器 (T2nH, T2nL) 进行递增计数。当计数器 (T2nH, T2nL) 的计数值与比较寄存器 (T2nRH, T2nRL) 中的比较值相等时，执行相应的比较匹配事件，并产生多功能中断 T2nMIF，该中断必须软件清零。

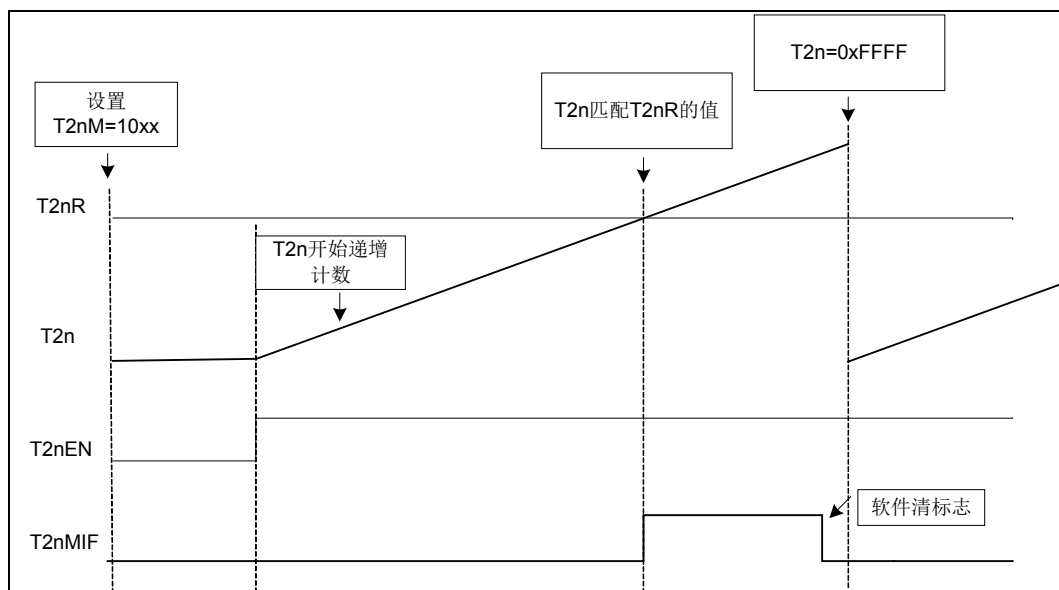


图 6-12 T2n 比较器模式时序图

### 6.1.3.8 单边PWM模式

T2nM 设置为“1100”时，T2n 工作在单边 PWM 模式。单边 PWM 模式计数时钟源为系统时钟二分频  $F_{osc}/2$ 。

如下图所示，T2nTR 为 0 时，PWM 输出关闭，并保持 PWM 输出为 0；设置 T2nTR 为 1 时，PWM 输出波形启动，PWM 输出起始为 1，同时分别将 T2nP 和 T2nR 寄存器的内容更新至 PWM 周期缓冲器 PRDBUF 和精度缓冲器 RESBUF（缓冲器软件不可读写），随后 T2n 从零开始递增计数，当 T2n 与 RESBUF 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T2n 的计数值与 PRDBUF 相等时，PWM 输出恢复为 1，同时 PRDBUF 和 RESBUF 再次载入 T2nP 和 T2nR 寄存器的值，并同时产生多功能中断 T2nMIF。至此一个完整的 PWM 周期完成，随后继续循环新的 PWM 周期。

特别的，若 RESBUF 的值不小于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。

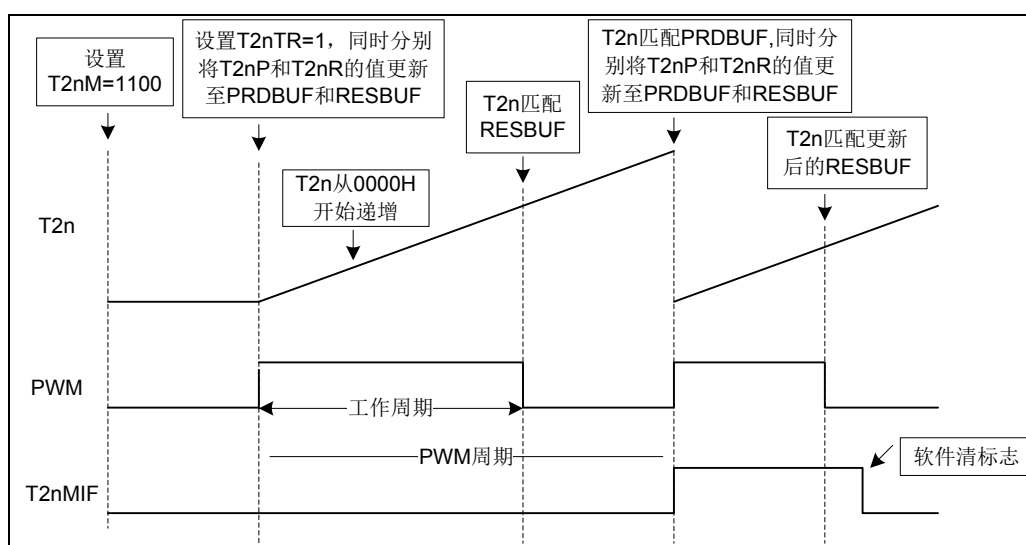


图 6-13 T2n 单边 PWM 正向逻辑输出模式示意图

单边 PWM 计算公式如下：

$$\text{PWM 周期} = (T2nP + 1) \times 2 \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 频率} = 1 / [\text{PWM 周期}]$$

$$\text{PWM 脉宽} = (T2nR \times 2 + 1 + T2nREX) \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

$F_{CKPS}$  是计数器的预分频器的分频比。

### 6.1.3.9 双边PWM模式

T2nM<3:0>=1101 时，为双边 PWM 模式。双边 PWM 模式计数时钟源为系统时钟二分频  $F_{osc}/2$ 。

如下图所示，T2nTR 为 0 时，PWM 输出关闭，并保持 PWM 输出为 0；设置 T2nTR 为 1

时, PWM 输出波形启动, PWM 输出起始为 1, 同时分别将 T2nP 和 T2nR 寄存器的内容更新至 PWM 周期缓冲器 PRDBUF 精度缓冲器 RESBUF (缓冲器软件不可读写), 随后 T2n 从零开始递增计数, 当 T2n 与 RESBUF 的值相等时, PWM 输出改变为 0, 并继续递增计数。当 T2n 的计数值与 PRDBUF 相等时, PRDBUF 和 RESBUF 分别载入 T2nP 和 T2nR 寄存器的值, 并产生多功能中断 T2nMIF, 同时 T2n 开始递减计数。当 T2n 递减至与 RESBUF 值相等时, PWM 输出改变为 1, T2n 继续递减计数, 直至递减到 0000<sub>H</sub>, 并又开始递增计数。一个完整的 PWM 周期是 T2n 从 T2nP 的值递减到 0000<sub>H</sub> 再递增回 T2nP。特别的, 若 RESBUF 的值为 0, 则当前 PWM 周期内 PWM 输出始终为 0; 若 RESBUF 的值不小于 PRDBUF, 则当前 PWM 周期内 PWM 输出始终为 1。

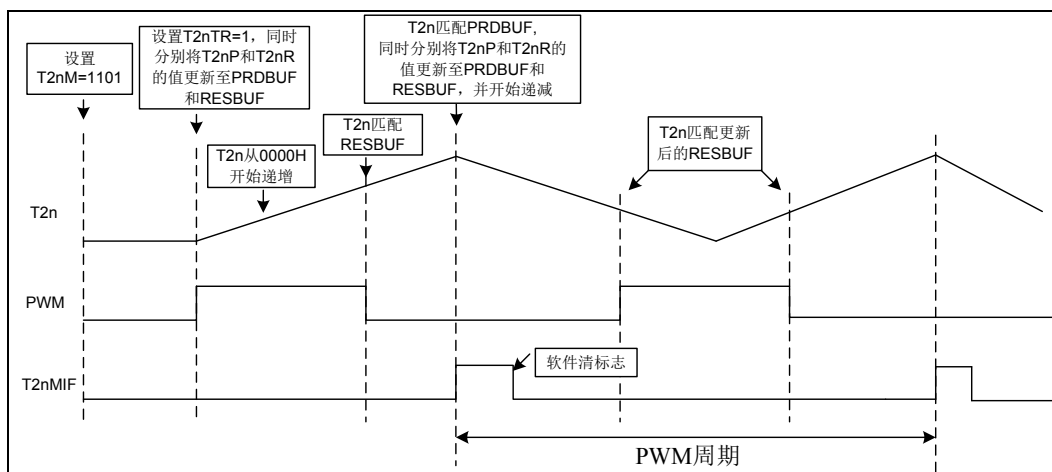


图 6-14 T2n 双边 PWM 正向逻辑输出模式示意图

双边 PWM 计算公式如下:

$$\text{PWM 周期} = (T2nP \times 2) \times 2 \times T_{osc} \times [\text{预分频器分频比}]$$

$$\text{PWM 脉宽} = (T2nR \times 2 + T2nREX) \times 2 \times T_{osc} \times [\text{预分频器分频比}]$$

### 6.1.3.10 T2n 复用功能输出端口

T2n 的比较器模式或单/双边 PWM 模式, 均支持 2 个输出端口 T2n0 与 T2n1。可通过设置 TOC 寄存器的相应使能位单独使能。当复用输出使能时, 相应端口寄存器写“0”输出正向逻辑; 写“1”输出反向逻辑, 将 T2n 的输出信号反向后输出到端口 T2n0 与 T2n1。

注: 只有在计数器使能位关闭 (T2nCL<7>=0) 时, 才可对 T2nL/T2nH 计数器进行写操作, 否则写操作无效。

### 6.1.3.11 特殊功能寄存器

16 位定时器 T2n 由一系列寄存器控制, 两个计数器寄存器 T2nL/T2nH、两个周期寄存器 T2nPL/T2nPH、两个精度寄存器 T2nRL/T2nRH、两个控制寄存器 T2nCL 和 T2nCH、一个 TIMER 复用输出控制寄存器 TOC。T2nL/T2nH 寄存器用于存放计数值的低 8 位和高 8 位, T2nPL/T2nPH 周期寄存器用于存放周期值的低 8 位和高 8 位, T2nRL/T2nRH 精度寄存器用于存放捕捉值和 T2n 精度值的低 8 位和高 8 位, T2nCL 控制寄存器用于控制 T2n 的使能、工作模式的选择、PWM 模式扩展精度、PWM 使能等, T2nCH 控制寄存器用于控制预分频器分频比选择、T2n 门控使能以及 T2n 门控信号极性选择等。TOC 寄存器用

于控制与 I/O 端口复用的 T20/T21 输出控制使能。

注：在单边 PWM 模式以及双边 PWM 模式下，配置寄存其需遵循如下先后顺序：

先配置好预分频，周期值，占空比值，以及 T2nEN 使能之后，再将 PWM 的 TRIG 位（如 T2nTR）置一，如此 PWM 波形正常。（即所有寄存器配置结束之后再启动 T2nTR 位，PWM 波形正常输出：T2nTR 是 PWM 脉宽调制波形的最终发射启动信号）。

**T2nL: T2n 计数器寄存器低 8 位 (T20L/T21L)**

Bit	7	6	5	4	3	2	1	0
Name	T2n<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2n <7:0>: T2n 计数器寄存器低 8 位（只在 T2nCL<7>=0 时可写）

**T2nH: T2n 计数器寄存器高 8 位 (T20H/T21H)**

Bit	7	6	5	4	3	2	1	0
Name	T2n<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2n <15:8>: T2n 计数器寄存器高 8 位（只在 T2nCL<7>=0 时可写）

**T2nPL: T2n 周期寄存器低 8 位 (T20PL/T21PL)**

Bit	7	6	5	4	3	2	1	0
Name	T2nP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nP<7:0>: T2n 周期值低 8 位

**T2nPH: T2n 周期寄存器高 8 位 (T20PH/T21PH)**

Bit	7	6	5	4	3	2	1	0
Name	T2nP<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T2nP<15:8>: T2n 周期值高 8 位

**T2nRL: T2n 精度寄存器低 8 位 (T20RL/T21RL)**

Bit	7	6	5	4	3	2	1	0
Name	T2nR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR<7:0>: 捕捉模式：捕捉值低 8 位  
PWM 模式：T2n 精度值低 8 位

T2nRH: T2n 精度寄存器高 8 位 (T20RH/T21RH)								
Bit	7	6	5	4	3	2	1	0
Name	T2nR<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T2nR<15:8>: 捕捉模式: 捕捉值高 8 位  
PWM 模式: T2n 精度值高 8 位

T20CL: T20 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T20EN	T20REX	T20TR	—	T20M<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 T20EN : T20 使能位  
0: 关闭  
1: 使能

Bit 6 T20REX: PWM 模式扩展精度位

Bit 5 T20TR: PWM 使能位  
1: 使能 (波形产生)  
0: 停止 (波形复位)

Bit 4 未使用

Bit 3~0 T20M <3:0>: T20 工作模式选择位  
0000 = 定时器模式  
0001 = 异步计数器模式  
0010 = 同步计数器模式  
0011 = 保留  
0100 = 捕捉模式, 每 1 个脉冲下降沿捕捉  
0101 = 捕捉模式, 每 1 个脉冲上升沿捕捉  
0110 = 捕捉模式, 每 4 个脉冲上升沿捕捉  
0111 = 捕捉模式, 每 16 个脉冲上升沿捕捉  
1000 = 比较器模式, 匹配时输出 1  
1001 = 比较器模式, 匹配时输出 0  
1010 = 比较器模式, 匹配时无输出  
1011 = 比较器模式, 匹配时复位 T20  
1100 = 单边 PWM 模式  
1101 = 双边 PWM 模式  
111x = 保留



T21CL: T21 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T21EN	T21REX	T21TR	—	T21M<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7            T21EN : T21 使能位  
                  0: 关闭  
                  1: 使能
- Bit 6            T21REX: PWM 模式扩展精度位
- Bit 5            T21TR: PWM 使能位  
                  1: 使能 (波形产生)  
                  0: 停止 (波形复位)
- Bit 4            未使用
- Bit 3 ~0        T21M <3:0>: T21 工作模式选择位  
                  0000 = 定时器模式  
                  0001 = 异步计数器模式  
                  0010 = 同步计数器模式  
                  0011 = 保留  
                  0100 = 捕捉模式, 每 1 个脉冲下降沿捕捉  
                  0101 = 捕捉模式, 每 1 个脉冲上升沿捕捉  
                  0110 = 捕捉模式, 每 4 个脉冲上升沿捕捉  
                  0111 = 捕捉模式, 每 16 个脉冲上升沿捕捉  
                  1000 = 比较器模式, 匹配时输出 1  
                  1001 = 比较器模式, 匹配时输出 0  
                  1010 = 比较器模式, 匹配时无输出  
                  1011 = 比较器模式, 匹配时复位 T21  
                  1100 = 单边 PWM 模式  
                  1101 = 双边 PWM 模式  
                  111x = 保留

T2nCH: T2n 控制寄存器 (n<0:1>)								
Bit	7	6	5	4	3	2	1	0
Name	T2nGB	T2nGEN	—	—	—	T2nPRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7            T2nGB: T2n 门控信号极性位  
                  0: T2n 门控信号为低时, T2n 计数  
                  1: T2n 门控信号为高时, T2n 计数
- Bit 6            T2nGEN: T2n 门控使能位  
                  0: 禁止 T2n 门控  
                  1: 使能 T2n 门控
- Bit 5~3        未使用
- Bit 2~0        T2nPRS <2:0>: T2n 预分频器分频比选择位  
                  0xx: 1:1

100: 1:2  
 101: 1:4  
 110: 1:8  
 111: 1:16

TOC: TIMER 复用输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T211EN	T210EN	T201EN	T200EN	T121EN	T120EN	T111EN	T110EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7      T211EN: T211 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 6      T210EN: T210 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 5      T201EN: T201 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 4      T200EN: T200 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 3      T121EN: T121 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 2      T120EN: T120 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 1      T111EN: T111 复用功能使能位  
           0: 关闭  
           1: 使能
- Bit 0      T110EN: T110 复用功能使能位  
           0: 关闭  
           1: 使能

## 6.2 模/数转换器模块 (ADC)

### 6.2.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

芯片支持 12-bit 12 通道的 A/D 转换器, 经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◆ 模/数转换器特性

- 12 位 AD 采样精度
- 12 个模拟输入通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 可配置 AD 采样时间
- 多种转换时钟频率可选
- 可配置多种参考源

◆ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCH)
- 端口类型选择寄存器 (PAS, PDS, PES)

◆ 中断和暂停

- 支持 AD 转换中断 (ADIE/ADIF)
- 在 IDLE 模式下，当使用 Fosc 时钟时，AD 转换暂停；当使用 LRC 时钟时，AD 继续转换

### 6.2.2 ADC内部结构图

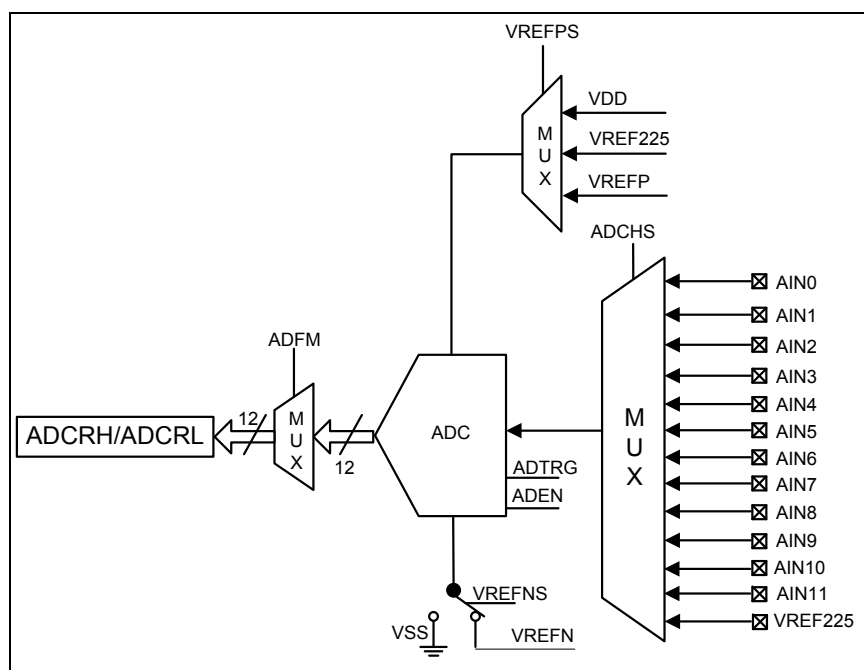


图 6-15 ADC 内部结构图

### 6.2.3 ADC配置

ADC 电路使用前，根据需要对以下几个方面进行正确的配置，才可得到正确转换结果。

#### 时钟选择

ADC 电路的转换时钟有四组可选， $F_{osc}/2$ 、 $F_{osc}/8$ 、 $F_{osc}/32$  或 LRC，可通过 ADCCL 寄存器选择所需要的时钟。

#### 参考电压选择

ADC 电路可选择采用外部参考电压输入，分别为参考电压正极性输入和参考电压负极性输入，对应外部参考电压输入脚分别为 VREFP 和 VREFN。由于该两个外部输入脚分别与 PD3/AIN7、PD2/AIN6 复用，在使用这两个外部参考电压输入时，需先通过 PDS 寄存器正确设置复用端口的类型。参考电压正极性可通过 VREFPS <1:0>位选择 VDD 或者是 VREFP 复用端口；参考电压负极性可通过寄存器 ADCCH 的 VREFNS 位选择 VSS 或者是 VREFN 复用端口。

#### 采样时间选择

ADC 电路的采样时间可通过 ADCCH 寄存器中的 ADST <1:0>位选择，采样时间有 2 个  $T_{adclk}$ 、4 个  $T_{adclk}$ 、8 个  $T_{adclk}$  以及 16 个  $T_{adclk}$  四种选项。

#### 复用端口类型选择

芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PA/PD/PE 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚通过 PAS/PDS/PES 寄存器设置为模拟类型。

#### 模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本芯片 ADC 电路支持 12 个外部通道，外部通道分别为 AIN0~AIN11。A/D 模拟通道可通过 ADCCL 寄存器中的 ADCHS <3:0>位选择。

#### 对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式，低位对齐和高位对齐，可通过 ADCCH 寄存器中的 ADFM 位进行选择。

### 6.2.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟，通过 ADCCL 寄存器中的 ADCS <1:0>选择 ADC 转换时钟。

Step 2: 选择 ADC 参考电压源，通过 ADCCH 寄存器中的 VREFPS 和 VREFNS 位进行选择。

Step 3: 选择 ADC 采样时间，通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <1:0>设定。

Step 4: 设置复用端口设为模拟类型，即选择哪些管脚作为 ADC 转换输入管脚，由端口类型选择寄存器 PAS、PDS、PES 控制选择。

Step 5: 选择模拟信号输入通道 AINx，通过 ADCCL 寄存器中的 ADCHS <3:0>选择 ADC 模拟通道。

Step 6: 设置转换结果对齐方式, 通过 ADCCH 寄存器中的 ADFM 位, 选择高位对齐放置还是低位对齐放置。

Step 7: 如果要使用中断, 则中断控制寄存器需要正确地设置, 以确保 A/D 中断功能被正确激活。在默认中断模式时, 需将全局中断使能位/高优先级中断使能位 GIE 置“1”, 将 ADC 中断使能位置“1”; 在向量中断模式时, 需将全局中断使能位/高优先级中断使能位 GIE 置“1”, 根据 A/D 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL, 将 ADC 中断使能位置“1”。

Step 8: 使能 ADC 电路, 将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 9: 将 ADCCL 寄存器中的 ADC 转换启动位 ADTRG 位设置为“1”, 开始 ADC 转换。

Step 10: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位, 确定此次 A/D 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

### 6.2.5 AD时序特征示意图

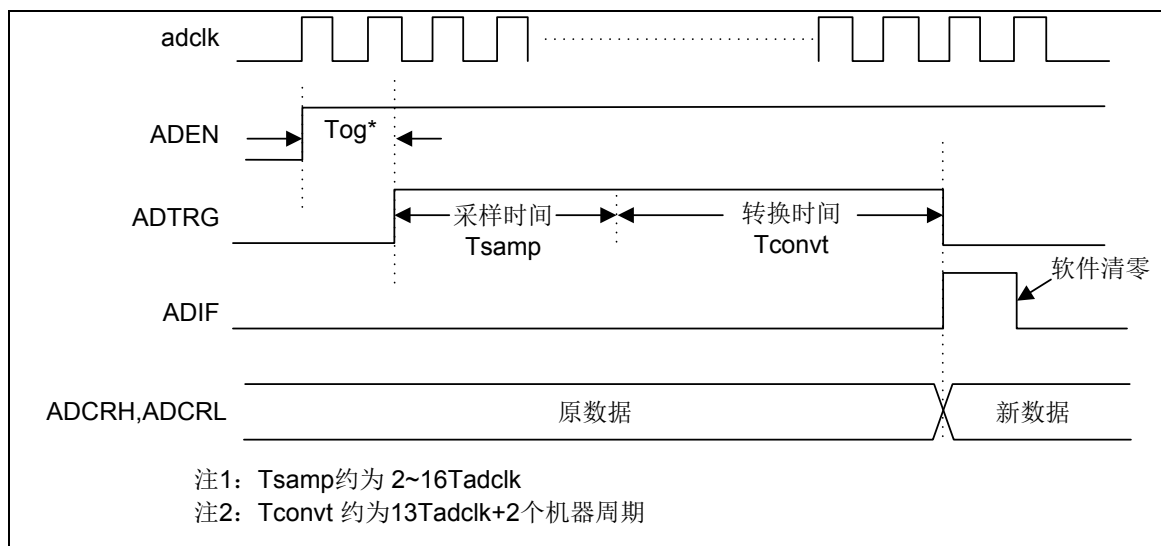


图 6-16 ADC 时序特征示意图

注:

- 1:  $Tog > 0$ ;
- 2: AD 转换时钟周期  $T_{adclk}$ , 可通过 ADCS<1:0> 寄存器配置不同的频率。
- 3: ADC 时钟周期  $T_{adclk} \geq 2\mu s$ , ADC 转换时间表参考附录所示。

### 6.2.6 特殊功能寄存器

ADC 功能是由三个控制寄存器和两个数据寄存器控制实现的。其中 ADCRL 和 ADCRH 寄存器用于存储 ADC 转换的数据结果，结果对齐方式由 ADCCH 寄存器中的 ADFM 位控制选择；ADCCL 寄存器用于 ADC 模块的使能控制、ADC 转换启动控制、ADC 时钟选择以及 ADC 模拟通道选择等；ADCCH 寄存器用于 ADC 采样时间选择、正负参考电压选择以及结果对齐方式选择等。

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
1	ADCR<11:4>								ADCR<3:0>			—	—	—	—	

ADCR<11:0>: A/D 转换结果

ADCCL: ADC 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADCHS<3:0>				ADCS<1:0>		ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4      ADCHS <3:0>: A/D 模拟通道选择位

- 0000: 通道 0 (AIN0)
- 0001: 通道 1 (AIN1)
- 0010: 通道 2 (AIN2)
- 0011: 通道 3 (AIN3)
- 0100: 通道 4 (AIN4)
- 0101: 通道 5 (AIN5)
- 0110: 通道 6 (AIN6)
- 0111: 通道 7 (AIN7)
- 1000: 通道 8 (AIN8)
- 1001: 通道 9 (AIN9)
- 1010: 通道 10 (AIN10)
- 1011: 通道 11 (AIN11)
- 1100~1111 保留

Bit 3~2      ADCS <1:0>: ADC 时钟选择位

- 00 = Fosc/2
- 01 = Fosc/8
- 10 = Fosc/32
- 11 = LRC

Bit 1      ADTRG: ADC 转换启动位

- 0: ADC 未进行转换，或 A/D 转换已完成
- 1: ADC 转换正在进行，该位置 1 启动 A/D 转换

Bit 0      ADEN: ADC 使能位

- 0: 关闭
- 1: 使能

ADCCH: ADC 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	VREFPS<1:0>		VREFNS	ADST<1:0>		—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	0	0	0

Bit 7           ADFM: 结果对齐方式选择位  
                   0: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)  
                   1: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)

Bit 6~5       VREFPS <1:0>: 正参考电压选择位  
                   00: VDD  
                   01: 保留未用  
                   1x: VREFP 复用端口

Bit 4           VREFNS: 负参考电压选择位  
                   0: VSS  
                   1: VREFN 复用端口

Bit 3~2       ADST <1:0>: A/D 采样时间选择位  
                   00: 大约 2 个 Tadclk  
                   01: 大约 4 个 Tadclk  
                   10: 大约 8 个 Tadclk  
                   11: 大约 16 个 Tadclk

Bit 1~0       未使用

### 6.2.7 ADC应用例程

**应用例程：对模拟输入通道 0(AIN0)进行模数转换**

```

.....
BCC    ADCCH, ADFM      ; 转换结果低位对齐放置
MOVI   0x01
MOVA   ADCCL            ; 使能 ADC 转换器，选中通道 0
BSS    ADCCL, ADTRG    ; 触发 ADC 转换
AD_WAIT:
JBC    ADCCL, ADTRG    ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0        ; 读取高 4 位转换结果
.....
MOV    ADCRL, 0        ; 读取低 8 位转换结果
.....

```

注：当选择 LRC 时钟源时，ADC 中断可以唤醒 IDLE 模式。但在启动 ADC（ADTRG）和执行 IDLE 指令之间必须保证 2 条指令的时间，可以使用 2 条 NOP 指令。



## 6.3 接收发送器 (UART1/UART2)

### 6.3.1 概述

本芯片支持两组全双工的通用异步接收发送器 UART1/UART2，它采用串行收发方式与外部设备进行数据传输，可以和其它具有异步接收发送器的外部设备进行通讯。

- ◆ 支持两种工作模式
  - 异步接收器
  - 异步发送器
- ◆ 传输波特率配置
  - 高速模式
  - 低速模式
  - 支持 8/9 位传输数据格式，约定数据从最低位开始接收/发送
- ◆ 支持全双工模式
- ◆ UART 支持以下功能组件
  - 接收数据寄存器 (RXnB)
  - 接收控制寄存器 (RXnC)
  - 发送数据寄存器 (TXnB)
  - 发送控制寄存器 (TXnC)
  - 发送移位寄存器 (TXnR) (无实际物理地址，不可读写)
  - 波特率寄存器 (BRnR)
- ◆ 中断和暂停
  - 支持接收中断标志 (RXnIF, 只可读)
  - 支持发送中断标志 (TXnIF, 只可读)
  - 支持中断处理
  - 在 IDLE 模式下，暂停接收和发送
- ◆ 兼容 RS-232/RS-442/RS-485 的通讯接口

### 6.3.2 内部结构图

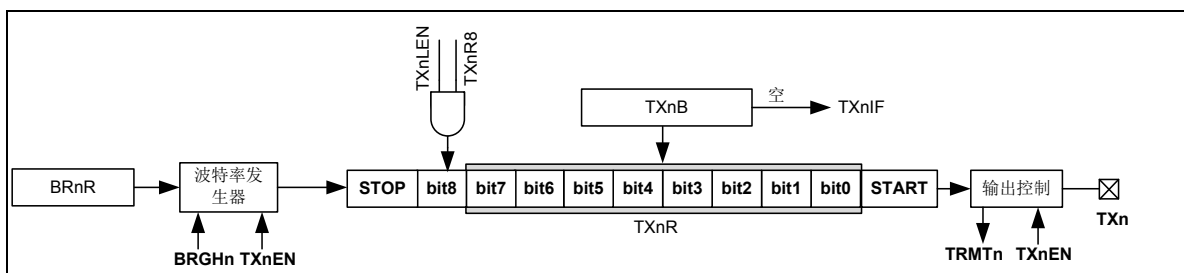


图 6-17 UART 发送端原理图

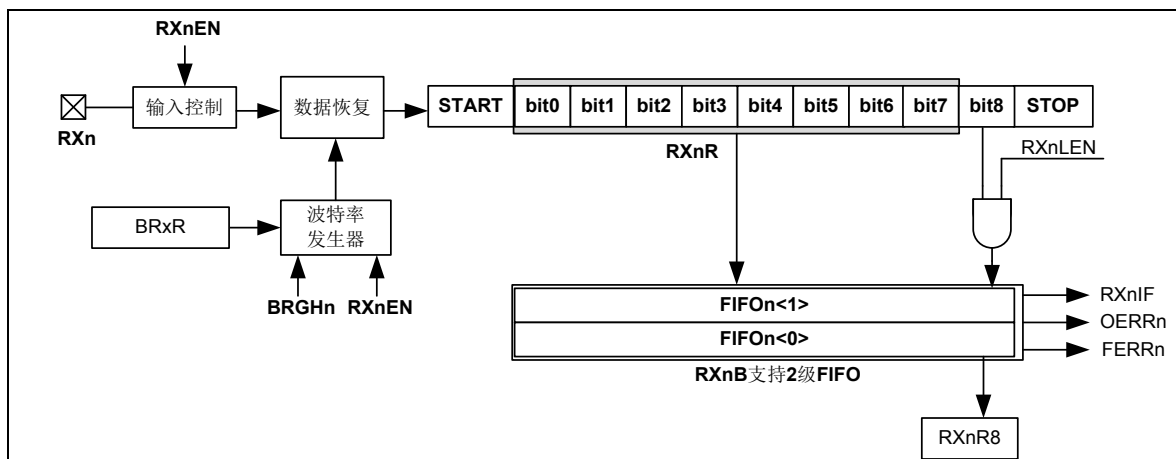


图 6-18 UART 接收端原理图

### 6.3.3 波特率配置

UART 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRnR 寄存器和 TXnC 寄存器的 BRGHn 来控制。BRGHn 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

波特率	计算公式	BRGHn
低速模式	$F_{osc}/(64x(BRnR<7:0>+1))$	0
高速模式	$F_{osc}/(16x(BRnR<7:0>+1))$	1

表 6-4 UART 波特率配置表

### 6.3.4 传输数据格式

UARTn 的传输数据格式有两种选择，8 位或 9 位。接收 9 位数据时，读取 RXnC 寄存器中的 RXnR8 位可以得到接收的第 9 位数据。发送 9 位数据时，可通过 TXnC 寄存器中的 TXnR8 位设置将要发送的第 9 位数据。

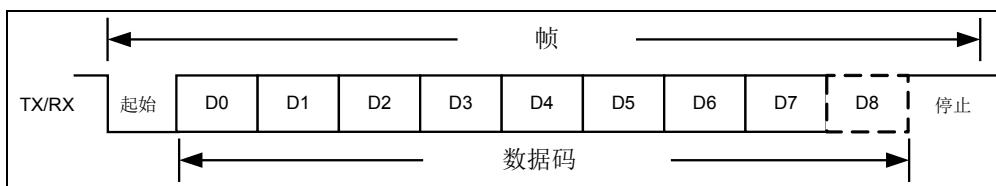


图 6-19 UART 数据格式示意图

### 6.3.5 异步发送器

异步发送器发送数据时，起始位 (START) 和结束位 (STOP) 由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXnB 和 TXnR8 内，就能实现异步发送，异步发送器还可以实现数据连续发送。注意，在发送数据时，用户使能异步发送器后，需先查询标志位 TRMTn，检查发送移位寄存器 (TXnR) 是否为空，只有在发送移位寄存器为空时，才能发送数据。由于 UART 发送器发送端口 TXn 与 I/O 端口复用，在使用 UART 发送端口前，需首先设置所复用的 I/O 端口处于输出状态。

操作流程图如下:

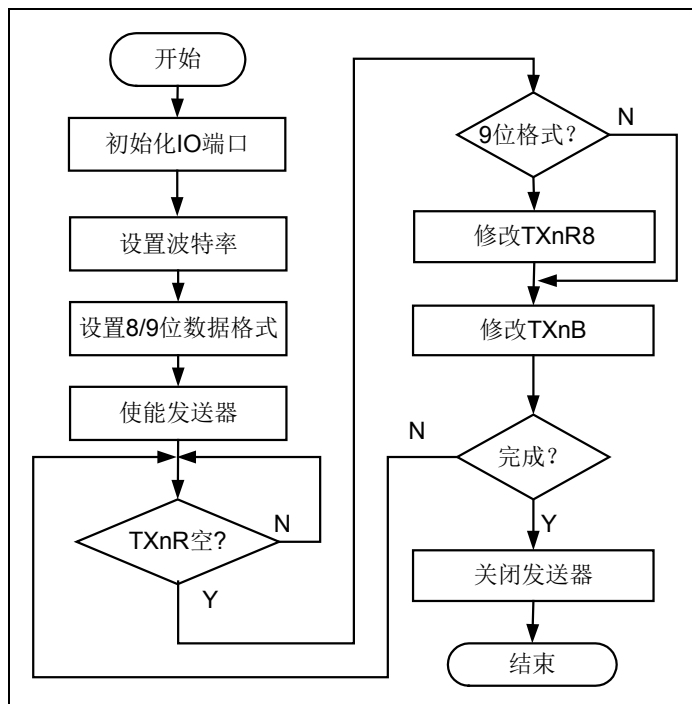


图 6-20 UART 发送器操作流程图

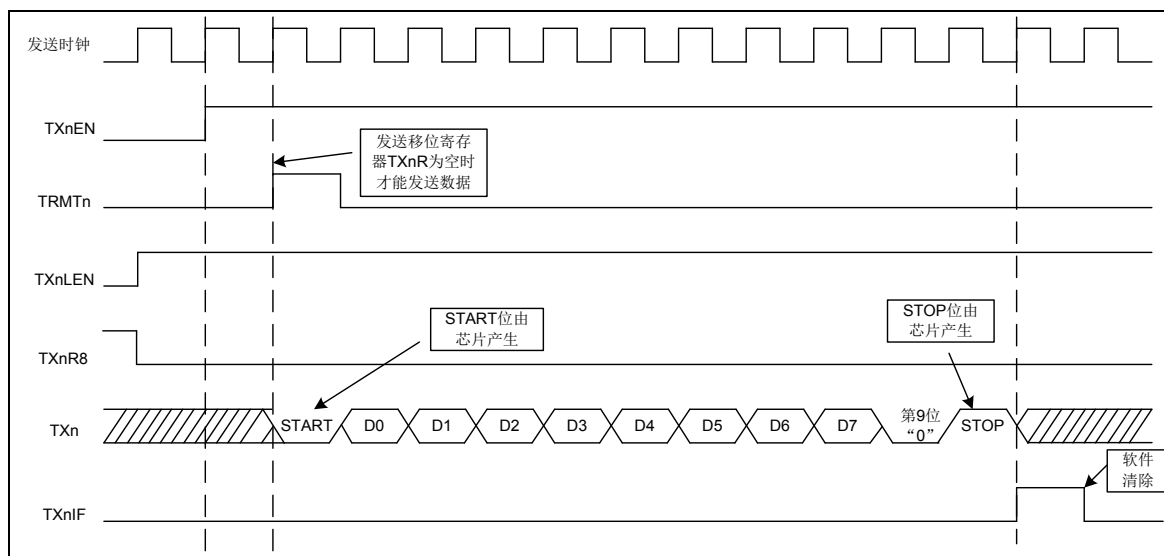


图 6-21 UART 发送器发送数据时序图 (9 位数据格式, 第 9 位数据为“0”)

### 6.3.6 异步接收器

异步接收器接收数据时, 用户可以查询  $RXnIF$  中断标志位, 来判断是否收到完整的一帧数据, 并通过读取  $RXnB$  和  $RXnR8$  获得数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区, 若用户在第 3 个数据接收完毕前, 未读取  $RXnB$ , 则溢出标志位  $OERRn$  将置 1。  $FERRn$  在用户未接收到结束位 STOP 时置 1。注意, 由于 UART 接收器接收端口  $RXn$  与 I/O 端口复用, 在使用 UART 接收端口前, 需首先设置所复用的 I/O 端口处于输入状态。

操作流程图如下:

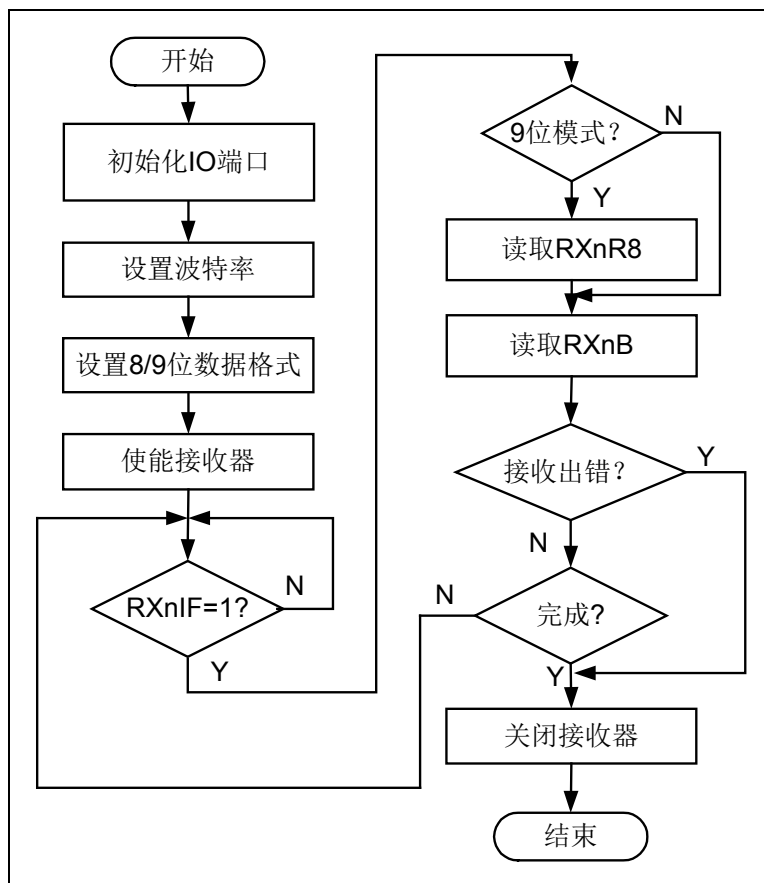


图 6-22 UARTx 接收器操作流程图

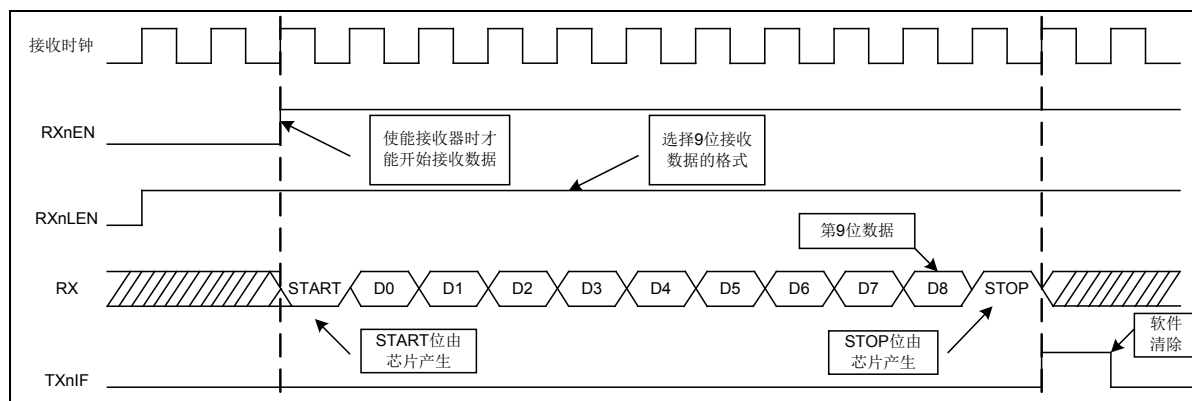


图 6-23 UART 接收器接收数据时序图 (9 位数据格式)

### 6.3.7 UART使用注意事项

在 UART 模块使能前，首先要设置复用的 I/O 端口为数字端口，并将 TXn 管脚需设置为输出口，RXn 管脚设置为输入口，才能保证在 UART 模块使能后，成功进行数据的发送或接收。另外，程序中不建议用户频繁切换 TXn 和 RXn 管脚的输入/输出类型。

### 6.3.8 特殊功能寄存器

UARTn 模块相关的有 5 个寄存器，包括一个接收数据寄存器 RXnB、一个接收控制/状态寄存器 RXnC、一个发送数据寄存器 TXnB、一个发送控制/状态寄存器 TXnC，以及一个波特率寄存器 BRnR。RXnB 和 TXnB 寄存器分别用于存放接收到的数据和待发送的数据，RXnC 寄存器用于接收器的使能控制、接收数据格式的选择、以及接收溢出标志、帧格式错标志和存放第 9 位接收数据等。TXnC 寄存器用于发送器的使能控制、发送数据格式的选择、波特率模式的选择、存放第 9 位发送数据以及发送移位寄存器 (TXnR) 空标志的显示等。BRnR 寄存器用于 UARTn 的波特率设置，设置范围为 00<sub>H</sub>~FF<sub>H</sub>。

RXnB: UARTn 接收数据寄存器 (RX1B/RX2B)								
Bit	7	6	5	4	3	2	1	0
Name	RXnB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 RXnB<7:0>: UARTn 接收到的数据

RXnC: UARTn 接收控制/状态寄存器 (RX1C/RX2C)								
Bit	7	6	5	4	3	2	1	0
Name	RXnEN	RXnLEN	—	—	—	OERRn	FERRn	RXnR8
R/W	R/W	R/W	—	—	—	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7 RXnEN: 接收器使能位

- 0: 禁止
- 1: 使能

Bit 6 RXnLEN: 接收器数据格式选择位

- 0: 8 位数据接收格式
- 1: 9 位数据接收格式

Bit 5~3 未使用

Bit 2 OERRn: 接收溢出标志位

- 0: 无溢出错误
- 1: 有溢出错误 (清 RXnEN 清零)

Bit 1 FERRn: 帧格式错标志位

- 0: 无帧格式错误
- 1: 帧格式错 (读 RXnB 清零)

Bit 0 RXnR8: 第 9 位接收数据位

- 0: 第 9 位数据为 0
- 1: 第 9 位数据为 1

TXnB: UARTn 发送数据寄存器 (TX1B/TX2B)								
Bit	7	6	5	4	3	2	1	0
Name	TXnB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TXnB<7:0>: UARTn 发送的数据

TXnC: UARTn 发送控制/状态寄存器 (TX1C/TX2C)								
Bit	7	6	5	4	3	2	1	0
Name	TXnEN	TXnLEN	BRGHn	—	—	—	TRMTn	TXnR8
R/W	R/W	R/W	R/W	—	—	—	R	R/W
POR	0	0	0	0	0	0	1	0

- Bit 7 TXnEN: 发送器使能位  
0: 禁止  
1: 使能
- Bit 6 TXnLEN: 发送器数据格式选择位  
0: 8 位数据格式  
1: 9 位数据格式
- Bit 5 BRGHn: 波特率模式选择位  
0: 低速模式  
1: 高速模式
- Bit 4~2 未使用
- Bit 1 TRMTn: 发送移位寄存器 (TXnR) 空标志位  
0: TXnR 不空  
1: TXnR 空
- Bit 0 TXnR8: 第 9 位发送数据设置位  
0: 第 9 位数据为 0  
1: 第 9 位数据为 1

BRnR: UARTn 波特率寄存器(BR1R/BR2R)								
Bit	7	6	5	4	3	2	1	0
Name	BRnR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRnR<7:0>: UARTn 波特率设置, 00<sub>H</sub>~FF<sub>H</sub>

## 6.4 低电压检测模块 (LVD)

### 6.4.1 概述

芯片支持低电压检测功能，即 LVD，用于监测电源电压 VDD。在供电电源不稳定的情况下，如外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈波动。在目标电压未稳定时，可能会低于芯片工作电压。若检测到电压低于所设定的阈值，可提供一个警告信号。低电压检测也可产生中断信号。

### 6.4.2 LVD操作

LVD 功能的使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零时，LVD 功能禁止。当 LVDEN 位置高时，LVD 功能使能。LVD 模块将电源电压 VDD 与预先设定的阈值电压进行比较，比较结果通过 LVDC 寄存器的 LVDO 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDVS 配置，当检测电源电压 VDD 时，预置电压阈值范围为 2.3V~3.6V。当目标电压低于预置电压阈值时，LVDO 位被置高，表明检测到低电压产生。当 LVDO 变化时，产生 LVD 中断标志，触发 LVD 中断标志的条件可选择为 LVDO 上升沿产生、LVDO 下降沿产生和 LVDO 上升沿或下降沿都产生。当 LVD 中断使能开启时产生 LVD 中断请求。在睡眠模式下 LVD 中断可唤醒芯片。

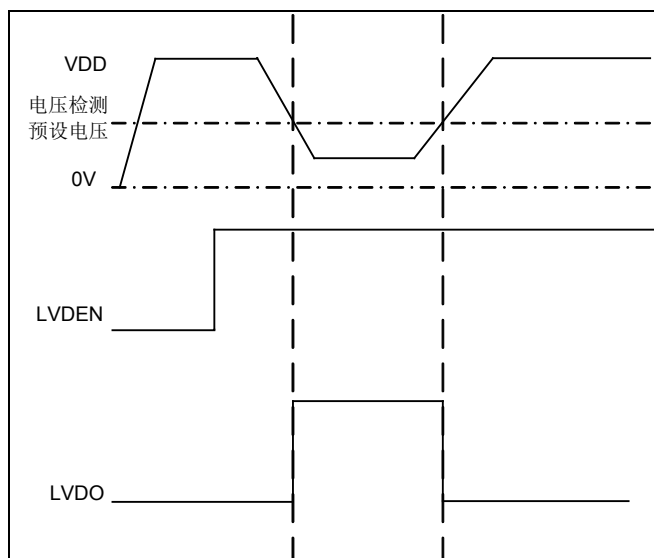


图 6-24 LVD 工作时序图

### 6.4.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDVS<1:0>		—	LVDFLTEN	LVDIFS<1:0>		LVDO	LVDEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
POR	0	0	0	0	0	0	x	0

Bit 7~6 LVDVS<1:0>: LVD 触发电压（电压为设计值）

00: 2.3V

01: 2.8V

10: 3.6V

11: 保留

Bit 5 未使用

Bit 4 LVDFLTEN: LVD 滤波器使能

0: 禁止

1: 使能

Bit 3~2 LVDIFS <1:0>: LVD 中断标志产生模式选择位

00: LVDO 上升沿产生中断

01: LVDO 下降沿产生中断

10: LVDO 上升或下降沿都产生中断

11: 保留

Bit 1 LVDO: LVD 输出状态位

0: 被监测电压高于电压阈值

1: 被监测电压低于电压阈值

Bit 0 LVDEN: LVD 使能位

0: 禁止

1: 使能



## 第 7 章 中断处理

### 7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 22 个中断源：1 个软件中断和 21 个硬件中断。

### 7.2 内部结构

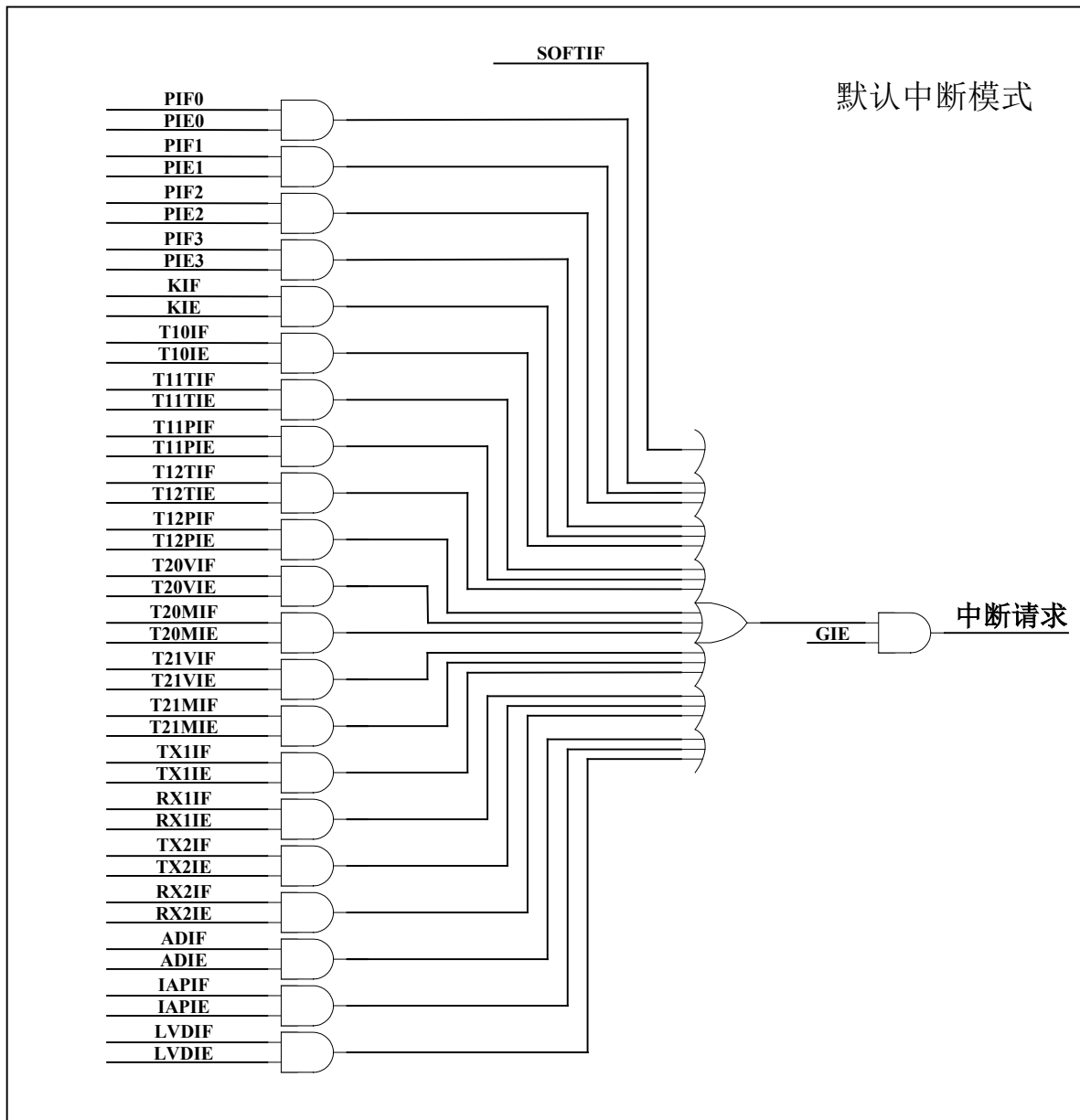


图 7-1 默认中断模式中中断控制逻辑

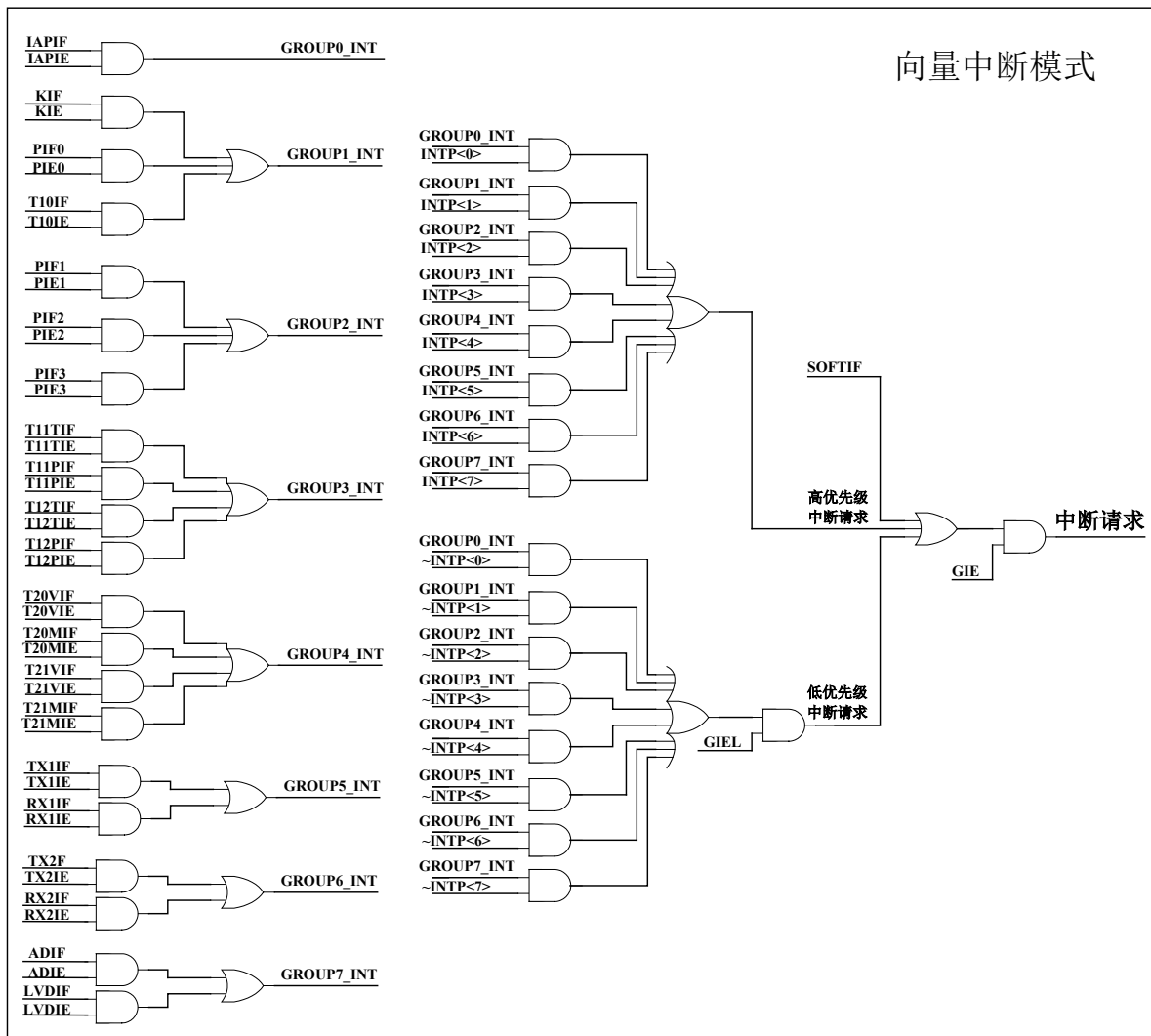


图 7-2 向量中断模式中中断控制逻辑

### 7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。需要注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (芯片配置字 bit 13)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004H 入口地址，不支持中断优先级和中断嵌套。向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

### 7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的中断服务子程序。该模式不支持中断优先级配置。

序号	中断源	中断名	中断标志	中断使能	全局使能	备注
1	软中断	软中断	SOFTIF	-	GIE	SOFTIF 软件置 1
2	外部中断	PINT0	PIF0	PIE0	GIE	-
3		PINT1	PIF1	PIE1	GIE	-
4		PINT2	PIF2	PIE2	GIE	-
5		PINT3	PIF3	PIE3	GIE	-
6	外部按键中断	KINT	KIF	KIE	GIE	-
7	T10 定时器/计数器溢出中断	T10INT	T10IF	T10IE	GIE	-
8	T11 定时器溢出中断	T11TINT	T11TIF	T11TIE	GIE	-
9	T11 周期溢出中断	T11PINT	T11PIF	T11PIE	GIE	-
10	T12 定时器溢出中断	T12TINT	T12TIF	T12TIE	GIE	-
11	T12 周期溢出中断	T12PINT	T12PIF	T12PIE	GIE	-
12	T20 定时器/计数器溢出中断	T20VINT	T20VIF	T20VIE	GIE	-
13	T20 多功能中断	T20MINT	T20MIF	T20MIE	GIE	-
14	T21 定时器/计数器溢出中断	T21VINT	T21VIF	T21VIE	GIE	-
15	T21 多功能中断	T21MINT	T21MIF	T21MIE	GIE	-
16	UART1 TX1 中断	TX1INT	TX1IF	TX1IE	GIE	-
17	UART1 RX1 中断	RX1INT	RX1IF	RX1IE	GIE	-
18	UART2 TX2 中断	TX2INT	TX2IF	TX2IE	GIE	-
19	UART2 RX2 中断	RX2INT	RX2IF	RX2IE	GIE	-
20	ADC 中断	ADINT	ADIF	ADIE	GIE	-
21	IAP 中断	IAPINT	IAPIF	IAPIE	GIE	-
22	LVD 中断	LVDINT	LVDIF	LVDIE	GIE	-

表 7-2 默认中断模式使能配置表

### 7.3.2 向量中断模式

#### 7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004H，优先级最高；其他硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先

级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

优先级	0 (高)	1	2	3	4	5	6	7	8 (低)	
入口地址	0004 <sub>H</sub>	0008 <sub>H</sub>	000C <sub>H</sub>	0010 <sub>H</sub>	0014 <sub>H</sub>	0018 <sub>H</sub>	001C <sub>H</sub>	0020 <sub>H</sub>	0024 <sub>H</sub>	
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-3 向量表配置表

### 7.3.2.2 向量中断模式中中断分组配置

中断组号	优先级设置	中断名
IG0	IGP0	IAPINT
IG1	IGP1	KINT
		PINT0
		T10INT
IG2	IGP2	PINT1
		PINT2
		PINT3
IG3	IGP3	T11TINT
		T11PINT
		T12TINT
		T12PINT
IG4	IGP4	T20VINT
		T20MINT
		T21VINT
		T21MINT
IG5	IGP5	TX1INT
		RX1INT
IG6	IGP6	TX2INT
		RX2INT
IG7	IGP7	ADINT
		LVDINT

表 7-4 向量中断模式中中断分组配置表

7.3.2.3 中断使能配置

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注	
1	软中断	软中断	SOFTIF	-	-	-	GIE	SOFTIF 软件置 1	
2	外部中断	PINT0	PIF0	PIE0	0	GIEL	GIE	-	
					1	-	GIE	-	
3		PINT1	PIF1	PIE1	0	GIEL	GIE	-	
					1	-	GIE	-	
4		PINT2	PIF2	PIE2	0	GIEL	GIE	-	
					1	-	GIE	-	
5		PINT3	PIF3	PIE3	0	GIEL	GIE	-	
					1	-	GIE	-	
6		外部按键中断	KINT	KIF	KIE	0	GIEL	GIE	-
						1	-	GIE	-
7	T10 定时器/计数器溢出中断	T10INT	T10IF	T10IE	0	GIEL	GIE	-	
					1	-	GIE	-	
8	T11 定时器溢出中断	T11TINT	T11TIF	T11TIE	0	GIEL	GIE	-	
					1	-	GIE	-	
9	T11 周期溢出中断	T11PINT	T11PIF	T11PIE	0	GIEL	GIE	-	
					1	-	GIE	-	
10	T12 定时器溢出中断	T12TINT	T12TIF	T12TIE	0	GIEL	GIE	-	
					1	-	GIE	-	
11	T12 周期溢出中断	T12PINT	T12PIF	T12PIE	0	GIEL	GIE	-	
					1	-	GIE	-	
12	T20 定时器/计数器溢出中断	T20VINT	T20VIF	T20VIE	0	GIEL	GIE	-	
					1	-	GIE	-	
13	T20 多功能中断	T20MINT	T20MIF	T20MIE	0	GIEL	GIE	-	
					1	-	GIE	-	
14	T21 定时器/计数器溢出中断	T21VINT	T21VIF	T21VIE	0	GIEL	GIE	-	
					1	-	GIE	-	
15	T21 多功能中断	T21MINT	T21MIF	T21MIE	0	GIEL	GIE	-	
					1	-	GIE	-	
16	UART1 TX1 中断	TX1INT	TX1IF	TX1IE	0	GIEL	GIE	-	
					1	-	GIE	-	
17	UART1 RX1 中断	RX1INT	RX1IF	RX1IE	0	GIEL	GIE	-	
					1	-	GIE	-	
18	UART2 TX2 中断	TX2INT	TX2IF	TX2IE	0	GIEL	GIE	-	
					1	-	GIE	-	
19	UART2 RX2 中断	RX2INT	RX2IF	RX2IE	0	GIEL	GIE	-	
					1	-	GIE	-	
20	ADC 中断	ADINT	ADIF	ADIE	0	GIEL	GIE	-	

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
					1	-	GIE	-
21	IAP 中断	IAPINT	IAPIF	IAPIE	0	GIEL	GIE	-
					1	-	GIE	-
22	LVD 中断	LVDINT	LVDIF	LVDIE	0	GIEL	GIE	-
					1	-	GIE	-

表 7-5 向量中断模式使能配置表

## 7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKRS1 和 AS0、PSWS0、PCRHS0、BKRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

## 7.5 中断操作

### 7.5.1 中断使能位GIE和GIEL的操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

1. 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
2. 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，若对应中断所在组为高优先级，程序将跳至中断服务程序地址执行；若对应中断所在组为低优先级，当低优先级中断使能位 GIEL 为“1”时，在无高优先级中断请求时，程序将跳至中断服务地址执行，当低优先级中断使能位 GIEL 为“0”时，将屏蔽所有低优先级中断请求。

为确保对寄存器 GIE 和 GIEL 的软件写操作成功，需按如下步骤进行：

1. 在默认中断模式或向量中断模式下，对 GIE 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIE 位清 0；或在 GIE 位清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；  
对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。
2. 在向量中断模式下，对 GIEL 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIEL 位清 0；或在 GIEL 位清 0 操作后，查询 GIEL 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；

对 GIEL 位的软件置 1 操作, 需与 GIE 位同时置 1, 或先将 GIEL 位置 1, 再将 GIE 位置 1。

### 7.5.2 外部中断

当 PINTn 复用端口被配置为数字输入端口, 且输入信号变化满足触发条件时, 将产生 PINTn 外部端口中断, 相应的中断标志 PIFn 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEn 都被置为“1”时, 则向 CPU 发出 PINTn 外部端口中断请求。当中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。

需要注意的是, 相应中断标志位 PIFn 和中断使能位 PIEn 都需通过软件清除, PINTC 寄存器用于配置触发条件, 可分别配置为上升沿触发、下降沿触发或双沿触发。

### 7.5.3 外部按键中断

当 KINn 复用端口被配置为数字输入端口, 未被屏蔽的按键中任何一个端口输入信号发生电平变化时, 将中断标志位 KIF 置为“1”, 当外部按键中断控制位 KIE 为“1”, 且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时, 则向 CPU 发出外部按键中断请求。CPU 根据中断的优先级响应当前中断的请求, 当外部按键中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。

使用外部按键中断时, 须配置相应的控制寄存器, 并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能 (KMSKn=1, KIE=1) 前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。

清除该中断标志位 KIF 的操作步骤如下:

- 1) 对端口寄存器进行读或者写操作, 清除端口电平与锁存器值的不匹配条件;
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

### 7.5.4 ADC中断

ADC 中断由 ADC 转换动作控制, 当 ADC 转换完成时, 将产生 ADC 中断, ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”, 且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时, 则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求, 当 ADC 中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

### 7.5.5 T10 溢出中断

8 位定时器/计数器 T10 处于定时器模式或计数器模式, 当 T10 计数器递增计数由 FF<sub>H</sub> 变为 00<sub>H</sub> 时, T10 计数器发生溢出, 将中断标志 T10IF 位置“1”。当 T10 溢出中断使能位 T10IE 置为“1”, 且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时, 则向 CPU 发出 T10 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求, 当 T10 溢出中断条件允许时, 系统将进入相应中断的服务程序入口地址, 进行中断程序处理。需要注意的是, T10 溢出中断标志位 T10IF 和中断使能位 T10IE 都需通过软件清除。



### 7.5.6 T1n(T11/T12)定时中断

8 位定时器 T1n 处于定时器模式，对计数时钟进行递增计数，当 T1n 后分频器的计数值与后分频器分频比相同时，将中断标志 T1nTIF 位置“1”。当 T1n 定时中断使能位 T1nTIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1n 定时中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1n 定时中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1n 定时中断标志位 T1nTIF 和中断使能位 T1nTIE 都需通过软件清除。

### 7.5.7 T1n(T11/T12)周期中断

8 位定时器 T1n 处于单边 PWM 模式或者单脉冲发射 SPT 模式，T1n 从零开始递增计数，当 T1n 与 T1nP 寄存器的值相等时，将产生 T1n 周期中断，中断标志 T1nPIF 被置“1”。如果中断使能位 T1nPIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T1n 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T1n 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T1n 周期中断标志位 T1nPIF 和中断使能位 T1nPIE 都需通过软件清除。

### 7.5.8 T2n溢出中断

16 位定时器/计数器 T2n 处于定时器模式或计数器模式，当 T2n 计数器递增计数由 FFFF<sub>H</sub> 变为 0000<sub>H</sub> 时，T2n 计数器发生溢出，将产生 T2n 中断，中断标志 T2nVIF 位置“1”。如果中断使能位 T2nVIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T2n 溢出中断响应请求。CPU 根据中断的优先级响应当前中断的请求，当 T2n 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T2n 中断标志位 T2nVIF 和中断使能位 T2nVIE 都需通过软件清除。

### 7.5.9 T2n多功能中断

16 位定时器 T2n 有 4 种工作模式可产生多功能中断：

1. 捕捉器模式：16 位计数器（T2nH,T2nL）进行递增计数，当 T2nCI 输入信号的变化状态满足捕捉条件时，计数器（T2nH,T2nL）的值将被分别捕捉到捕捉寄存器（T2nRH,T2nRL）中，并产生多功能中断；
2. 比较器模式：16 位计数器（T2nH,T2nL）进行递增计数。当计数器（T2nH,T2nL）的计数值与比较寄存器（T2nRH,T2nRL）中的比较值相等时，执行相应的比较匹配事件，并产生多功能中断；
3. 单边 PWM 模式或双边 PWM 模式：16 位计数器（T2nH,T2nL）从零开始递增计数，计数器（T2nH,T2nL）与 T2n 周期寄存器（T2nPL, T2nPH）的值相等时，将产生 T2n 多功能中断；

多功能中断产生时，中断标志 T2nMIF 被置“1”。如果中断使能位 T2nMIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T2n 多功能中断响应请求。CPU 根据中断的优先级响应当前中断的请求，当 T2n 多功能中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注



意的是，T2n 多功能中断标志位 T2nMIF 和中断使能位 T2nMIE 都需通过软件清除。

### 7.5.10 UART中断

UART 中断包括两种：发送中断和接收中断。

当 UART 异步发送器的发送数据寄存器 TXnB 为空，或异步接收器完成一个数据接收时，产生 UART 发送/接收中断，发送/接收中断标志位 RXnIF/TXnIF 被置为“1”。如果发送/接收中断使能位 RXnIE/TXnIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 UART 发送/接收中断请求。CPU 根据中断的优先级响应当前中断的请求，当 UART 发送/接收中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，发送/接收中断标志位 RXnIF/TXnIF 和中断使能位 RXnIE/TXnIE 都需通过软件清除。

### 7.5.11 LVD中断

当 VDD 电压小于 LVDC 寄存器设置的阈值电压时，低电压产生，LVDO 上升沿或下降沿触发后，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 LVD 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 LVD 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

### 7.5.12 IAP中断

当 EEPROM 进行 IAP 写入操作完成时，产生 IAP 中断，IAP 中断标志 IAPIF 被置“1”。如果中断使能位 IAPIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 IAP 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 IAP 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，IAP 中断标志位 IAPIF 和中断使能位 IAPIE 都需通过软件清除。

当 FLASH 存储器进行 IAP 操作时，不会产生 IAP 中断。

### 7.5.13 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

## 7.6 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7           GIE: 全局中断使能位, 或高优先级中断使能位  
                   0: 禁止所有的中断  
                   1: 使能所有未屏蔽的中断, 或使能高优先级中断
- Bit 6           GIEL: 低优先级中断使能位 (仅向量中断模式有效)  
                   0: 禁止低优先级中断  
                   1: 使能低优先级中断
- Bit 5~4        未使用
- Bit 3           SOFTIF: 软中断标志位  
                   0: 无软中断  
                   1: 有软中断
- Bit 2           INTVEN0: 中断向量表  
                   0: 默认中断模式  
                   1: 向量中断模式 (芯片配置字 INTVEN1 必须为 1)
- Bit 1~0        INTV <1:0>: 中断向量表选择位, 参考表 7-3 向量表配置表

注: 软件清零 GIE 或 GIEL 位时, 需判断 GIE 或 GIEL 是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功。软件置位 GIE 和 GIEL 时, 需先置位 GIEL, 再置位 GIE, 或同时置位 GIE 和 GIEL。

INTP: 中断优先级寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0        IGP<7:0>: IG7-IG0 中断优先级设置  
                   0: 低优先级  
                   1: 高优先级

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	T12PIE	T12TIE	T11PIE	T11TIE	T10IE	IAPIE	ADIE	KIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7           T12PIE: T12 周期中断使能位  
                   0: 禁止  
                   1: 使能

- Bit 6      T12TIE: T12 定时中断使能位  
          0: 禁止  
          1: 使能
- Bit 5      T11PIE: T11 周期中断使能位  
          0: 禁止  
          1: 使能
- Bit 4      T11TIE: T11 定时中断使能位  
          0: 禁止  
          1: 使能
- Bit 3      T10IE: T10 溢出中断使能位  
          0: 禁止  
          1: 使能
- Bit 2      IAPIE: IAP 中断使能位  
          0: 禁止  
          1: 使能
- Bit 1      ADIE: ADC 中断使能位  
          0: 禁止  
          1: 使能
- Bit 0      KIE: 外部按键中断使能位  
          0: 禁止  
          1: 使能

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	T12PIF	T12TIF	T11PIF	T11TIF	T10IF	IAPIF	ADIF	KIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7      T12PIF: T12 周期中断标志位  
          0: T12 未产生中断  
          1: T12 产生中断 (必须软件清零)
- Bit 6      T12TIF: 定时中断标志位  
          0: T12 未产生中断  
          1: T12 产生中断 (必须软件清零)
- Bit 5      T11PIF: T11 周期中断标志位  
          0: T11 未产生中断  
          1: T11 产生中断 (必须软件清零)
- Bit 4      T11TIF: T11 定时中断标志位  
          0: T11 未产生中断  
          1: T11 产生中断 (必须软件清零)
- Bit 3      T10IF: T10 溢出中断标志位  
          0: T10 计数未溢出  
          1: T10 计数溢出 (必须软件清零)
- Bit 2      IAPIF: IAP 中断标志位  
          0: EEPROM 写入未启动或未完成

- 1: EEPROM 写入完成
- Bit 1 ADIF: ADC 中断标志位
  - 0: 正在进行 A/D 转换
  - 1: A/D 转换已完成 (必须软件清零)
- Bit 0 KIF: 外部按键中断标志位
  - 0: 外部按键端口无电平变化
  - 1: 外部按键端口有电平变化 (必须软件清零)

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	T21MIE	T21VIE	T20MIE	T20VIE	PIE<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21MIE: T21 多功能中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 6 T21VIE: T21 溢出中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 5 T20MIE: T20 多功能中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 4 T20VIE: T20 溢出中断使能位
  - 0: 禁止
  - 1: 使能
- Bit 3~0 PIE<3:0>: PINT3~0 外部端口中断使能位
  - 0: 禁止
  - 1: 使能

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	T21MIF	T21VIF	T20MIF	T20VIF	PIF<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21MIF: T21 多功能中断标志位
  - 0: T21 未产生中断
  - 1: T21 产生中断 (必须软件清零)
- Bit 6 T21VIF: T21 溢出中断标志位
  - 0: T21 未产生中断
  - 1: T21 产生中断 (必须软件清零)
- Bit 5 T20MIF: T20 多功能中断标志位
  - 0: T20 未产生中断
  - 1: T20 产生中断 (必须软件清零)
- Bit 4 T20VIF: T20 溢出中断标志位

- 0: T20 未产生中断
  - 1: T20 产生中断（必须软件清零）
- Bit 3~0 PIF<3:0>: PINT3~0 外部端口中断标志位
- 0: 外部端口上无中断信号
  - 1: 外部端口上有中断信号（必须用软件清零）

INTE2: 中断使能寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	LVDIE	—	—	—	RX2IE	TX2IE	RX1IE	TX1IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 LVDIE: LVD 中断使能位
- 0: 禁止
  - 1: 使能
- Bit 6~4 未使用
- Bit 3 RX2IE: UART2 接收中断使能位
- 0: 禁止
  - 1: 使能
- Bit 2 TX2IE: UART2 发送中断使能位
- 0: 禁止
  - 1: 使能
- Bit 1 RX1IE: UART1 接收中断使能位
- 0: 禁止
  - 1: 使能
- Bit 0 TX1IE: UART1 发送中断使能位
- 0: 禁止
  - 1: 使能

INTF2: 中断标志寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	LVDIF	—	—	—	RX2IF	TX2IF	RX1IF	TX1IF
R/W	R/W	R/W	R/W	R/W	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 LVDIF: LVD 中断标志位
- 0: 未产生 LVD 中断
  - 1: 已产生 LVD 中断（必须软件清零）
- Bit 6~4 未使用
- Bit 3 RX2IF: UART2 接收中断标志位
- 0: 接收缓冲区空（接收未完成）
  - 1: 接收缓冲区满（接收完成），读 RX2B 清零
- Bit 2 TX2IF: UART2 发送中断标志位
- 0: 发送缓冲区满（发送未完成）
  - 1: 发送缓冲区空（发送完成），写 TX2B 清零
- Bit 1 RX1IF: UART1 接收中断标志位

Bit 0

- 0: 接收缓冲区空 (接收未完成)
- 1: 接收缓冲区满 (接收完成), 读 RX1B 清零

TX1IF: UART1 发送中断标志位

- 0: 发送缓冲区满 (发送未完成)
- 1: 发送缓冲区空 (发送完成), 写 TX1B 清零

## 第 8 章 芯片配置字

芯片的各种功能配置由芯片配置字和各功能相关寄存器共同设置完成。芯片配置字包括 HOSC 振荡器工作模式的选择、WDT 使能控制、BOR 电压选择、IAP 操作使能控制等等。

寄存器名称	芯片配置字 (CFG)	
地址	8001H	
<b>HOSCM</b>	bit1-0	<b>HOSC 振荡器工作模式选择位</b> 00: HOSC 振荡器处于 HS 模式, 晶体振荡器连接到 HOSC0 和 HOSC1 01: HOSC 振荡器处于 XT 模式, 晶体振荡器连接到 HOSC0 和 HOSC1 10: HOSC 振荡器处于 EC 模式, HOSC0 输入系统时钟, HOSC1 用作普通 I/O 端口 11: 关闭 HOSC 振荡器, HOSC0 和 HOSC1 用作普通 I/O 端口
—	bit2	—
<b>WDTEN</b>	bit3	硬件看门狗使能位 0: 不使能硬件看门狗 1: 使能硬件看门狗
<b>PWRTEB</b>	bit4	上电定时器使能位 0: 使能上电定时器 1: 不使能上电定时器
<b>ICDEB</b>	bit5	调试模式使能位 0: 使能 1: 禁止
<b>ICDSEL</b>	bit6	调试端口选择位 0: 选择第 0 组端口 (PA4/PA5) 1: 选择第 1 组端口 (PC4/PC5)
—	bit7	—
<b>BORVS</b>	bit9-8	BOR 电压选择位 00: 4.2V 01: 3.8V 10: 2.4V 11: 2.1V
<b>IAPEB</b>	bit10	IAP 操作使能位 0: 使能 1: 禁止
—	bit11	—
<b>HALTM</b>	bit12	HALT 配置位 0: PC 暂停, 系统时钟运行 1: PC 暂停, 系统时钟暂停
<b>INTVEN1</b>	bit13	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 也必须为 1)
—	bit15-14	—

注 1: 芯片配置字通过编程界面配置;

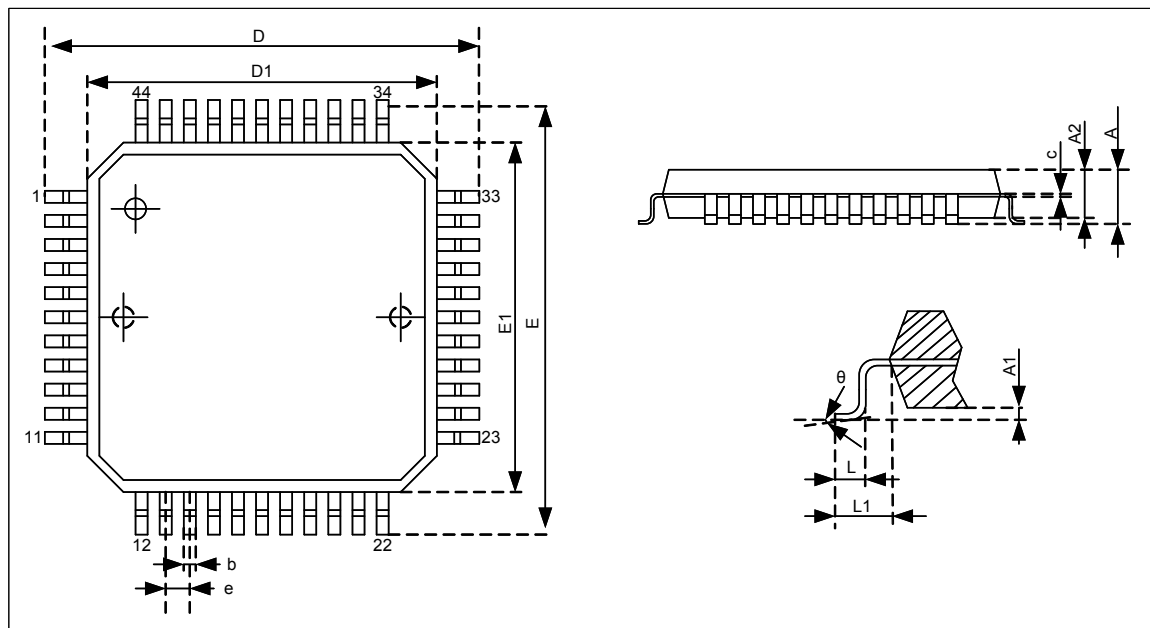
注 2: BOR 电压选择档位, 在常温, VDD=5V 条件下, 校准精度在 $\pm 0.2V$  范围内;

注 3: 对 BOR 最低档位 2.1V, 在芯片掉电时, 档位精度在 $\pm 0.2V$  范围内; 在芯片上电时, 档位精度在 $\pm 0.4V$  范围内。



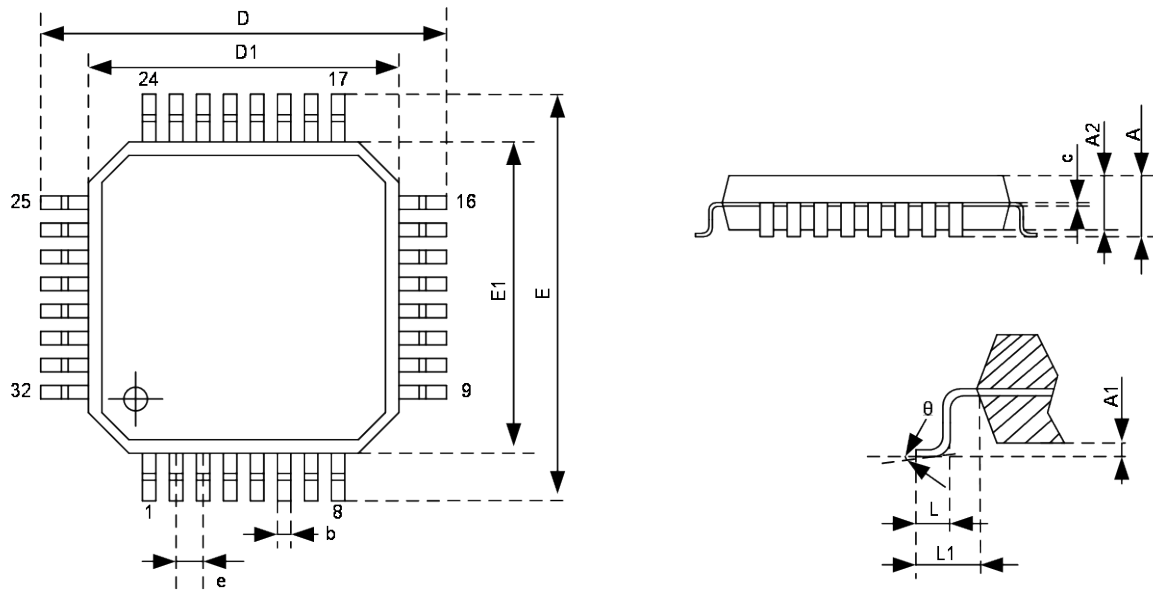
## 第 9 章 芯片封装图

### 9.1 LQFP44 封装尺寸图



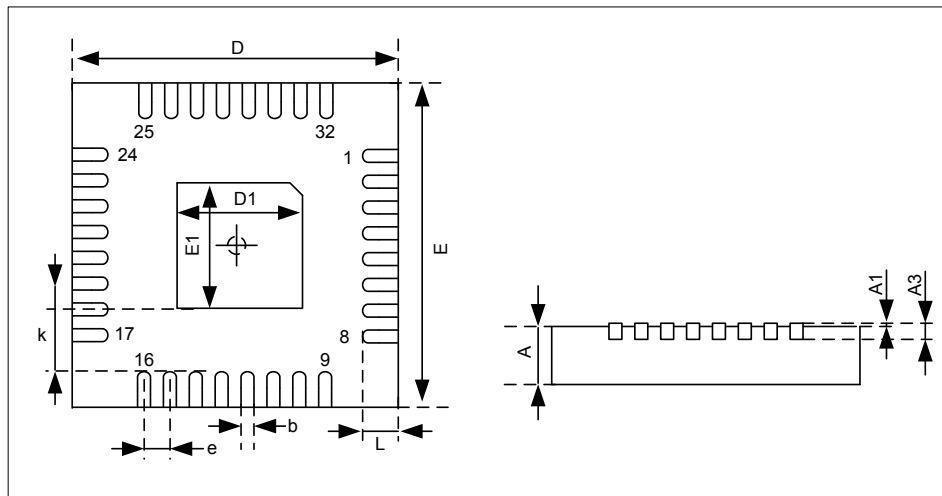
标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.20
A2	1.35	1.40	1.45
c	0.13	—	0.18
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
b	0.28	—	0.44
e	0.80BSC		
L	0.45	—	0.75
L1	1.00REF		
$\theta$	0°	—	7°

## 9.2 LQFP32 封装尺寸图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.4	1.45
c	0.13	—	0.18
D	8.80	9	9.20
D1	6.90	7	7.10
E	8.80	9	9.20
E1	6.90	7	7.10
b	0.32	—	0.43
e	0.80 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	—	7°

### 9.3 QFN32 封装尺寸图



标号	公制 (mm)			英制 (inch)		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.700	0.800	0.900	0.028	0.031	0.035
A1	0.000	—	0.050	0.000	—	0.002
A3	0.203REF.			0.008REF.		
D	4.924	—	5.076	0.194	—	0.200
E	4.924	—	5.076	0.194	—	0.200
D1	3.300	—	3.500	0.130	—	0.138
E1	3.300	—	3.500	0.130	—	0.138
k	0.200MIN.			0.008MIN.		
b	0.180	—	0.300	0.007	—	0.012
e	0.500TYP.			0.020TYP.		
L	0.324	—	0.476	0.013	—	0.019

## 附录1 指令集

### 附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与链接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（Opcode）与操作数（Operand）两个部分，操作码部分对应到指令本身。

芯片运行在 4MHz 主系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

### 附录1.2 寄存器操作指令

序号	指令		影响 状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<4:0>->PCRH<7:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R<10:0>) (R 为 GPR)
8	MOVRA	R<10:0>	—	1	(R<10:0>)->(A) (R 为 GPR)

附录表 9-1 寄存器操作指令表

### 附录1.3 程序控制指令

序号	指令		影响 状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
12	CALL	I<10:0>	—	2	PC+1->TOS, I<10:0>->PC<10:0>, PCRH<5:3>->PC<13:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS, I<13:0>->PC<13:0> I<13:8>->PCRH<5:0>
14	RCALL	R<7:0>	—	2	PC+1->TOS, (R)->PC<7:0>, PCRH<5:0>->PC<13:8>,

序号	指令		影响状态位	机器周期	操作
15	JBC	R<7:0>, B<2:0>	—	2 或 1	当 R<B> = 0 时跳过下一条指令
16	JBS	R<7:0>, B<2:0>	—	2 或 1	当 R<B> = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2 或 1	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	—	2 或 1	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	—	2 或 1	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	—	2 或 1	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	—	2 或 1	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	—	2 或 1	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>, F	—	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	—	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A, PSWS->PSW, BKSr->BKSRS, PCRHS->PCRH
30	PUSH	—	—	1	A->AS, PSW->PSWS, BKSr->BKSRS, PCRH->PCRHS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A), TOS->PC
33	RETIE	—	—	2	TOS->PC, 1->GIE
34	RST	—	全部状态位均被影响	1	软件复位指令
35	CWDT	—	N_TO, N_PD	1	00 <sub>H</sub> ->WDT, 0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO, N_PD	1	00 <sub>H</sub> ->WDT, 0->WDTPrescaler, 1-> N_TO, 0-> N_PD

附录表 9-2 程序控制指令表

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R<B>
44	BSS	R<7:0>,B<2:0>	—	1	1->R<B>
45	BTT	R<7:0>,B<2:0>	—	1	(~R<B>)->R<B>
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF <sub>H</sub> ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R不带C向右循环移位)
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)

序号	指令		影响状态位	机器周期	操作
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	—	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	—	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	—	—	2	ROMD->prog buffer
74	TBW#1	—	—	2	ROMD>prog buffer, FRA+1->FRA
75	TBW_1	—	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

附录表 9-3 算术/逻辑运算指令表

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中，N 的位数，视实际芯片而定。对本芯片，通用数据存储器 GPR 分为 12 个存储体组，所以 N 的位数是 4 位。
- 7: PAGE 指令中，N 的位数，视实际芯片而定。对本芯片，没有 PCRU 寄存器，N 的位数是 3 位。
- 8: PC 的位数以及 PCRU 寄存器，视实际芯片而定。对本芯片，PC 的位数是 14 位，没有 PCRU 寄存器。

## 附录2 特殊功能寄存器总表

地址	名称	功能说明	位								复位值
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
FF80 <sub>H</sub>	IAD	间接寻址数据寄存器	IAD<7:0>								0000 0000
FF81 <sub>H</sub>	IAAL	间接寻址索引寄存器低 8 位	IAA<7:0>								0000 0000
FF82 <sub>H</sub>	IAAH	间接寻址索引寄存器高 8 位	IAA<15:8>								0000 0000
FF83 <sub>H</sub>	BKSR	存储体选择寄存器	—	—	—	—	BKSR<3:0>				0000 0000
FF84 <sub>H</sub>	PSW	程序状态字寄存器	—	UF	OF	N	OV	Z	DC	C	000x xxxx
FF85 <sub>H</sub>	AREG	A 寄存器	AREG<7:0>								xxxx xxxx
FF86 <sub>H</sub>	PCRL	程序计数器寄存器低 8 位	PCR<7:0>								0000 0000
FF87 <sub>H</sub>	PCRH	程序计数器寄存器高 6 位	—	—	PCR<13:8>					0000 0000	
FF88 <sub>H</sub>	MULA	乘数 A 寄存器	MULA<7:0>								xxxx xxxx
FF89 <sub>H</sub>	MULB	乘数 B 寄存器	MULB<7:0>								xxxx xxxx
FF8A <sub>H</sub>	MULL	乘积寄存器低 8 位	MUL<7:0>								xxxx xxxx
FF8B <sub>H</sub>	MULH	乘积寄存器高 8 位	MUL<15:8>								xxxx xxxx
FF8C <sub>H</sub>	FRAL	查表地址寄存器低 8 位	FRA<7:0>								xxxx xxxx
FF8D <sub>H</sub>	FRAH	查表地址寄存器高 8 位	FRA<15:8>								xxxx xxxx
FF8E <sub>H</sub>	ROMDL	查表数据寄存器低 8 位	ROMD<7:0>								xxxx xxxx
FF8F <sub>H</sub>	ROMDH	查表数据寄存器高 8 位	ROMD<15:8>								xxxx xxxx
FF90 <sub>H</sub>	IAPCL	IAP 控制寄存器低 8 位	IAPMS<2:0>			—	—	—	IAPGO	—	0000 0000
FF91 <sub>H</sub>	IAPCH	IAP 控制寄存器高 8 位	IAPC<15:8>								0000 0000
FF92 <sub>H</sub>	PWRC	电源状态控制寄存器	LPMS	—	—	IRSTB	TOB	PDB	PORB	BORB	0001 110x
FF93 <sub>H</sub>	WDTC	WDT 控制寄存器	—	—	—	—	WDTIEN	WDTPRS<2:0>		—	0000 1111
FF94 <sub>H</sub>	WKDC	唤醒延时控制寄存器	WKDC<7:0>								1111 1111
FF95 <sub>H</sub>	PWEN	功耗控制寄存器	—	—	—	—	—	—	LRCEN	—	0000 0011
FF96 <sub>H</sub>	INTG	中断全局寄存器	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>		0000 0000



地址	名称	功能说明	位								复位值
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
FF97 <sub>H</sub>	INTP	中断优先级寄存器	IGP<7:0>								0000 0000
FF98 <sub>H</sub>	INTE0	中断使能寄存器 0	T12PIE	T12TIE	T11PIE	T11TIE	T10IE	IAPIE	ADIE	KIE	0000 0000
FF99 <sub>H</sub>	INTF0	中断标志寄存器 0	T12PIF	T12TIF	T11PIF	T11TIF	T10IF	IAPIF	ADIF	KIF	0000 0000
FF9A <sub>H</sub>	INTE1	中断使能寄存器 1	T21MIE	T21VIE	T20MIE	T20VIE	PIE<3:0>			0000 0000	
FF9B <sub>H</sub>	INTF1	中断标志寄存器 1	T21MIF	T21VIF	T20MIF	T20VIF	PIF<3:0>			0000 0000	
FF9C <sub>H</sub>	INTE2	中断使能寄存器 2	LVDIE	—	—	—	RX2IE	TX2IE	RX1IE	TX1IE	0000 0000
FF9D <sub>H</sub>	INTF2	中断标志寄存器 2	LVDIF	—	—	—	RX2IF	TX2IF	RX1IF	TX1IF	0000 0000
FF9E <sub>H</sub>	OSCCL	时钟控制寄存器 0	CHG	DIVS<2:0>		SST<1:0>		SCKS<1:0>		0000 0000	
FF9F <sub>H</sub>	OSCCH	时钟控制寄存器 1	—	CLKOEN	HOSCON	HOSCEN	LRCON	—	HRCON	HRCEN	0000 0110
FFA0 <sub>H</sub>	PA	PA 端口电平状态寄存器	PA<7:0>								xxxx xxxx
FFA1 <sub>H</sub>	PAT	PA 端口输入输出控制寄存器	PAT<7:0>								1111 1111
FFA2 <sub>H</sub>	PAS	PA 端口类型选择寄存器	PAS<7:0>								1100 1111
FFA3 <sub>H</sub>	PB	PB 端口电平状态寄存器	PB<7:0>								xxxx xxxx
FFA4 <sub>H</sub>	PBT	PB 端口输入输出控制寄存器	PBT<7:0>								1111 1111
FFA5 <sub>H</sub>	PBPU	PB 弱上拉控制寄存器	PBPU<7:0>								0000 0000
FFA6 <sub>H</sub>	PBPD	PB 弱下拉控制寄存器	PBPD<7:0>								0000 0000
FFA7 <sub>H</sub>	PBOD	PB 开漏输出控制寄存器	PBOD<7:0>								0000 0000
FFA8 <sub>H</sub>	PBDS	PB 端口输出强驱动使能寄存器	PBDS<7:0>								0000 0000
FFA9 <sub>H</sub>	PC	PC 端口电平状态寄存器	PC<7:0>								xxxx xxxx
FFAA <sub>H</sub>	PCT	PC 端口输入输出控制寄存器	PCT<7:0>								1111 1111
FFAB <sub>H</sub>	PCPU	PC 弱上拉控制寄存器	PCPU<7:0>								0000 0000
FFAC <sub>H</sub>	PCPD	PC 弱下拉控制寄存器	PCPD<7:0>								0000 0000
FFAD <sub>H</sub>	PCOD	PC 开漏输出控制寄存器	PCOD<7:0>								0000 0000
FFAE <sub>H</sub>	PD	PD 端口电平状态寄存器	PD<7:0>								xxxx xxxx
FFAF <sub>H</sub>	PDT	PD 端口输入输出控制寄存器	PDT<7:0>								1111 1111

地址	名称	功能说明	位								复位值
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
FFB0 <sub>H</sub>	PDS	PD 端口类型选择寄存器	PDS<7:0>								1111 1111
FFB1 <sub>H</sub>	PE	PE 端口电平状态寄存器	PE<7:0>								xxxx xxxx
FFB2 <sub>H</sub>	PET	PE 端口输入输出控制寄存器	PET<7:0>								1111 1111
FFB3 <sub>H</sub>	PES	PE 端口类型选择寄存器	PES<7:0>								1111 1111
FFB4 <sub>H</sub>	PINTC	外部中断控制寄存器	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		PEG0<1:0>		0000 0000
FFB5 <sub>H</sub>	KINTC	按键中断控制寄存器	—	—	—	—	KMSK<3:0>				0000 0000
FFB6 <sub>H</sub>	TOC	TIMER 复用输出控制寄存器	T211EN	T210EN	T201EN	T200EN	T121EN	T120EN	T111EN	T110EN	0000 0000
FFC0 <sub>H</sub>	T10	T10 计数器寄存器	T10 <7:0>								0000 0000
FFC1 <sub>H</sub>	T10C	T10 控制寄存器	T10EN	—	T10M	T10EG	T10PRE	T10PRS<2:0>			0000 0000
FFC2 <sub>H</sub>	T11	T11 计数器寄存器	T11 <7:0>								0000 0000
FFC3 <sub>H</sub>	T11CL	T11 控制寄存器低 8 位	T11EN	T11REX	T11TR	—	T11TS<1:0>		T11M<1:0>		0000 0000
FFC4 <sub>H</sub>	T11CH	T11 控制寄存器高 8 位	T11POS<3:0>				—	T11PRS<2:0>			0000 0000
FFC5 <sub>H</sub>	T11P	T11 周期寄存器	T11P< 7:0>								1111 1111
FFC6 <sub>H</sub>	T11R	T11 精度寄存器	T11R<7:0>								0000 0000
FFC7 <sub>H</sub>	T12	T12 计数器寄存器	T12 <7:0>								0000 0000
FFC8 <sub>H</sub>	T12CL	T12 控制寄存器低 8 位	T12EN	T12REX	T12TR	—	T12TS<1:0>		T12M<1:0>		0000 0000
FFC9 <sub>H</sub>	T12CH	T12 控制寄存器高 8 位	T12POS<3:0>				—	T12PRS<2:0>			0000 0000
FFCA <sub>H</sub>	T12P	T12 周期寄存器	T12P<7:0>								1111 1111
FFCB <sub>H</sub>	T12R	T12 精度寄存器	T12R<7:0>								0000 0000
FFCC <sub>H</sub>	T20L	T20 计数器寄存器低 8 位	T20 <7:0>								0000 0000
FFCD <sub>H</sub>	T20H	T20 计数器寄存器高 8 位	T20 <15:8>								0000 0000
FFCE <sub>H</sub>	T20PL	T20 周期寄存器低 8 位	T20P<7:0>								1111 1111
FFCF <sub>H</sub>	T20PH	T20 周期寄存器高 8 位	T20P<15:8>								1111 1111
FFD0 <sub>H</sub>	T20RL	T20 精度寄存器低 8 位	T20R<7:0>								0000 0000
FFD1 <sub>H</sub>	T20RH	T20 精度寄存器高 8 位	T20R<15:8>								0000 0000

地址	名称	功能说明	位								复位值
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
FFD2 <sub>H</sub>	T20CL	T20 控制寄存器	T20EN	T20REX	T20TR	—	T20M<3:0>			0000 0000	
FFD3 <sub>H</sub>	T20CH	T20 控制寄存器	T20GB	T20GEN	—	—	—	T20PRS<2:0>		0000 0000	
FFD4 <sub>H</sub>	T21L	T21 计数器寄存器低 8 位	T21 <7:0>								0000 0000
FFD5 <sub>H</sub>	T21H	T21 计数器寄存器高 8 位	T21 <15:8>								0000 0000
FFD6 <sub>H</sub>	T21PL	T21 周期寄存器低 8 位	T21P<7:0>								1111 1111
FFD7 <sub>H</sub>	T21PH	T21 周期寄存器高 8 位	T21P<15:8>								1111 1111
FFD8 <sub>H</sub>	T21RL	T21 精度寄存器低 8 位	T21R<7:0>								0000 0000
FFD9 <sub>H</sub>	T21RH	T21 精度寄存器高 8 位	T21R<15:8>								0000 0000
FFDA <sub>H</sub>	T21CL	T21 控制寄存器	T21EN	T21REX	T21TR	—	T21M<3:0>			0000 0000	
FFDB <sub>H</sub>	T21CH	T21 控制寄存器	T21GB	T21GEN	—	—	—	T21PRS<2:0>		0000 0000	
FFDC <sub>H</sub>	RX1B	UART1 接收数据寄存器	RX1B<7:0>								xxxx xxxx
FFDD <sub>H</sub>	RX1C	UART1 接收控制/状态寄存器	RX1EN	RX1LEN	—	—	—	OERR1	FERR1	RX1R8	0000 0000
FFDE <sub>H</sub>	TX1B	UART1 发送数据寄存器	TX1B<7:0>								0000 0000
FFDF <sub>H</sub>	TX1C	UART1 发送控制/状态寄存器	TX1EN	TX1LEN	BRGH1	—	—	—	TRMT1	TX1R8	0000 0010
FFE0 <sub>H</sub>	BR1R	UART1 波特率寄存器	BR1R<7:0>								0000 0000
FFE1 <sub>H</sub>	RX2B	UART2 接收数据寄存器	RX2B<7:0>								xxxx xxxx
FFE2 <sub>H</sub>	RX2C	UART2 接收控制/状态寄存器	RX2EN	RX2LEN	—	—	—	OERR2	FERR2	RX2R8	0000 0000
FFE3 <sub>H</sub>	TX2B	UART2 发送数据寄存器	TX2B<7:0>								0000 0000
FFE4 <sub>H</sub>	TX2C	UART2 发送控制/状态寄存器	TX2EN	TX2LEN	BRGH2	—	—	—	TRMT2	TX2R8	0000 0010
FFE5 <sub>H</sub>	BR2R	UART2 波特率寄存器	BR2R<7:0>								0000 0000
FFE6 <sub>H</sub>	ADCRL	ADC 转换值寄存器低 8 位	ADCR<7:0>/ ADCR<3:0>								xxxx xxxx
FFE7 <sub>H</sub>	ADCRH	ADC 转换值寄存器高 8 位	ADCR<11:8>/ ADCR<11:4>								xxxx xxxx
FFE8 <sub>H</sub>	ADCCL	ADC 控制寄存器低 8 位	ADCHS<3:0>				ADCS<1:0>		ADTRG	ADEN	0000 0000
FFE9 <sub>H</sub>	ADCCH	ADC 控制寄存器高 8 位	ADFM	VREFPS<1:0>		VREFNS	ADST<1:0>		—	—	0000 1000
FFEA <sub>H</sub>	LVDC	LVD 控制寄存器	LVDVS<1:0>		—	LVDFLTE	LVDIFS<1:0>		LVDO	LVDEN	0000 00x0

地址	名称	功能说明	位								复位值
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
						N					
FFFD <sub>H</sub>	LRCCAL	LRC 校准寄存器	LRCCAL<7:0>								xxxx xxxx
FFFE <sub>H</sub>	HRCCALL	HRC 校准寄存器低 8 位	HRCCAL<7:0>								xxxx xxxx
FFFF <sub>H</sub>	HRCCALH	HRC 校准寄存器高 8 位	—	—	—	—	—	—	—	HRCCAL<9:8>	xxxx xxxx

### 附录3 电气特性

#### 附录3.1 参数特性表

##### ◆ 最大标称值

符号	参数	条件	标称值	单位
VDD	电源电压	—	-0.3 ~ 7.5	V
V <sub>IN</sub>	输入电压	—	-0.3 ~ VDD + 0.3	V
V <sub>OUT</sub>	输出电压	—	-0.3 ~ VDD + 0.3	V
T <sub>STG</sub>	存储温度	—	-55 ~ 125	°C
T <sub>OPR</sub>	操作温度	VDD: 2.2 ~ 5.5V	-40 ~ 85	°C

##### ◆ 芯片上电和下电工作条件表 (-40 ~ 85°C)

参数	符号	最小值	最大值	单位
VDD 上电初始电压	V <sub>start</sub>	0	0.2	V
VDD 上升速率	T <sub>VDD</sub>	70	—	us/V
VDD 下降速率		70	—	us/V

##### ◆ 芯片功耗特性参数表

符号	参数	最小值	典型值	最大值	单位	工作条件
VDD	芯片供电电压	2.2	—	5.5	V	-40°C ~ 85°C
I <sub>DD</sub>	芯片静态电流	—	100	—	uA	25°C, VDD = 5V, 所有的 I/O 输入低电平, MRSTN = 0, HOSCO = 0, HOSC1 悬空。
I <sub>PD0</sub>	休眠模式 IDLE0 芯片电流	—	45	—	uA	25°C, VDD = 5V, BOR 使能, WDT 使能, I/O 端口输出固定电平, 无负载。
I <sub>PD1</sub>	休眠模式 IDLE1 芯片电流	—	260	—	uA	25°C, VDD = 5V, 内部 HRC 16MHz 时钟, BOR 使能, WDT 使能, I/O 端口输出固定电平, 无负载。
I <sub>OP</sub>	正常运行模式芯片电流	—	2.5	—	mA	25°C, VDD = 5V, 正常运行模式, 内部 HRC 16MHz 时钟, I/O 端口输出固定电平, 无负载。
I <sub>MDD</sub>	VDD 管脚的最大输入电流	—	80	—	mA	25°C, VDD = 5V
I <sub>MSS</sub>	VSS 管脚的最大输出电流	—	200	—	mA	25°C, VDD = 5V
I <sub>OL</sub>	PA、PC、PD 或 PE 端口灌电流	—	20	—	mA	25°C, VDD = 5V, V <sub>OL</sub> = 0.6V
	PB 端口灌电流 (非强驱动)	—	10	—	mA	

符号	参数	最小值	典型值	最大值	单位	工作条件
	PB 端口灌电流 (强驱动)	—	50	—	mA	
I <sub>OH</sub>	PA、PC、PD 或 PE 端口拉电流	—	12	—	mA	25°C, VDD = 5V, V <sub>OH</sub> = 4.4V
	PB 端口拉电流 (非强驱动)	—	8	—	mA	
	PB 端口拉电流 (强驱动)	—	12	—	mA	

◆ 芯片输入端口特性表

芯片工作温度范围：-40°C ~ 85°C						
符号	参数	最小值	典型值	最大值	单位	测试条件
V <sub>IH</sub>	I/O 端口输入高电平（有 施密特输入特性）	0.8VDD	—	VDD	V	2.2V ≤ VDD ≤ 5.5V
	主复位信号 MRSTN 输入 高电平（有施密特输入特 性）	0.8VDD	—	VDD	V	
V <sub>IL</sub>	I/O 端口输入低电平	VSS	—	0.18VDD	V	
	主复位信号 MRSTN 输入 低电平	VSS	—	0.2VDD	V	
I <sub>IL</sub>	I/O 端口输入漏电流	—	—	±1	μA	2.2V ≤ VDD ≤ 5.5V (端口处于高阻状态)
	主复位信号 MRSTN 输入 漏电流	—	—	±1	μA	VSS ≤ V <sub>PIN</sub> ≤ VDD
I <sub>WPU</sub>	I/O 端口输入弱上拉电流	12	110	155	μA	2.2V ≤ VDD ≤ 5.5V V <sub>PIN</sub> = VSS, PB 端口
		90	250	310	μA	2.2V ≤ VDD ≤ 5.5V V <sub>PIN</sub> = VSS, PA、PC、 PD 或 PE 端口
I <sub>WPD</sub>	I/O 端口输入弱下拉电流	12	130	210	μA	2.2V ≤ VDD ≤ 5.5V V <sub>PIN</sub> = VDD, PB 端口
		90	270	340	μA	2.2V ≤ VDD ≤ 5.5V V <sub>PIN</sub> = VDD, PA、PC、 PD 或 PE 端口

◆ 芯片输出端口特性表

芯片工作温度范围：-40°C ~ 85°C						
符号	参数	最小值	典型值	最大值	单位	测试条件
V <sub>OH</sub>	I/O 端口输出高电平	VDD-0.7	—	—	V	2.2V≤VDD≤5.5V I <sub>OH</sub> = 4.0mA
V <sub>OL</sub>	I/O 端口输出低电平	—	—	0.6	V	2.2V≤VDD≤5.5V I <sub>OL</sub> = 5.5mA

◆ 系统时钟特性表

符号	参数	最小值	典型值	最大值	单位	测试条件
F <sub>osc</sub>	系统时钟频率（外部晶振）	—	—	20	MHz	3.0V≤VDD≤5.5V
T <sub>osc</sub>	系统时钟周期（外部晶振）	50	—	—	ns	3.0V≤VDD≤5.5V
F <sub>osc</sub>	系统时钟频率（内部 RC）	—	—	16	MHz	2.2V≤VDD≤5.5V
T <sub>osc</sub>	系统时钟周期（内部 RC）	62.5	—	—	ns	2.2V≤VDD≤5.5V
T <sub>OSL</sub> , T <sub>OSH</sub>	外部时钟高电平和低电平时间	15	—	—	ns	—
T <sub>OSR</sub> , T <sub>OSF</sub>	外部时钟上升和下降时间	—	—	15	ns	—
T <sub>WDT</sub>	WDT 溢出时间	2.4 (9.6K Hz)	8 (32K Hz)	13.6 (54K Hz)	ms	25°C, 时钟源不分频, VDD=5V

◆ ADC 交流特性表

符号	参数	最小值	典型值	最大值	单位	测试条件
VDD	电源电压	3	-	5.5	V	
R <sub>R</sub>	分辨率	-	11	12	bit	25°C, VDD=5V, f <sub>ADCCLK</sub> =2MHz, 采样时间为 8 个 T <sub>adclk</sub> , 参考电压为内部 VDD
DNL	差分线性度	-	-	±2	LSB	
INL	积分线性度	-	-	±2	LSB	
V <sub>OFFSET</sub>	失调误差	±1	±2		LSB	
V <sub>ADIN</sub>	模拟输入电压	-	-	VDD	V	-
C <sub>ADIN</sub>	输入电容	-	-	40	Pf	-
R <sub>ADIN</sub>	输入电阻	-	-	10	KΩ	-
F <sub>ADCLK</sub>	转换时钟频率	-	-	2	MHz	
T <sub>ADC</sub>	转换时间 (不包括采样时间)	-	13	-	T <sub>adclk</sub>	-
T <sub>ADS 低速</sub>	采样时间	8	-	-	T <sub>adclk</sub>	-

◆ AD 转换时间对照表

A/D 时钟源 选择	工作频率			
	16M	8M	4M	1M
Fosc/2	不推荐使用 1*	不推荐使用 1*	Tadclk = 0.5us	Tadclk = 2us
Fosc/8	Tadclk = 0.5us	Tadclk = 1us	Tadclk = 2us	Tadclk = 8us
Fosc/32	Tadclk = 2us	Tadclk = 4us	Tadclk = 8us	不推荐使用 2*
Frc	Tadclk = 28~34us	Tadclk = 28~34us	Tadclk = 28~34us	Tadclk = 28~34us

注 1\*: Tadclk 值不满足设计要求不推荐使用

注 2\*: 转换时间太长, 推荐选择其它分频设置

◆ 内部 16MHz 时钟校准特性表

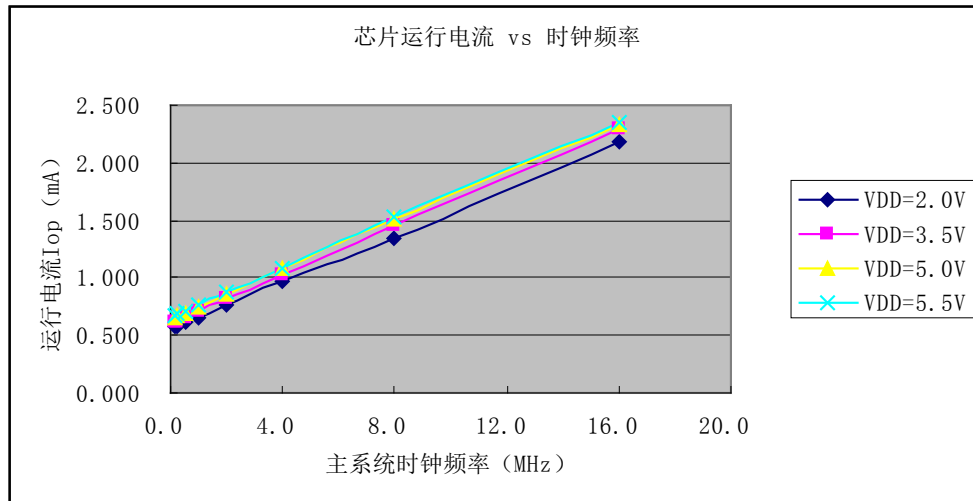
校准条件	工作条件	最小值	典型值	最大值	单位
25°C, 将频率校准至 16MHz	25°C, VDD = 2.2V~5.5V	15.68	16	16.32	MHz
	-40°C ~ 85°C, VDD = 2.2V ~ 5.5V	15.52	16	16.48	MHz



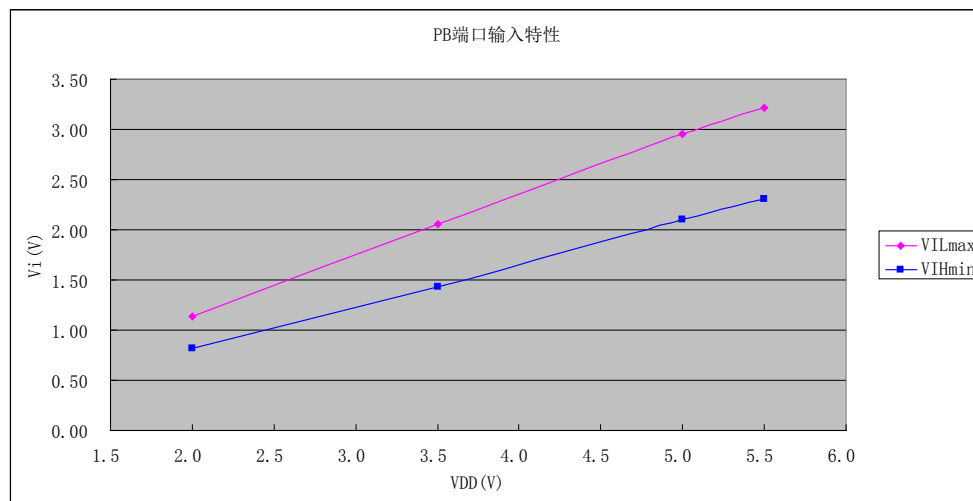
### 附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

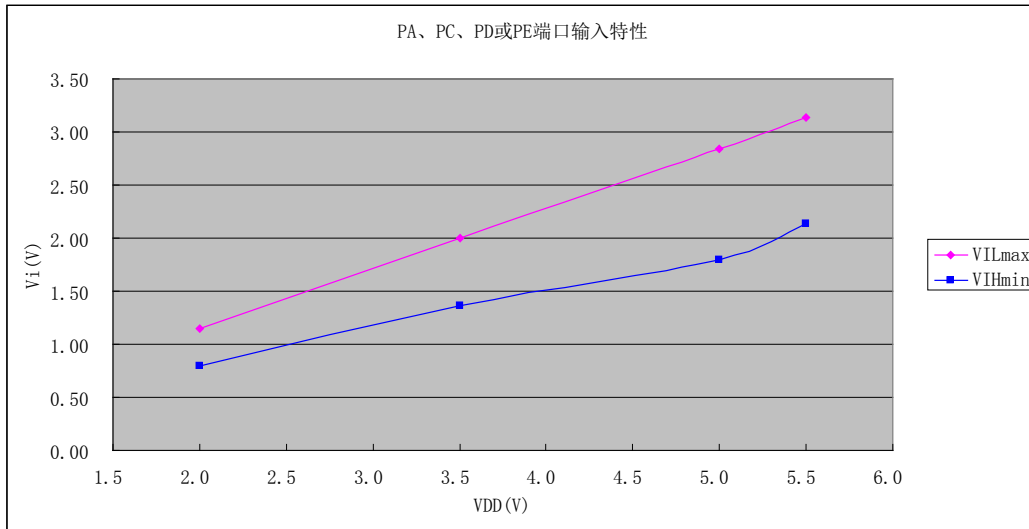
- ◆ 正常运行模式下芯片电流随时钟频率变化的曲线图（Fosc 时钟源为内部 16MHz HRC 时钟的不同分频，室温 25℃）



- ◆ PB 端口输入特性曲线图（室温 25℃）

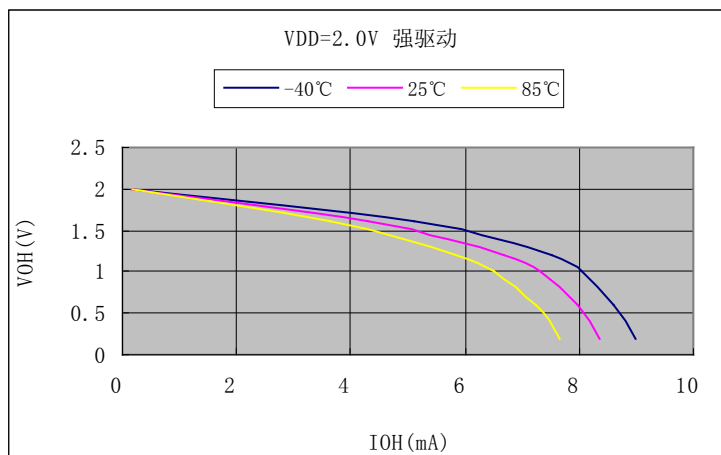
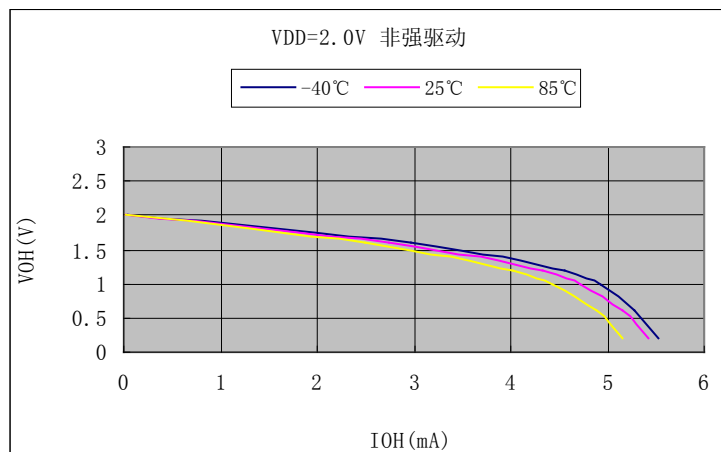


◆ PA、PC、PD 或 PE 端口输入特性曲线图（室温 25℃）

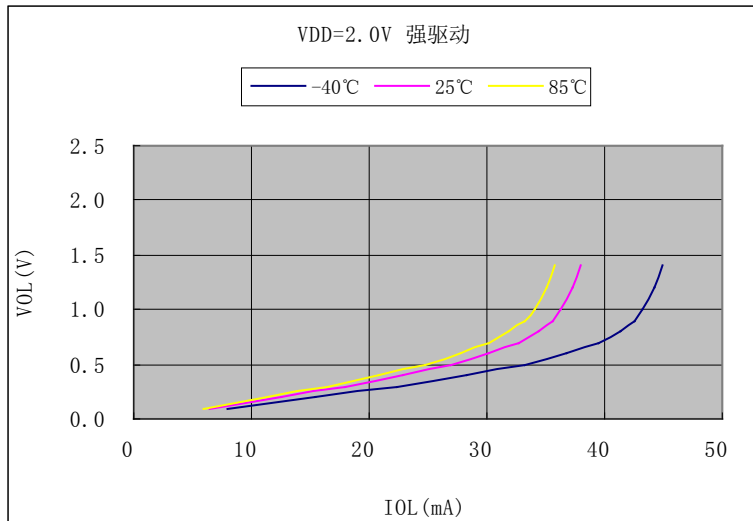
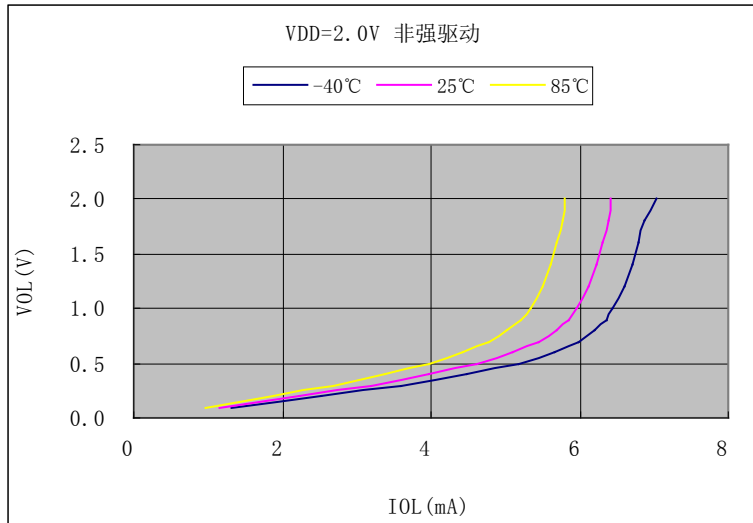


◆ I/O 端口输出特性图（PB 端口）

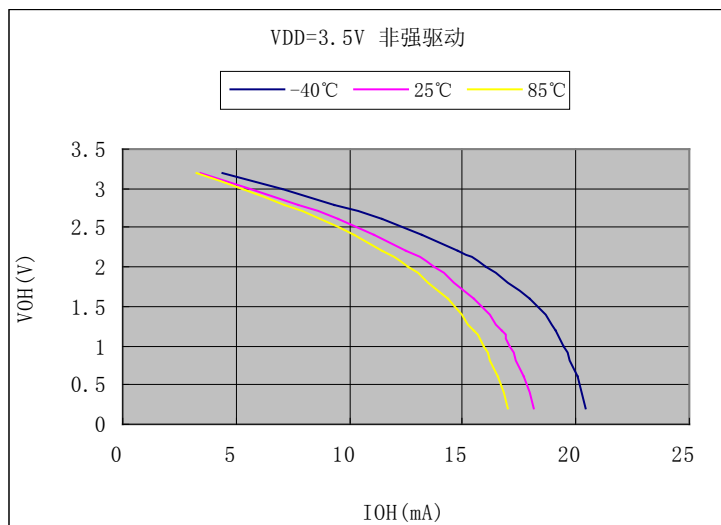
A:  $V_{OH}$  vs  $I_{OH}$ @VDD=2.0V

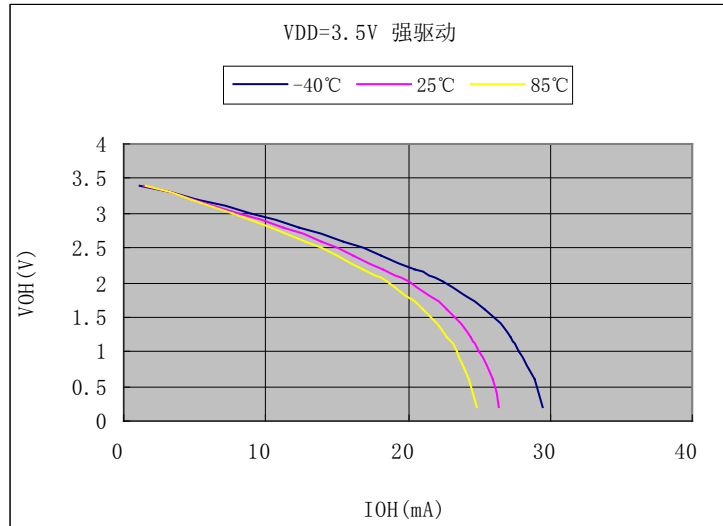


B:  $V_{OL}$  vs  $I_{OL}$  @VDD=2.0V

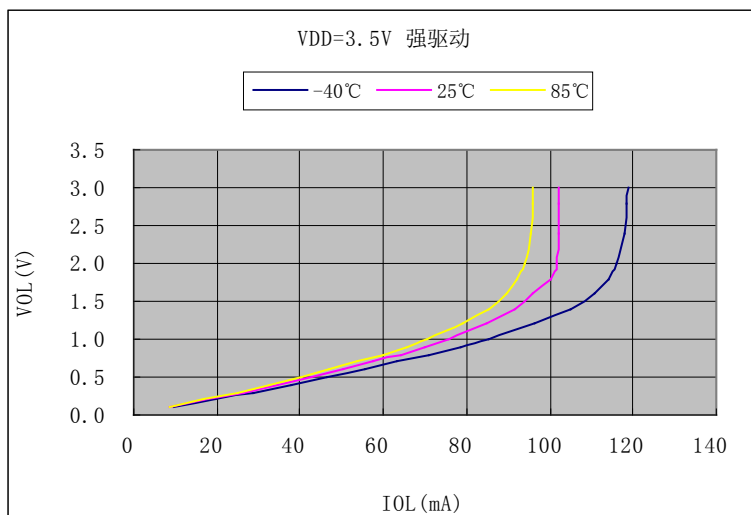
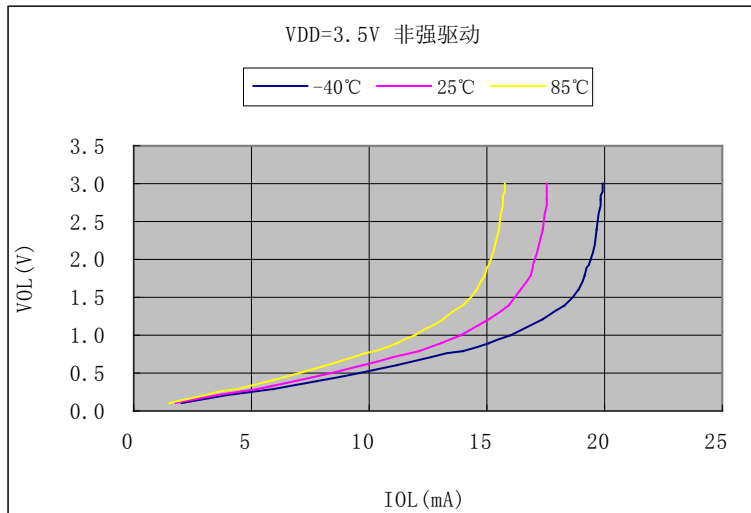


C:  $V_{OH}$  vs  $I_{OH}$  @VDD=3.5V

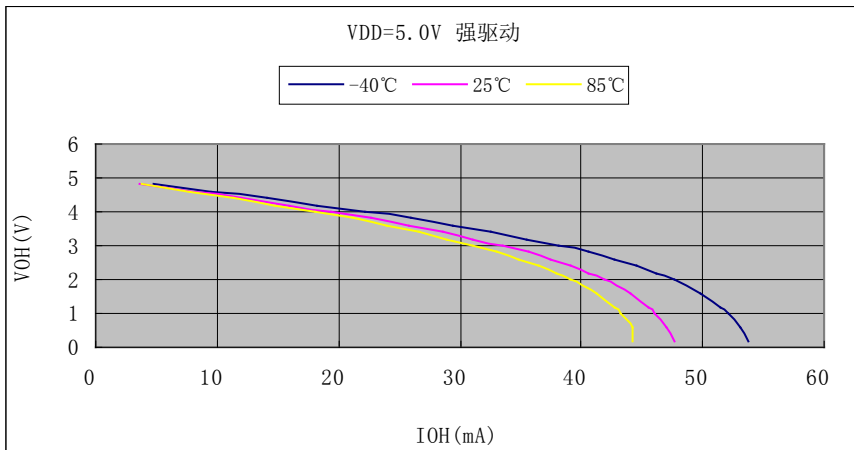
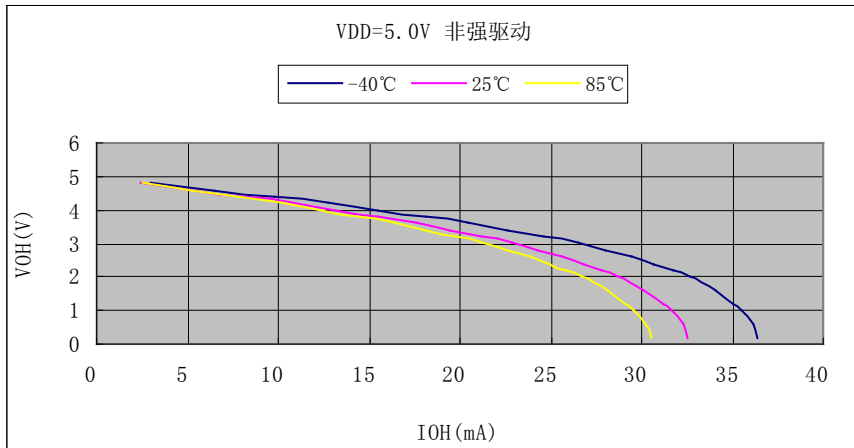




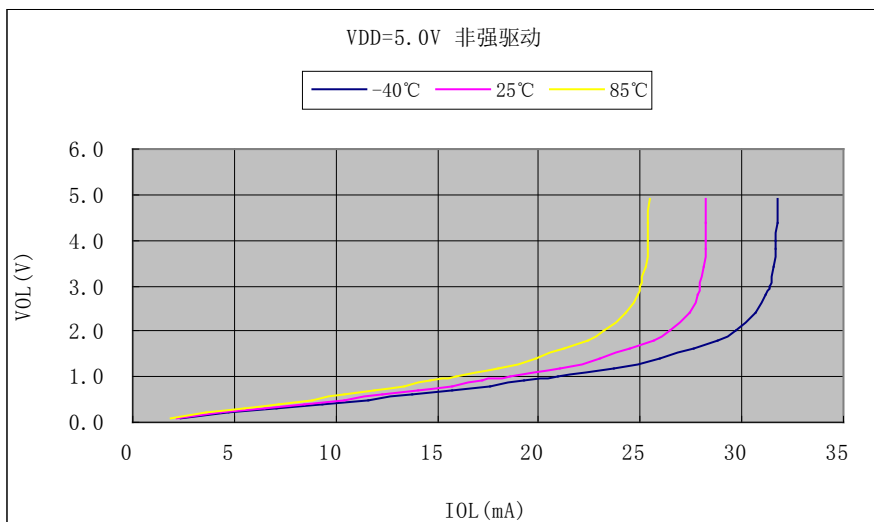
D:  $V_{OL}$  vs  $I_{OL}$  @VDD=3.5V

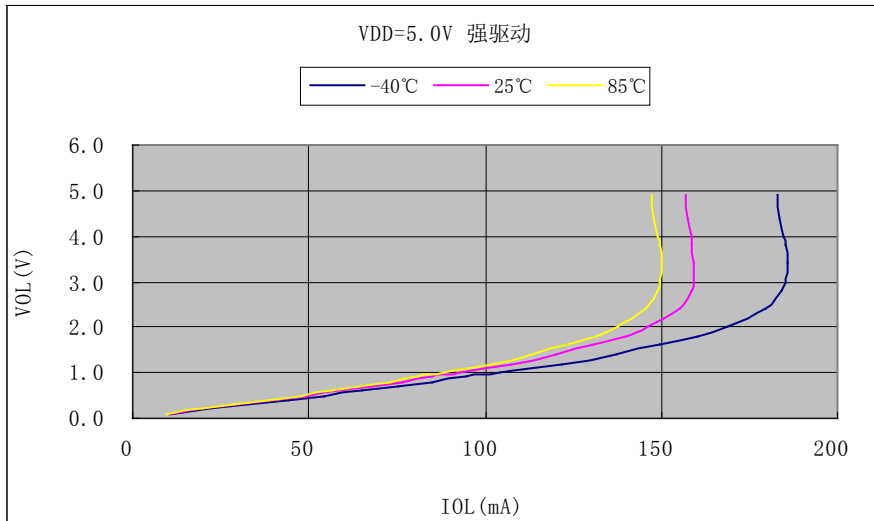


E:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.0V

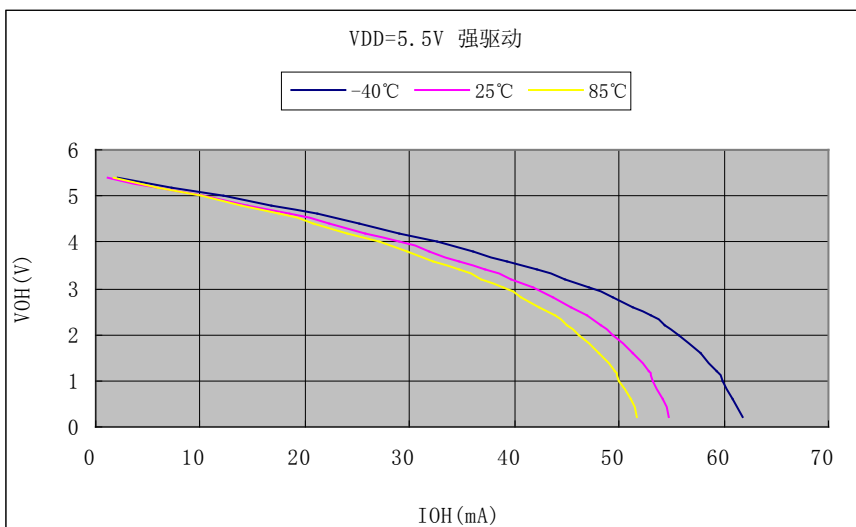
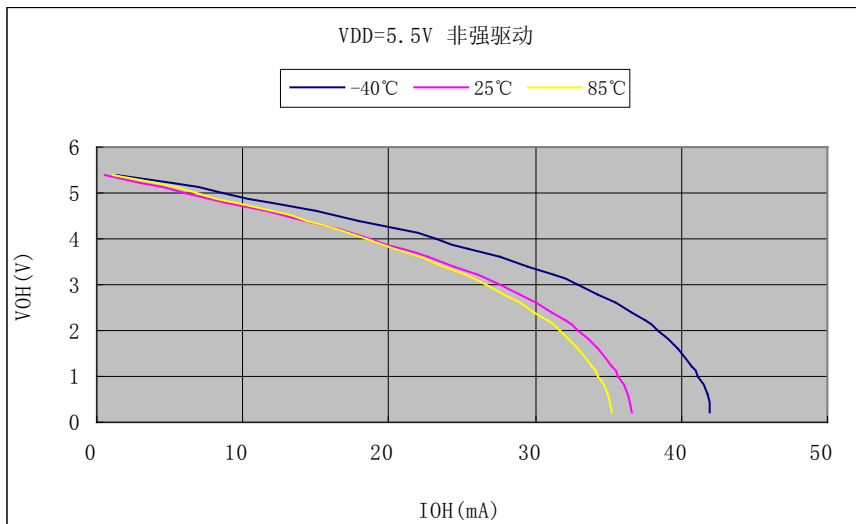


F:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.0V

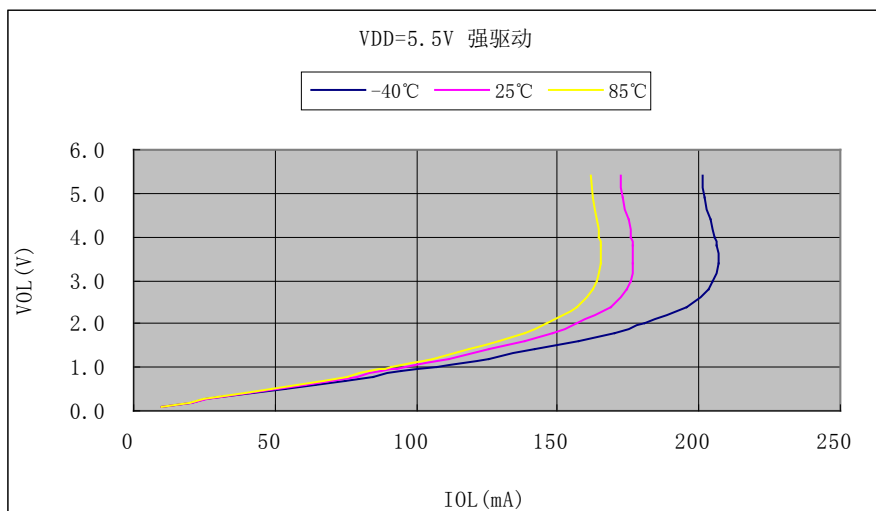
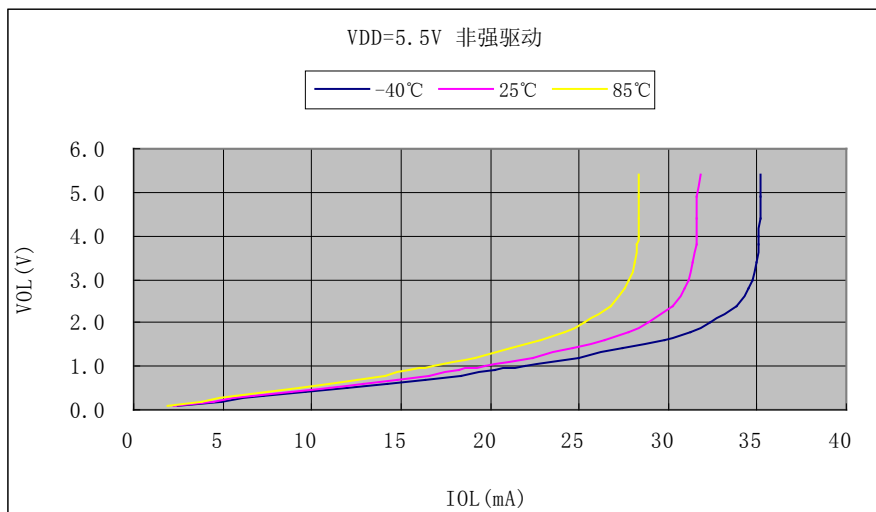




G:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.5V

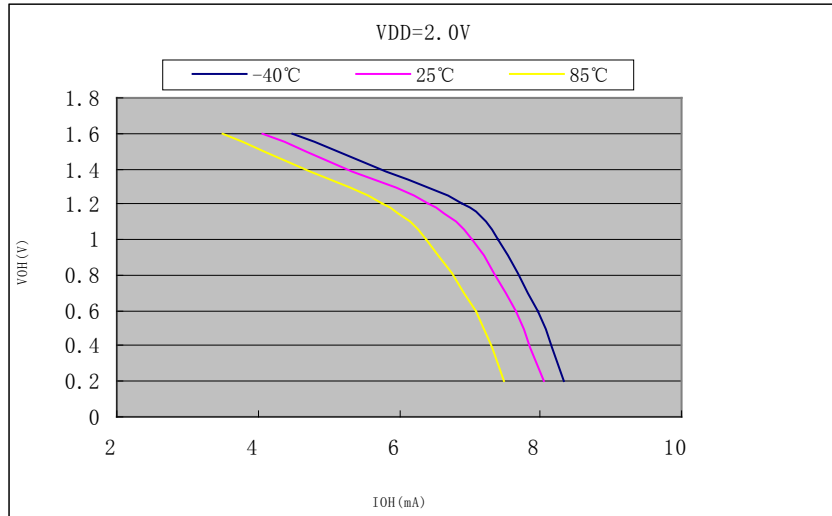


H:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.5V

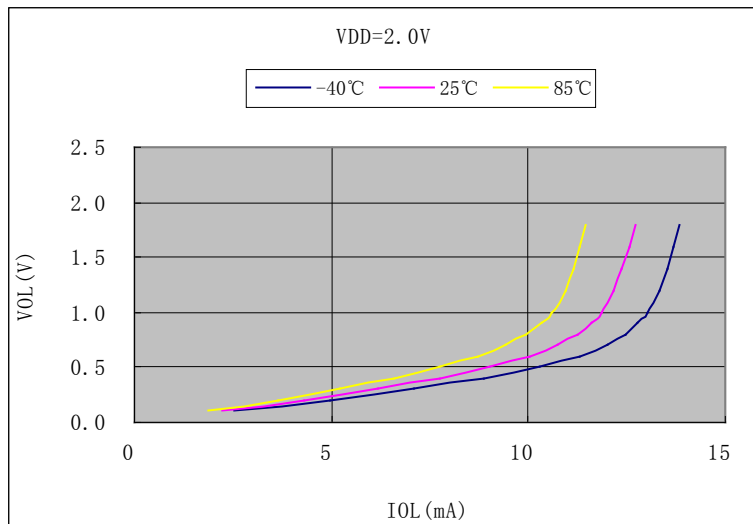


◆ I/O 端口输出特性图 (PA、PC、PD 或 PE 端口)

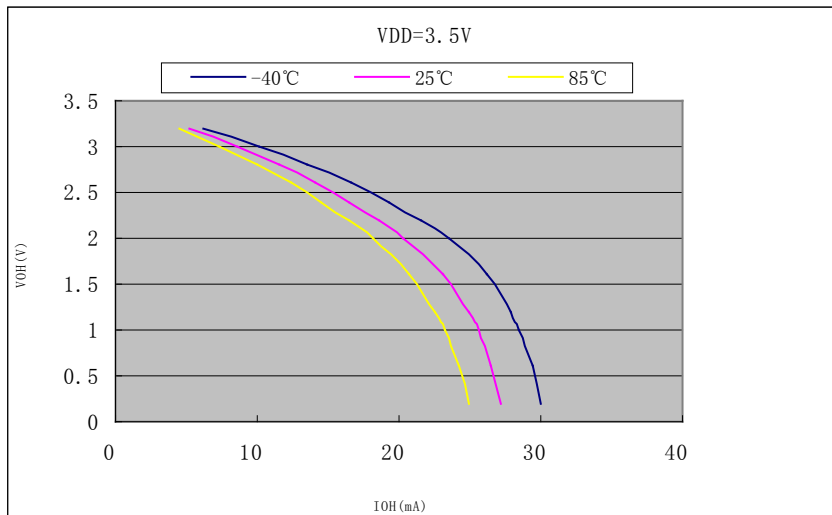
A:  $V_{OH}$  vs  $I_{OH}$  @VDD=2.0V



B:  $V_{OL}$  vs  $I_{OL}$  @VDD=2.0V

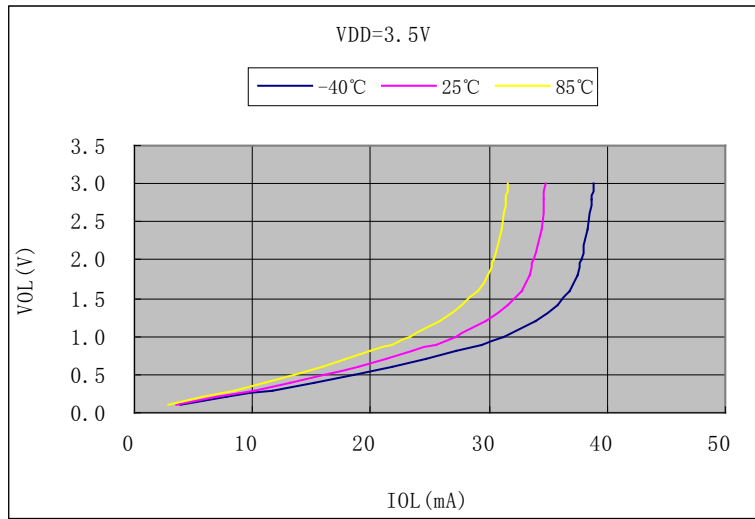


C:  $V_{OH}$  vs  $I_{OH}$  @VDD=3.5V

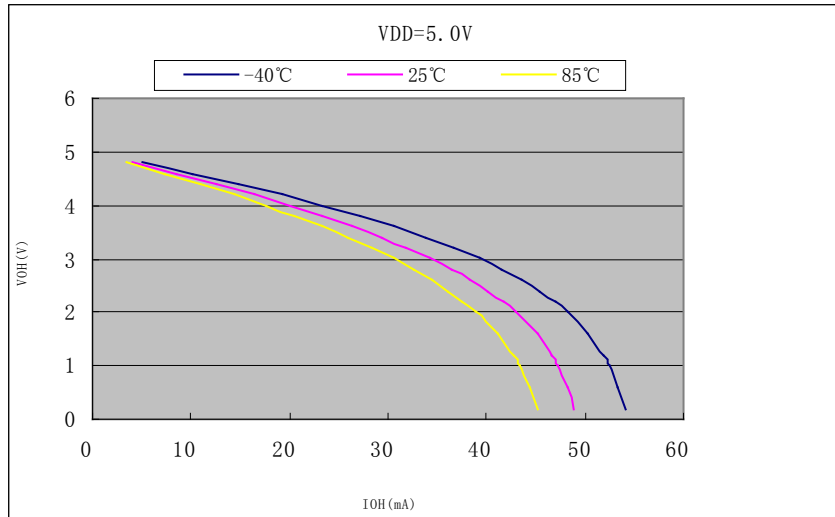




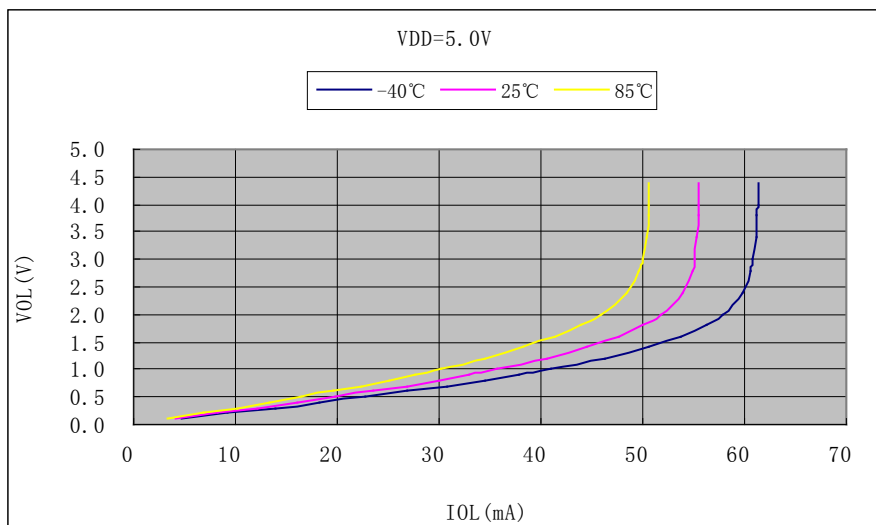
D:  $V_{OL}$  vs  $I_{OL}$  @VDD=3.5V



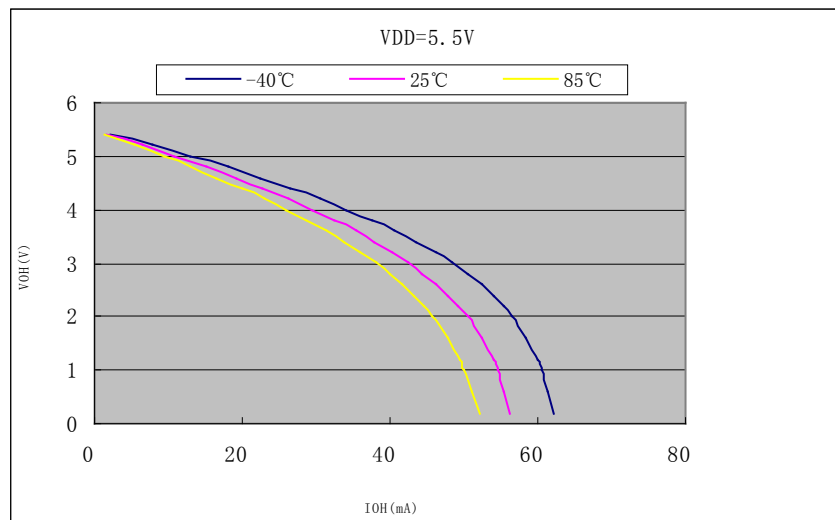
E:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.0V



F:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.0V



G:  $V_{OH}$  vs  $I_{OH}$  @VDD=5.5V



H:  $V_{OL}$  vs  $I_{OL}$  @VDD=5.5V

