

**2.4G SOC
HW2171B**

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2021 年 10 月 8 日

产品订购信息

Part NO.	工作电压	OTP	SRAM	I/O	ADC	Timer	封装类型
HW2171BP4SD	2.1V~ 3.6V	2K Words	64 Bytes	8+1INPUT	12-bit X 6ch	8-bit X 2	SOP16

地 址：中国上海市徐汇区古美路 1515 号凤凰园 12 号楼 3 楼

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址： <http://www.essemi.com>

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2018-9-14	初版。
V1.1	2019-3-14	<ol style="list-style-type: none"> 1. 增加 IAP 操作和中断时，使能位 GIE 的补充说明； 2. RF 寄存器列表新增 PKG_RSSI 寄存器说明； 3. 变更 Logo。
V1.2	2019-4-22	<ol style="list-style-type: none"> 1. 更改 ACK 重发次数说明。
V1.3	2020-4-10	<ol style="list-style-type: none"> 1. 更改参考的应用笔记名称； 2. 更新低功耗接收模式电流。
V1.4	2021-10-8	更新公司地址。

目 录

内容目录

第 1 章	芯片简介.....	13
1.1	概述.....	13
1.2	系统框图.....	16
1.3	管脚分配图.....	17
1.3.1	管脚说明.....	17
1.3.2	管脚复用说明.....	18
1.3.3	内部连线.....	20
1.3.4	MCU 悬空脚注意事项.....	20
1.3.5	HW2171B 和 HW2171 差异管脚对照.....	20
第 2 章	MCU—内核特性.....	21
2.1	CPU 内核概述.....	21
2.2	系统时钟和机器周期.....	21
2.3	指令集概述.....	21
2.4	特殊功能寄存器.....	22
第 3 章	MCU—存储资源.....	24
3.1	概述.....	24
3.2	程序存储器.....	24
3.2.1	概述.....	24
3.2.2	程序区地址映射示意图.....	24
3.2.3	程序计数器 (PC).....	24
3.2.4	程序堆栈.....	25
3.3	IAP 访问 OTP 操作.....	26
3.3.1	OTP 存储器.....	26
3.3.2	查表指令.....	26
3.3.3	IAP 编程.....	27
3.3.4	特殊功能寄存器.....	27
3.4	数据存储器.....	29
3.4.1	概述.....	29
3.4.2	数据区地址映射.....	29
3.4.3	通用数据存储器.....	29
3.4.4	特殊功能寄存器.....	29
3.4.5	寻址方式.....	30
3.4.6	特殊功能寄存器.....	32
第 4 章	MCU—输入/输出端口.....	33
4.1	概述.....	33
4.2	结构框图.....	33
4.3	I/O 端口功能设置.....	34
4.3.1	I/O 端口输入/输出控制.....	34
4.3.2	I/O 端口弱上拉、弱下拉功能.....	35
4.3.3	I/O 端口大电流控制功能.....	35
4.3.4	I/O 端口模拟/数字类型选择功能.....	35

4.3.5	I/O 端口复用功能	35
4.4	端口中断	35
4.4.1	按键中断 (KINT)	35
4.4.2	外部端口中断 (PINT)	36
4.5	I/O 端口操作注意事项.....	36
4.6	特殊功能寄存器	37
第 5 章	MCU—特殊功能及操作特性.....	40
5.1	系统时钟与振荡器	40
5.1.1	概述	40
5.1.2	时钟源	40
5.1.3	系统时钟切换	42
5.1.4	系统时钟分频	45
5.1.5	特殊功能寄存器.....	45
5.2	看门狗定时器.....	48
5.2.1	概述.....	48
5.2.2	内部结构图.....	48
5.2.3	WDT 定时器.....	48
5.2.4	特殊功能寄存器.....	49
5.3	复位模块.....	51
5.3.1	概述.....	51
5.3.2	上电复位	51
5.3.3	下电复位	51
5.3.4	外部 MRSTN 管脚复位	52
5.3.5	看门狗定时器溢出复位.....	53
5.3.6	RST 指令复位	54
5.3.7	特殊功能寄存器.....	55
5.4	低功耗操作	56
5.4.1	MCU 低功耗模式.....	56
5.4.2	低功耗模式配置.....	56
5.4.3	IDLE 唤醒方式配置	57
5.4.4	唤醒时序图.....	57
5.4.5	特殊功能寄存器.....	59
第 6 章	MCU—外设	60
6.1	8 位 PWM 时基定时器 (T8P1/T8P2)	60
6.1.1	概述.....	60
6.1.2	内部结构图.....	61
6.1.3	工作模式	61
6.1.4	预分频器和后分频器	61
6.1.5	定时器模式.....	62
6.1.6	PWM 输出模式.....	63
6.1.7	PWM 平均精度扩展	65
6.1.8	PWM 复用输出端口	65
6.1.9	特殊功能寄存器.....	66
6.2	模/数转换器模块 (ADC)	70

6.2.1	概述.....	70
6.2.2	ADC 内部结构图.....	70
6.2.3	ADC 配置.....	71
6.2.4	ADC 转换步骤.....	72
6.2.5	AD 时序特征示意图.....	73
6.2.6	ADC 应用例程.....	73
6.2.7	特殊功能寄存器.....	74
6.3	低电压检测模块 (LVD)	76
6.3.1	概述.....	76
6.3.2	LVD 操作.....	76
6.3.3	特殊功能寄存器.....	76
第 7 章	MCU—中断处理.....	78
7.1	概述.....	78
7.2	内部结构.....	78
7.2.1	默认中断模式.....	78
7.3	中断现场保护.....	79
7.4	中断操作.....	79
7.4.1	中断使能位 GIE 的操作.....	79
7.4.2	外部中断.....	80
7.4.3	外部按键中断.....	80
7.4.4	T8Pn(T8P1/T8P2)定时中断.....	80
7.4.5	T8Pn(T8P1/T8P2)周期中断.....	80
7.4.6	ADC 中断.....	81
7.4.7	LVD 中断.....	81
7.4.8	中断操作注意事项.....	81
7.5	特殊功能寄存器.....	82
第 8 章	MCU—芯片配置字.....	86
第 9 章	MCU—指令集.....	87
9.1	概述.....	87
9.2	寄存器操作指令.....	87
9.3	程序控制指令.....	87
9.4	算术/逻辑运算指令.....	89
第 10 章	MCU—特殊功能寄存器总表.....	91
第 11 章	RF 收发器—工作模式控制.....	97
11.1	POWER DOWN 模式.....	97
11.2	SLEEP 模式.....	97
11.3	IDLE 模式.....	98
11.4	TX 模式.....	98
11.5	RX 模式.....	98
第 12 章	RF 收发器—包结构.....	99
12.1	PTX 发送数据包结构.....	99
12.2	PRX 发送 ACK 包结构.....	100
第 13 章	RF 收发器—链路控制方式.....	101
13.1	硬件链路控制方式.....	101

13.2	软件链路控制方式	101
第 14 章	RF 收发器—多 PIPE 逻辑通道.....	102
第 15 章	RF 收发器—自动响应 ACK 与自动重传 ART.....	103
15.1	ACK 不带 ACK PAYLOAD.....	103
15.2	ACK 带 ACK PAYLOAD	103
第 16 章	RF 收发器—数据与控制接口	104
16.1	FIFO	104
16.2	中断	105
16.2.1	硬件链路控制中断.....	105
16.2.2	软件链路控制中断.....	109
16.3	SPI 通信接口	109
16.3.1	SPI 帧格式	109
16.3.2	寄存器访问时序.....	110
16.3.3	FIFO 访问时序	110
16.3.4	SPI 时序参数.....	111
第 17 章	RF 收发器—其它功能与设置	112
17.1	RF 收发器复位.....	112
17.2	频点设置	112
17.3	自动频偏校正(AFC).....	112
17.4	软件频偏校正.....	112
17.5	前导码指示	112
17.6	RSSI 功能.....	113
17.7	载波检测指示(Carrier Detect)功能	113
17.8	FEC、CRC、SCRAMBLE 功能.....	113
第 18 章	RF 收发器—寄存器	115
18.1	寄存器列表	115
18.2	寄存器说明	116
第 19 章	RF 收发器—术语解释	131
第 20 章	封装尺寸图	132
20.1	封装尺寸图	132
第 21 章	应用参考设计.....	133
21.1	典型应用参考 PCB 设计	133
21.1.1	参考 SCH 设计图	133
21.1.2	参考设计 SCH 的注意事项.....	133
21.2	参考 PCB 设计.....	134
21.2.1	单面板 PCB.....	134
21.2.2	单面板 PCB 设计注意事项	134
21.2.3	双面板 PCB.....	135
21.2.4	双面板 PCB 设计注意事项	135
第 22 章	电气特性.....	136
22.1	MCU 电气特性.....	136
22.1.1	最大标称值.....	136
22.1.2	功耗参数	136
22.1.3	输入端口参数	137

22. 1. 4	输出端口参数	138
22. 1. 5	系统时钟参数	138
22. 1. 6	内部 16MHz RC 时钟校准参数	138
22. 1. 7	ADC 交流参数	138
22. 1. 8	ADC 转换时间参数	139
22. 2	MCU 参数特性图	140
22. 3	RF 收发器电气特性	144
22. 3. 1	功耗参数	144
22. 3. 2	通讯基本参数	144
22. 3. 3	发射机参数	144
22. 3. 4	接收机参数	145
22. 3. 5	振荡器参数	145
22. 3. 6	IO 端口 DC 参数	145
22. 3. 7	状态切换时间参数	145

图目录

图 1-1	系统内部结构框图	16
图 1-2	管脚分配图	17
图 3-1	程序区地址映射	24
图 3-2	堆栈示意图	26
图 3-3	数据区地址映射示意图	29
图 3-4	特殊功能寄存器空间	30
图 3-5	普通直接寻址示意图	31
图 3-6	间接寻址示意图	31
图 4-1	输入/输出端口结构图——PA0~PA2, PA7, PB0~PB1	33
图 4-2	输入/输出端口结构图——PA4~PA6, PB2~PB5	34
图 4-3	输入端口结构图——PA3	34
图 5-1	系统时钟内部结构图	40
图 5-2	晶体/陶瓷振荡器模式 (HS、XT、LP 模式)	41
图 5-3	系统上电时序图	43
图 5-4	INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟	43
图 5-5	INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟	44
图 5-6	低速 LP 时钟切换到 INTOSCH 时钟	44
图 5-7	INTOSCH 时钟切换到低速 LP 时钟	45
图 5-8	看门狗定时器内部结构图	48
图 5-9	芯片复位原理图	51
图 5-10	上电复位时序示意图	51
图 5-11	下电复位时序示意图	52
图 5-12	外部 MRSTN 管脚复位	52
图 5-13	MRSTN 复位参考电路图 1	53
图 5-14	MRSTN 复位参考电路图 2	53
图 5-15	看门狗溢出复位	54
图 5-16	RST 指令复位	54
图 5-17	HS/XT/INTOSCO/INTOSC 模式时, 系统唤醒 IDLE0 时序图	58
图 5-18	LP 模式时, 系统唤醒 IDLE0 时序图	58
图 5-19	HS/XT/INTOSCO/INTOSC/LP 模式时, 系统唤醒 IDLE1 时序图	58
图 6-1	T8P1/T8P2 内部结构图	61
图 6-2	T8Pn 定时器模式时序图	63
图 6-3	T8Pn PWM 模式示意图	64
图 6-4	PWM 输出示意图	64
图 6-5	PWM 精度扩展示意图	65
图 6-6	带死区互补 PWM 输出示意图	66
图 6-7	ADC 内部结构图	70
图 6-8	ADC 时序特征示意图	73
图 6-9	LVD 工作时序图	76
图 7-1	中断控制逻辑	78
图 11-1	RF 收发器工作模式控制示意图	97
图 14-1	4 路 PIPE 通讯示意图	102
图 16-1	FIFO 控制示意图	104

图 16-2	ACK 不使能情况中断示意图	105
图 16-3	ACK 使能不帶 ACK PAYLOAD 中断示意图	105
图 16-4	PTX 自动重传情况 1 中断示意图	106
图 16-5	PTX 自动重传情况 2 中断示意图	106
图 16-6	PTX 自动重传情况 3 中断示意图(重发超时, 重发次数为 2)	107
图 16-7	PRX 自动重收中断示意图	107
图 16-8	ACK 帶 ACK PAYLOAD 情况中断示意图	108
图 16-9	PTX 接收 ACK CRC ERROR 情况中断示意图	108
图 16-10	PRX 无满足条件 ACK PAYLOAD 发送情况中断示意图	108
图 16-11	软件链路控制方式下中断示意图	109
图 16-12	SPI 帧格式	109
图 16-13	SPI 写寄存器时序	110
图 16-14	SPI 读寄存器时序	110
图 16-15	SPI 写 FIFO 时序	110
图 16-16	SPI 读 FIFO 时序	110
图 16-17	SPI 时序参数示意图	111
图 17-1	数据扰码生成器	114
图 20-1	SOP16 封装尺寸图	132
图 21-1	典型应用参考设计 SCH 图	133
图 21-2	参考设计单面板 PCB 图	134
图 21-3	参考设计双面板 PCB 图	135

表目录

表 1-1	管脚说明表.....	18
表 1-2	管脚说明.....	19
表 1-3	内部连线.....	20
表 1-4	MCU 悬空管脚说明表.....	20
表 1-5	两个版本芯片的差异管脚对比表.....	20
表 4-1	I/O 端口弱上拉.....	35
表 4-2	I/O 端口弱下拉.....	35
表 4-3	按键中断.....	36
表 4-4	外部端口中断.....	36
表 5-1	晶体振荡器电容参数参考表.....	41
表 5-2	振荡模式切换选择.....	43
表 5-3	下电复位电压点配置表.....	52
表 5-4	低功耗模式配置表.....	56
表 5-5	休眠唤醒表.....	57
表 5-6	休眠唤醒时间表.....	58
表 6-1	T8Pn 工作模式配置表.....	61
表 6-2	T8P1/T8P2 后分频器配置表.....	62
表 7-1	默认中断模式中断逻辑表.....	79
表 9-1	寄存器操作指令表.....	87
表 9-2	程序控制指令表.....	88
表 9-3	算术/逻辑运算指令表.....	90
表 16-1	SPI 时序参数.....	111
表 18-1	寄存器列表.....	115
表 18-2	PKTCTRL 寄存器说明.....	116
表 18-3	TRCTL 寄存器说明.....	116
表 18-4	CHANNR 寄存器说明.....	117
表 18-5	MISC0 寄存器说明.....	117
表 18-6	FOCCFG 寄存器说明.....	118
表 18-7	FREQBASE 寄存器说明.....	118
表 18-8	DS_PE 寄存器说明.....	118
表 18-9	THRES 寄存器说明.....	119
表 18-10	MISC1 寄存器说明.....	119
表 18-11	MISC2 寄存器说明.....	120
表 18-12	PKG_RSSI 寄存器说明.....	120
表 18-13	CDTH 寄存器说明.....	120
表 18-14	RSSI 寄存器说明.....	120
表 18-15	STATUS0 寄存器说明.....	120
表 18-16	STATUS1 寄存器说明.....	121
表 18-17	FIX_LEN_EN 寄存器说明.....	121
表 18-18	FIFO0DATA 寄存器说明.....	121
表 18-19	FIFO1DATA 寄存器说明.....	121
表 18-20	ACKFIFO0DATA 寄存器说明.....	122
表 18-21	ACKFIFO1DATA 寄存器说明.....	122

表 18-22	FIFO0CTRL 寄存器说明	123
表 18-23	FIFO1CTRL 寄存器说明	124
表 18-24	ACKFIFO0CTRL 寄存器说明.....	124
表 18-25	ACKFIFO1CTRL 寄存器说明.....	125
表 18-26	FIFOSTATUS 寄存器说明.....	126
表 18-27	CLEAR 寄存器说明.....	126
表 18-28	PIPECTRL 寄存器说明	127
表 18-29	INT 寄存器说明	128
表 18-30	P0ADDR0 寄存器说明	129
表 18-31	P0ADDR1 寄存器说明	129
表 18-32	P0ADDR2 寄存器说明	129
表 18-33	P1ADDR0 寄存器说明	129
表 18-34	P1ADDR1 寄存器说明	129
表 18-35	P1ADDR2 寄存器说明	130
表 18-36	P2ADDR 寄存器说明	130
表 18-37	P3ADDR 寄存器说明	130
表 19-1	术语解释.....	131

第 1 章 芯片简介

1.1 概述

HW2171B 是一款低成本，高集成度的 2.4GHZ ISM 频段无线 SOC 芯片，可应用于无线 LED 调光、无线航模、智能家居、以及其它无线数据传输和远程控制等领域。片上集成高性能、低功耗的 RF 收发器和 MCU。

片上 RF 收发器的外围电路简单，只需少数外围被动器件即可构成完整的 2.4G 无线收发系统。RF 收发器发射功率最大可达 8dBm，接收灵敏度可达到-93dBm@250Kbps、-89dBm@1Mbps。

片上 MCU 具有低功耗特性，具备 2K Words 的 OTP 程序存储空间。

芯片特性:

◆ 工作条件

- ◇ 工作电压范围：2.1V ~ 3.6V
- ◇ 工作温度范围：-40 ~ 85℃

◆ 封装形式

- ◇ SOP16

MCU 特性:

◆ 内核

- ◇ HR7P RISC CPU 内核
- ◇ 79 条精简指令
- ◇ 机器周期为 2 个系统时钟周期
- ◇ 复位向量位于 000_H，中断向量位于 004_H
- ◇ 支持中断处理，12 个中断源
- ◇ CPU 最高工作频率
 - 2MHz (VDD=2.1~5.5V)
 - 20MHz (VDD=3.0~5.5V)

◆ 存储资源

- ◇ 2K Words OTP 程序存储器，8 级程序堆栈
- ◇ 64 Bytes SRAM 数据存储器
- ◇ 程序存储器支持直接寻址、相对寻址及查表读操作
- ◇ 数据存储器支持直接寻址和间接寻址

◆ I/O 端口

- ◇ 最多支持可用端口 13 个（12 个 I/O 和 1 个输入）。其中，外部可用端口 9 个（8 个 I/O 和 1 个输入）
 - 外部 PA 端口 6 个（PA0~PA3、PA5、PA7）
 - 外部 PB 端口 3 个（PB0、PB1、PB5）
 - 内连端口 4 个（PA6、PB2~PB4）
 - 内部悬空不可用端口一个（PA4）
- ◇ 支持 4 个外部端口中断 PINT0~PINT3

- ◇ 支持 1 个外部按键中断 KINT，最多支持 8 个输入端（KIN0~KIN7）。注：外部可用 6 个输入端，KIN4 和 KIN6 不可用。
- ◇ 支持独立的可配置内部弱上/下拉输入端口
 - 常温下，匹配精度在±3%以内（VDD=5V）
- ◇ 支持可配置大电流端口
- ◆ 复位及时钟
 - ◇ 内嵌上电复位电路 POR
 - ◇ 内嵌下电复位电路 BOR
 - ◇ 内嵌低电压检测中断电路
 - ◇ 支持外部复位
 - ◇ 支持独立硬件看门狗定时器
 - 支持 WDT 计数周期匹配寄存器
 - ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 支持内部分频选择，最低可分频至 32KHz
 - 出厂校准精度为±2%（常温 25℃）
 - ◇ 支持内部低频 32KHz RC 振荡器时钟源（作为 WDT 时钟源，且可配置为系统时钟源）
 - ◇ 支持外部振荡器时钟源
 - ◇ 支持时钟频率范围 32KHz~20MHz
 - ◇ 支持高低速系统时钟切换
- ◆ 外设
 - ◇ 2 路 8 位 PWM 时基定时器 T8P1/T8P2
 - 定时器模式
 - 支持可配置预分频器及可配置后分频器
 - 计数器的初值可配置
 - 支持最高 9 位 PWM 输出精度
 - 支持 PWM 互补输出，且死区时间软件可配置
 - 支持中断产生
 - ◇ 模拟数字转换器 ADC
 - 支持 12 位数字转换精度
 - 支持 6 通道模拟输入端
 - 支持电源电压检测，电源分压比可选
 - 支持外部参考源
 - 支持内部参考源（参考源为 VDD/4V/3V/2.1V 可选）
 - ◇ 支持中断产生
- ◆ 低功耗特性
 - ◇ IDLE 电流
 - 3uA@5.0V，BOR/WDT 使能，25℃，典型值
 - ◇ 动态电流
 - 20uA@32KHz，3.0V，25℃，典型值

- 2mA@16MHz, 5.0V, 25°C, 典型值
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - ◇ 支持编程代码加密保护

RF 收发器特性:

- ◆ 通讯特性
 - ◇ 使用国际通用的 2.4GHz ISM 工作频段 2402MHz~2483MHz
 - ◇ 支持 GFSK 调制方式
 - ◇ 支持 250Kbps/1Mbps 两种数据速率
 - ◇ 支持数字 RSSI 测量
 - ◇ 支持 4 PIPE 多逻辑通道传输
- ◆ 接收机灵敏度 (0.1%BER)
 - ◇ -89dBm@1Mbps
 - ◇ -93dBm@250Kbps
- ◆ 发射机输出功率
 - ◇ 支持发射机输出功率手动或自动控制: -40dBm ~ +8dBm
- ◆ 功耗特性
 - ◇ 发射机输出功率在 0dBm 时, 芯片功耗约为 23mA
 - ◇ 接收机工作时, 芯片功耗约为 20mA
 - ◇ IDLE 模式电流约为 1.7mA
 - ◇ SLEEP 模式电流约为 25uA
 - ◇ POWER DOWN 模式下电流约为 1.5uA
- ◆ 时钟电路
 - ◇ 支持 12/16MHz 石英晶体振荡器

1.2 系统框图

HW2171B 的整体系统框图如下图所示：

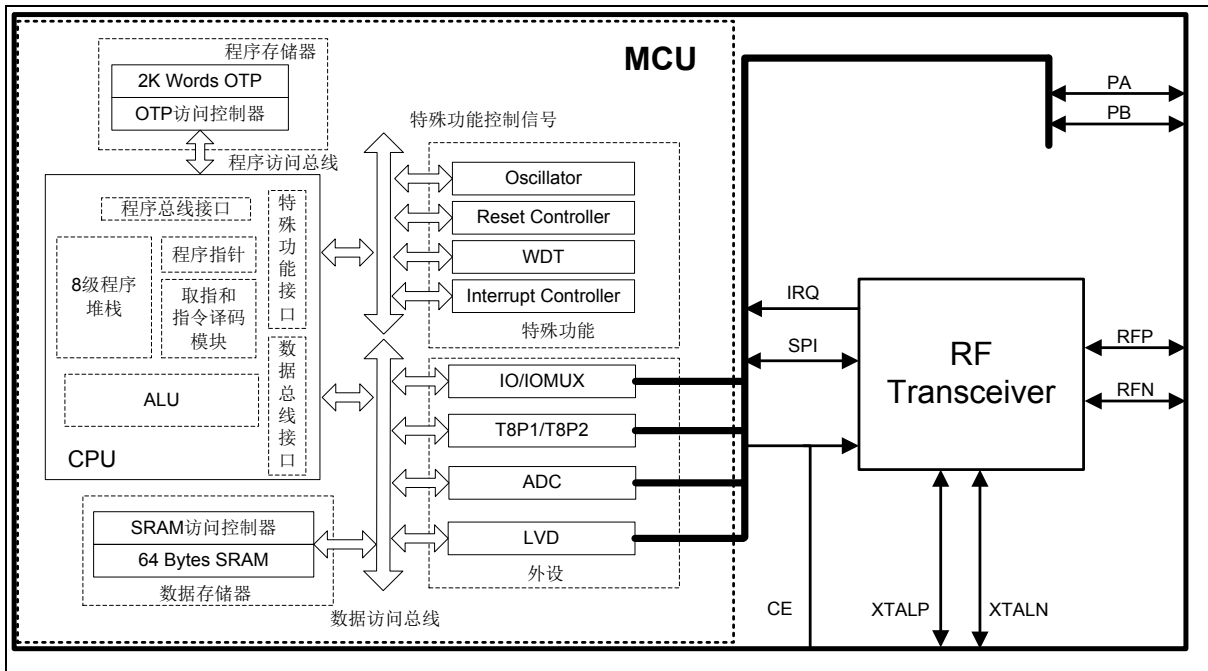


图 1-1 系统内部结构框图

1.3 管脚分配图

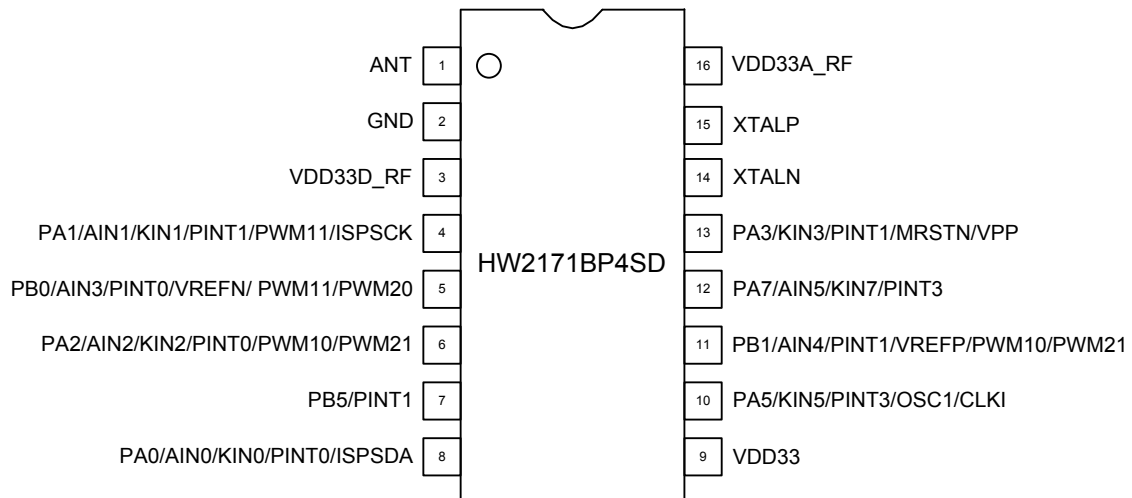


图 1-2 管脚分配图

1.3.1 管脚说明

管脚编号	管脚名称	管脚功能	管脚说明
1	ANT	射频端	RF 收发器射频端接口，外接 RF 匹配网络
2	GND	地线	地线（0V）
3	VDD33D_RF	数字电源输入	RF 收发器的数字电源输入端
4	PA1/AIN1/KIN1/PINT1/PWM11/ISPSCK	通用输入输出	ISP 串行编程/调试时钟输入，可复用为 ADC 输入、外部中断输入、PWM 输出等
5	PB0/AIN3/PINT0/VREFN/PWM11/PWM20	通用输入输出	通用 IO，可复用为 ADC 输入、外部中断输入、PWM 输出等
6	PA2/AIN2/KIN2/PINT0/PWM10/PWM21	通用输入输出	通用 IO，可复用为 ADC 输入、外部中断输入、PWM 输出等
7	PB5/PINT1	通用输入输出	通用 IO，可复用为外部中断输入等
8	PA0/AIN0/KIN0/PINT0/ISPSDA	通用输入输出	ISP 串行编程/调试数据输入输出，可复用为 ADC 输入、外部中断输入等
9	VDD33	数字电源输入	MCU 的数字电源输入端
10	PA5/KIN5/PINT3/OSC1/CLKI	通用输入输出	通用 IO，可作外部中断输入、外部晶振输入等
11	PB1/AIN4/PINT1/VREFP/PWM10/PWM21	通用输入输出	通用 IO，可复用为 ADC 输入、外部中断输入、PWM 输出等
12	PA7/AIN5/KIN7/PINT3	通用输入输出	通用 IO，可作 ADC 输入、外部中断输入、等
13	PA3/KIN3/PINT1/MRSTN/VPP	通用输入	通用输入口，可复用为外部复位输入、编程高压输入、外部中断输入等
14	XTALN	模拟输出	RF 收发器晶体振荡器的输出端

管脚编号	管脚名称	管脚功能	管脚说明
15	XTALP	模拟输入	RF 收发器晶体振荡器的输入端
16	VDD33A_RF	模拟电源输入	RF 收发器的模拟电源输入端

表 1-1 管脚说明表

1.3.2 管脚复用说明

下面给出复用管脚的具体复用情况：

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA0/AIN0/KIN0/PINT0/ ISPSDA	PA0	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN0	—	—	A	ADC 模拟通道 0	
	KIN0	TTL	—	D	外部按键唤醒输入 0	
	PINT0	TTL	—	D	外部端口中断输入 0	
	ISPSDA	TTL	CMOS	D	串行编程数据输入输出	
PA1/AIN1/KIN1/PINT1/ PWM11/ISPSCK	PA1	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN1	—	—	A	ADC 模拟通道 1	
	KIN1	TTL	—	D	外部按键唤醒输入 1	
	PINT1	TTL	—	D	外部端口中断输入 1	
	PWM11	—	CMOS	D	T8P1 PWM 输出	
	ISPSCK	TTL	—	D	串行编程时钟输入	
PA2/AIN2/KIN2/PINT0/P WM10/PWM21	PA2	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN2	—	—	A	ADC 模拟通道 2	
	KIN2	TTL	—	D	外部按键唤醒输入 2	
	PINT0	TTL	—	D	外部端口中断输入 0	
	PWM10	—	CMOS	D	T8P1 PWM 互补输出	
	PWM21	—	CMOS	D	T8P2 PWM 输出	
PA3/KIN3/PINT1/MRSTN/ VPP	PA3	TTL	CMOS	D	通用 I	可单独使能 弱上拉
	KIN3	TTL	—	D	外部按键唤醒输入 3	
	PINT1	TTL	—	D	外部端口中断输入 1	
	MRSTN	TTL	—	D	主复位输入	
	VPP	Power	—	—	OTP 编程高压输入	
	KIN4	TTL	—	D	外部按键唤醒输入 4	
	PINT2	TTL	—	D	外部端口中断输入 2	
	OSC2	—	CMOS	A	晶振/谐振器输出	
	CLKO	—	CMOS	D	Fosc/16 参考时钟输出	
PA5/KIN5/PINT3/OSC1/ CLKI	PA5	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	KIN5	TTL	—	D	外部按键唤醒输入 5	
	PINT3	TTL	—	D	外部端口中断输入 3	
	OSC1	TTL	—	A	晶振/谐振器输入	
	CLKI	TTL	—	A/D	时钟输入	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA7/AIN5/KIN7/PINT3	PA7	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN5	—	—	A	ADC 模拟通道 5	
	KIN7	TTL	—	D	外部按键唤醒输入 7	
	PINT3	TTL	—	D	外部端口中断输入 3	
PB0/AIN3/PINT0/VREFN/ PWM11/PWM20	PB0	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN3	—	—	A	ADC 模拟通道 3	
	PINT0	TTL	—	D	外部端口中断输入 0	
	VREFN	—	—	A	ADC 外部参考电压负端	
	PWM11	—	CMOS	D	T8P1 PWM 输出	
PB1/AIN4/PINT1/VREFP/ PWM10/PWM21	PB1	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	AIN4	—	—	A	ADC 模拟通道 4	
	PINT1	TTL	—	D	外部端口中断输入 1	
	VREFP	—	—	A	ADC 外部参考电压正端	
	PWM10	—	CMOS	D	T8P1 PWM 互补输出	
	PWM21	—	CMOS	D	T8P2 PWM 输出	
	PINT1	TTL	—	D	外部端口中断输入 1	
PB5/PINT1	PB5	TTL	CMOS	D	通用 I/O	可单独使能 弱上/下拉
	PINT1	TTL	—	D	外部端口中断输入 1	
VDD	VDD	Power	—	—	电源	—
VSS	VSS	Power	—	—	地, 0V 参考点	—

表 1-2 管脚说明

注 1: A = 模拟, D = 数字; MRSTN 表示低电平有效;

注 2: 除 PA3 外, 所有通用数据 I/O 均为 TTL 施密特输入和 CMOS 输出驱动, PA3 为 TTL 输入;

注 3: T8P1、T8P2 的 PWM 输出和互补输出可配置端口输出;

1.3.3 内部连线

MCU 和 RF 收发器的数字接口是直接内部连接的，内部连接关系如下表所示：

序号	RF 收发器(I/O)	MCU(I/O)	说明
1	CSN(I)	PA6(O)	RF 收发器 SPI 的片选输入口（低有效），内部与 MCU 的 PA6 相连，PA6 需设置为输出口。
2	SCK(I)	PB2(O)	RF 收发器 SPI 的时钟输入口，内部与 MCU 的 PB2 相连，PB2 需设置为输出口。
3	MOSI(I)	PB3(O)	RF 收发器 SPI 的输入口，内部与 MCU 的 PB3 相连，PB3 需设置为输出口。
4	MISO(O)	PB4(I)	RF 收发器 SPI 的输出口，内部与 MCU 的 PB4 相连，PB4 需设置为输入口。
5	IRQ(O)	—	RF 收发器中断输出口内部悬空，故不能使用中断方式，只能用查询方式访问。
6	CE(I)	—	RF 收发器芯片使能输入端，内部接 3.3V 电源端，即默认使能。

表 1-3 内部连线

1.3.4 MCU悬空脚注意事项

需要注意 MCU 内部悬空脚在初始化编程时，应该设置为输出低电平，以保证芯片的正常工作。悬空脚的说明如下表所示：

序号	MCU 悬空管脚名	设置状态	特殊寄存器<bit>
1	PA4	输出低电平	PAT<4>

表 1-4 MCU 悬空管脚说明表

1.3.5 HW2171B和HW2171 差异管脚对照

HW2171B 的部分管脚连接与上一版 HW2171 不同，需要在使用时注意。下面给出差异管脚对照，如下表所示：

管脚名	HW2171B	HW2171
PA4	内部悬空	外部连接
PB5	外部连接	内部悬空
CE	内部接电源端	外部连接，可接 GPIO 口或者电源端。

表 1-5 两个版本芯片的差异管脚对比表

第 2 章 MCU—内核特性

2.1 CPU内核概述

- ◆ 内核特性
 - 高性能哈佛型 RISC CPU 内核
 - 79 条精简指令
 - 系统时钟工作频率最高为 20MHz
 - 机器周期为 2 个系统时钟周期
 - 支持中断处理，共 12 个中断源

2.2 系统时钟和机器周期

系统时钟频率（Fosc）最高支持 20MHz。两个系统时钟周期通过片内时钟生成器产生两个不重叠的正交时钟 phase1（p1），phase2（p2）。

两个不重叠的正交时钟周期组成一个机器周期。若系统时钟频率为 4MHz，一个机器周期的时间为 500ns。

2.3 指令集概述

采用 HR7P 系列 79 条精简指令集系统。

除部分条件跳转与控制程序流程的指令为双（机器）周期指令外，其他指令均为单（机器）周期指令。具体指令集请参考《第 9 章 MCU—指令集》。

2.4 特殊功能寄存器

CPU 相关寄存器包括 11-bit 程序计数器 PCRL/PCRH，程序状态字寄存器 PSW 和累加器 A 寄存器 AREG。其中程序状态寄存器 PSW 用于存放各个状态标志位，包括程序出栈/压栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
POR	x	0	0	x	x	x	x	x

“x”：未知

- Bit 7 保留未用
- Bit 6 UF: 程序出栈溢出标志位
 0: 程序出栈未溢出
 1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
 0: 程序压栈未溢出
 1: 程序压栈溢出
- Bit 4 N: 负数标志位
 0: 有符号算术或逻辑运算结果为正数
 1: 结果为负数
- Bit 3 OV: 溢出标志位
 0: 有符号算术运算未发生溢出
 1: 发生溢出
- Bit 2 Z: 零标志位
 0: 算术或逻辑运算的结果不为零
 1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
 0: 低四位无进位或低四位有借位
 1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
 0: 无进位或有借位
 1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作，包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作，只根据运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位，仅上电复位、复位指令和 MRSTN 复位会将其清零，其他复位不影响该两位标志位。

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 AREG<7:0>: 累加器的值

PCRL: 程序计数器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCR<7:0>: 程序计数器低 8 位

PCRH: 程序计数器高 3 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	PCR<10:8>		
R/W	—	—	—	—	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~3 保留未用

Bit 2~0 PCR<10:8>: 程序计数器高 3 位

第 3 章 MCU—存储资源

3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◆ 2K Words OTP 程序存储器；
- ◆ 64 字节 SRAM

其中 OTP 程序存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 程序存储器

3.2.1 概述

OTP 程序存储器用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此 2K Words OTP 程序存储器被映射到程序寻址空间为 $000_H \sim 7FF_H$ ，其中 $7E0_H \sim 7FF_H$ 为保留区。每个访问地址对应 16 位宽（2 个字节）的存储单元。通过 11 位程序计数器 PC 进行程序寻址访问。

复位向量位于 000_H ，中断向量入口地址位于 004_H ，支持 8 级硬件堆栈。

3.2.2 程序区地址映射示意图

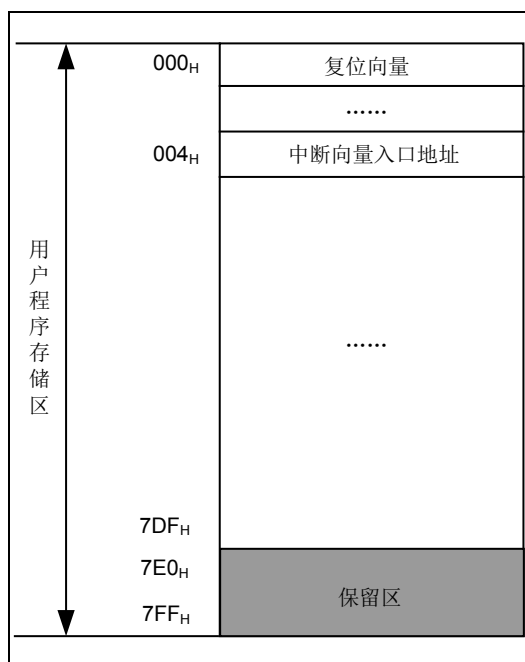


图 3-1 程序区地址映射

3.2.3 程序计数器 (PC)

程序计数器中存放的是要执行的下一条指令的地址。PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。11 位程序计数器 PC<10:0>，无实际物理地址，不可读写，可寻址 2K 程序存储空间 $000_H \sim 7FF_H$ ，超出地址范围会导致 PC 循环（又从 000_H 开始访问）。

PC<7:0>可通过 PCRL 寄存器的读/写操作进行读/写，而 PC<10:8>通过 PCRH 寄存器来间接（如 RCALL、CALL、GOTO 等指令）赋值。

芯片复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

注：各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<10:8>=PCRH<2:0>，因此，修改 PC 时，应先修改 PCRH<2:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<10:8>=PCRH<2:0>。
3. 执行 CALL，GOTO 指令时，PC<10:0>为指令中 11 位立即数 I（操作数）。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<10:0>被修改为该 16 位立即数 I 的值的低 11 位；同时 PCRH<2:0>被修改为 I<10:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数 I（操作数）。PC<10:0> 被修改为该 16 位立即数 I 的值低 11 位，同时 PCRH<2:0>修改为 I<10:8>的值。
6. 执行 PAGE 指令时，PCRH<7:3>的值将被该指令的立即数 I 替换。（本芯片的程序存储器大小为 2K Words，因此 PCRH<7:3>被固定为全零，执行 PAGE 指令后 PC 值不受影响）
7. 执行其他指令时，PC 值自动加 1。

应用实例：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVl    pageaddr
MOVA    PCRH      ; 设置表格页面地址
MOVl    tableaddr ; 设置偏移量给 A 寄存器
CALL    TABLE   ; 调用子程序方式查表
.....
TABLE:
ADD     PCRL, F   ; PC 加上偏移量，指向访问的地址
RETIA   0X01
RETIA   0X02
RETIA   0X03
.....

```

3.2.4 程序堆栈

芯片内有 8 级程序堆栈（硬件堆栈），堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值返回至 PC。

程序堆栈只支持 8 级缓冲操作，即程序堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。芯片复位后，堆栈指针将重新指向堆栈顶部。

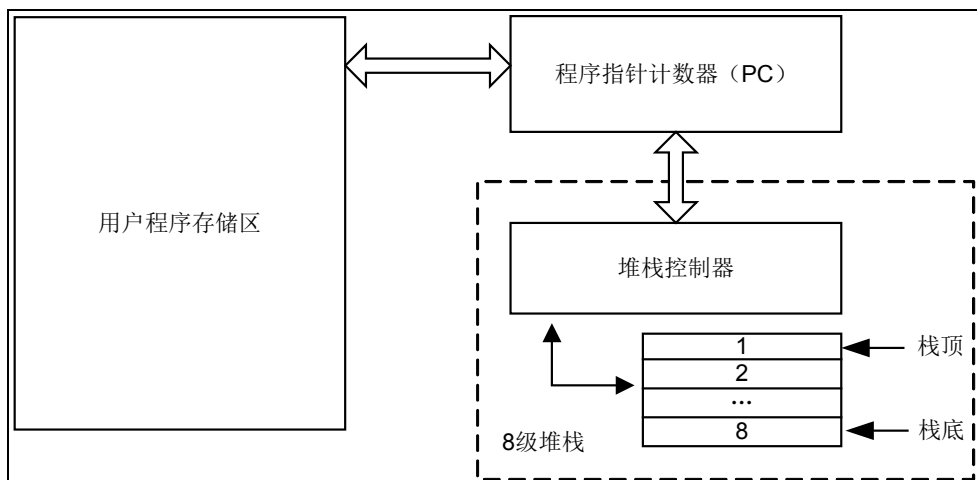


图 3-2 堆栈示意图

3.3 IAP访问OTP操作

3.3.1 OTP存储器

OTP 存储器是一次可编程存储器，在 VPP 复用端口施加高压 8.45V 时，可通过 IAP 对未编程过的 OTP 地址单元进行软件控制编程。IAP 写入操作以字 (Word) 为单位，通过 FRA (FRAH, FRAL) 寻址。当 OTP 存储器进行 IAP 写入操作时 CPU 内核暂停执行，需要软件关闭全局中断使能位 GIE (INTG<7>)，并判断 GIE 寄存器是否清零成功，如未被清零，则需再次执行软件清零操作，直到清零成功，外设可按预设状态继续运行，外设的中断请求将置位相应的中断标志。当 IAP 写入操作完成时，CPU 内核恢复执行，软件再使能全局中断使能位 GIE，进行相应的中断处理。

3.3.2 查表指令

HR7P 79 条指令集中包含 8 条查表指令。

查表读指令：

查表读指令用于将 FRA (FRAH, FRAL) 所指向的 OTP 地址单元中的一个字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

- ◇ TBR
- ◇ TBR#1
- ◇ TBR_1
- ◇ TBR1#

查表写指令：本芯片查表写指令保留未用。

- ◇ TBW
- ◇ TBW#1
- ◇ TBW_1
- ◇ TBW1#

查表指令的具体操作可参考《第 9 章 MCU—指令集》

3.3.3 IAP编程

IAP 编程操作通过 IAPC 控制寄存器将 ROMD (ROMDH, ROMDL) 中的内容写入 FRA (FRAH, FRAL) 指向的 OTP 地址单元。IAP 编程访问地址空间范围 200_H~7DF_H。建议每个地址编程完成，查表读出验证是否成功，如果不成功需返回编程操作，直到读出验证成功后再编程后续地址空间。单地址编程，编程时间至少为 2ms。

应用例程 1: IAP 编程

```

MOVI    0x02                ; 将 55AAH 写入 OTP 的 0210H 地址单元
MOVA    FRAH
MOVI    0x10
MOVA    FRAL
MOVI    0xAA
MOVA    ROMDL
MOVI    0x55
MOVA    ROMDH
BCC     INTG, GIE           ; 关闭全局中断
JBC     INTG, GIE           ; 判断全局中断是否清零
GOTO    $-2
BSS     IAPC, IAPEN         ; 使能 IAP 操作
BSS     IAPC, IAPGO         ; 触发 IAP 操作
WAIT:
JBC     IAPC, IAPGO
GOTO    WAIT
BSS     INTG, GIE           ; 开全局中断
.....

```

应用例程 2: IAP 查表读

```

MOVI    0x02                ; 读取数据存储器 0210H 单元
MOVA    FRAH
MOVI    0x10
MOVA    FRAL
TBR
; 查表读指令，读取数据到 ROMDH/L 寄存器
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..

```

3.3.4 特殊功能寄存器

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 FRA<7:0>：查表地址低 8 位

FRAH：查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 FRA<15:8>：查表地址高 8 位

ROMDL：查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 ROMD<7:0>：查表数据低 8 位

ROMDH：查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 ROMD<15:8>：查表数据高 8 位

IAPC：IAP 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAPEN	—	—	—	—	—	IAPGO	—
R/W	R/W	—	—	—	—	—	R/W	—
POR	0	0	0	0	0	0	0	0

“x”：未知

Bit 7 IAPEN：IAP 使能位
0：关闭
1：使能（仅在 VPP 输入高压时有效）

Bit 6~2 保留未用

Bit 1 IAPGO：IAP 编程启动位
0：未启动编程操作，或操作已完成
1：启动编程操作（软件置 1 启动操作，操作完成后硬件自动清零）（仅在 VPP 输入高压时有效）

Bit 0 保留未用

3.4 数据存储器

3.4.1 概述

- ◇ 数据存储器由 2 部分组成
 - 通用数据存储器 GPR
 - 特殊功能寄存器 SFR
- ◇ 通用数据存储器 GPR
 - 共 1 个存储体组
 - 64 字节，地址范围 00_H~3F_H
- ◇ 特殊功能寄存器 SFR
 - 128 个特殊寄存器
 - 地址范围 FF80_H~FFFF_H
- ◇ 支持 2 种寻址方式
 - 直接寻址
 - 间接寻址

3.4.2 数据区地址映射

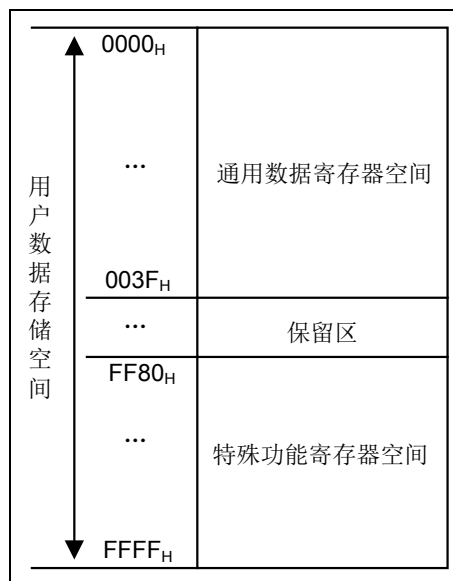


图 3-3 数据区地址映射示意图

3.4.3 通用数据存储器

通用数据存储器被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储器空间为 64 Bytes，地址范围为 0000_H~003F_H。通用数据存储器的内容在上电复位后是不确定的，未下电的其他复位后，将保存复位前的内容。

3.4.4 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 128 个特殊寄存器，地址范围 FF80_H~FFFF_H。大多数寄存器都是可以读写的，仅有少数部分寄存器不对外开放。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	INTG	FFC0 _H	T8P1PEX
FF81 _H	IAAL	FFA1 _H	LVDC	FFC1 _H	T8P2PEX
FF82 _H	IAAH	FFA2 _H	INTF1	FFC2 _H	—
FF83 _H	—	FFA3 _H	INTE1	FFC3 _H	—
FF84 _H	PSW	FFA4 _H	INTC1	FFC4 _H	—
FF85 _H	AREG	FFA5 _H	OSCCAL	FFC5 _H	—
FF86 _H	IAPC	FFA6 _H	WDTCAL	FFC6 _H	ADCCL
FF87 _H	FRAL	FFA7 _H	PWRC	FFC7 _H	ADCCH
FF88 _H	FRAH	FFA8 _H	OSCC	FFC8 _H	ADCRL
FF89 _H	ROMDL	FFA9 _H	WKDC	FFC9 _H	ADCRH
FF8A _H	ROMDH	FFAA _H	OSCP	FFCA _H	ADCTR
FF8B _H	PCRL	FFAB _H	WDTC	FFCB _H	—
FF8C _H	PCRH	FFAC _H	PWEN	FFCC _H	—
FF8D _H	—	FFAD _H	—	FFCD _H	—
FF8E _H	PA	FFAE _H	—	FFCE _H	—
FF8F _H	PAT	FFAF _H	—	FFCF _H	CALPROT
FF90 _H	PB	FFB0 _H	WDTP	FFD0 _H	—
FF91 _H	PBT	FFB1 _H	—	FFD1 _H	—
FF92 _H	—	FFB2 _H	T8P1	FFD2 _H	—
FF93 _H	—	FFB3 _H	T8P1C	FFD3 _H	—
FF94 _H	N_PAD	FFB4 _H	T8P1P	FFD4 _H	—
FF95 _H	N_PBD	FFB5 _H	T8P1R	FFD5 _H	—
FF96 _H	N_PAU	FFB6 _H	T8P1PMC
FF97 _H	N_PBU	FFB7 _H	T8P1OC	FFD8 _H	—
FF98 _H	—	FFB8 _H	T8P2	FFD9 _H	—
FF99 _H	—	FFB9 _H	T8P2C	FFFA _H	—
FF9A _H	—	FFBA _H	T8P2P	FFFB _H	—
FF9B _H	PINTS	FFBB _H	T8P2R	FFFC _H	—
FF9C _H	ANS	FFBC _H	T8P2PMC	FFFD _H	—
FF9D _H	INTF0	FFBD _H	T8P2OC	FFFE _H	—
FF9E _H	INTE0	FFBE _H	T8P1PDT	FFFF _H	—
FF9F _H	INTC0	FFBF _H	T8P2PDT		

注：“—”为保留空间，未使用

图 3-4 特殊功能寄存器空间

3.4.5 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址和间接寻址。

3.4.5.1 直接寻址

在直接寻址时，指令中的 8 位地址信息用于 GPR 和 SFR 寻址。当指令中的 8 位地址信息 R<7:0>小于 80_H时，直接寻址 GPR 映射区。当 R<7:0>大于或等于 80_H时，直接寻址 SFR 映射区。

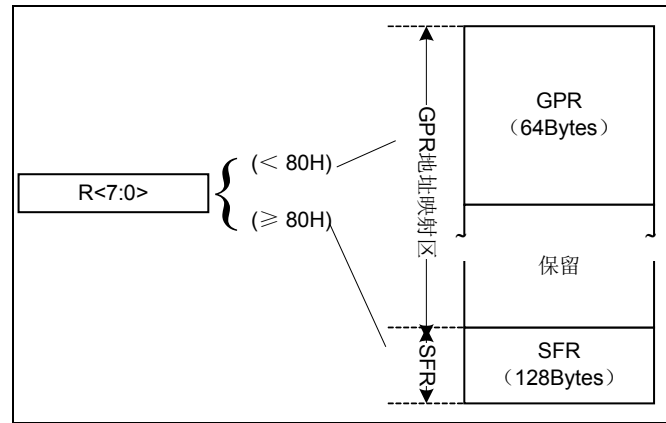


图 3-5 普通直接寻址示意图

3.4.5.2 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD 间接访问数据寻址空间中的存储单元，寻址空间为 0000_H~ FFFF_H。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

由于 IAD 寄存器本身也映射到数据寻址空间的 FF80_H 地址，因此，当 IAA 存放的地址值为 FF80_H 时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出为 00_H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接寻址寄存器 IAAH/IAAL 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为 -128~127。虽然只有 8 位立即数，但是该条指令对整个 IAA(IAAL 和 IAAH)进行 16 位计算。计算的结果依然存放于 IAAL 和 IAAH 中。

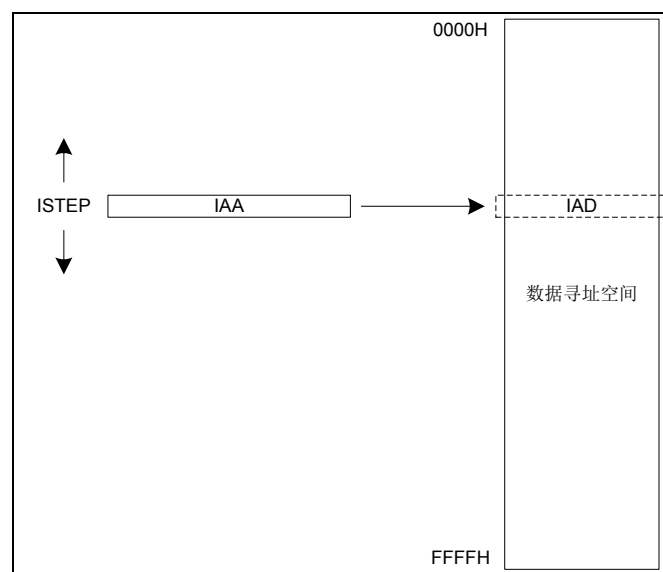


图 3-6 间接寻址示意图

应用例程：采用间接寻址将（020_H~02F_H）的寄存器清零。

```

.....
CLR   IAAH
MOVI  0X20      ; 对指针初始化
MOVA  IAAL      ; IAA 指向 RAM
    
```

NEXT1:

```

CLR   IAD      ; 清零 IAD 寄存器
ISTEP 0X01     ; 指针 IAA 内容加 1
JBS   IAAL, 4  ;
GOTO  NEXT1    ; 未完成，循环到下一个单元清零
    
```

CONTINUE: ; 已经完成，继续执行后面的程序

.....

3.4.6 特殊功能寄存器

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<7:0>: 间接寻址索引低 8 位

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAA<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IAA<15:8>: 间接寻址索引高 8 位

第 4 章 MCU—输入/输出端口

4.1 概述

输入/输出端口是 MCU 的最基本组成部分，MCU 最多支持 13 个可用的 I/O 端口和 1 个输入端口。一个输入端口 PA3 是 TTL 输入，其它所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。其中，4 个 I/O 端口和 RF 内连，一个 I/O 端口内部悬空，不可用。

- ◇ PA 输入/输出端口功能组件
 - ◇ 7 位双向输入/输出和 1 位输入端口
 - ◇ TTL/SMT 输入和 CMOS 输出驱动
 - ◇ 端口输入/输出控制寄存器 (PAT)
 - ◇ 端口弱上拉控制寄存器 (N_PAU)
 - ◇ 端口弱下拉控制寄存器 (N_PAD)
 - ◇ PA0~PA7 支持外部按键中断功能
 - ◇ PA0~PA2, PA7 I/O 端口数模选择寄存器 (ANS)
- ◇ PB 输入/输出端口功能组件
 - ◇ 6 位双向输入/输出端口
 - ◇ TTL/SMT 输入和 CMOS 输出驱动
 - ◇ 端口输入/输出控制寄存器 (PBT)
 - ◇ 端口弱上拉控制寄存器 (N_PBU)
 - ◇ 端口弱下拉控制寄存器 (N_PBD)
 - ◇ PB0~PB5 支持外部端口中断功能
 - ◇ PB0~PB1 I/O 端口数模选择寄存器 (ANS)

注 1: 当端口设置为输出、外部振荡器时钟端口时，内部弱上/下拉自动禁止。

4.2 结构框图

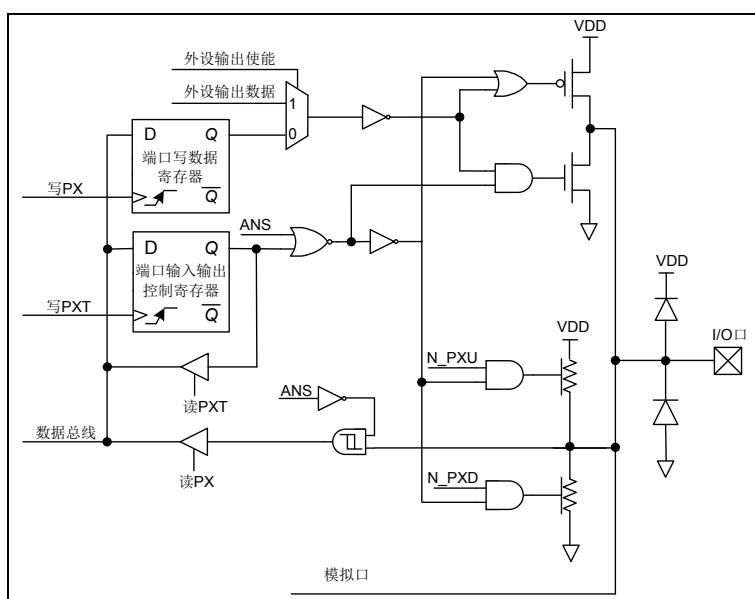


图 4-1 输入/输出端口结构图——PA0~PA2, PA7, PB0~PB1

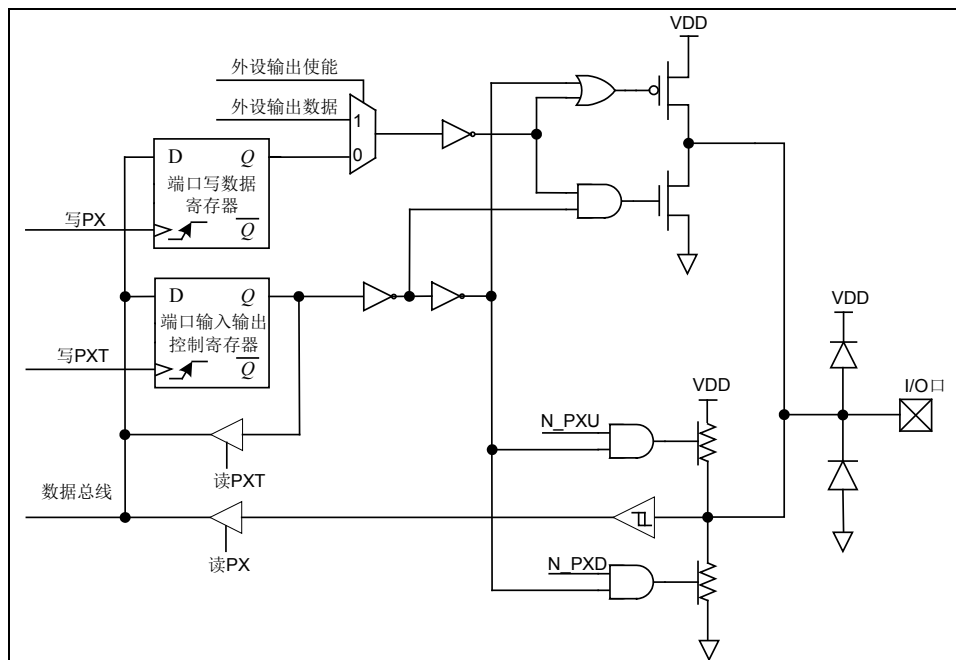


图 4-2 输入/输出端口结构图——PA4~PA6, PB2~PB5

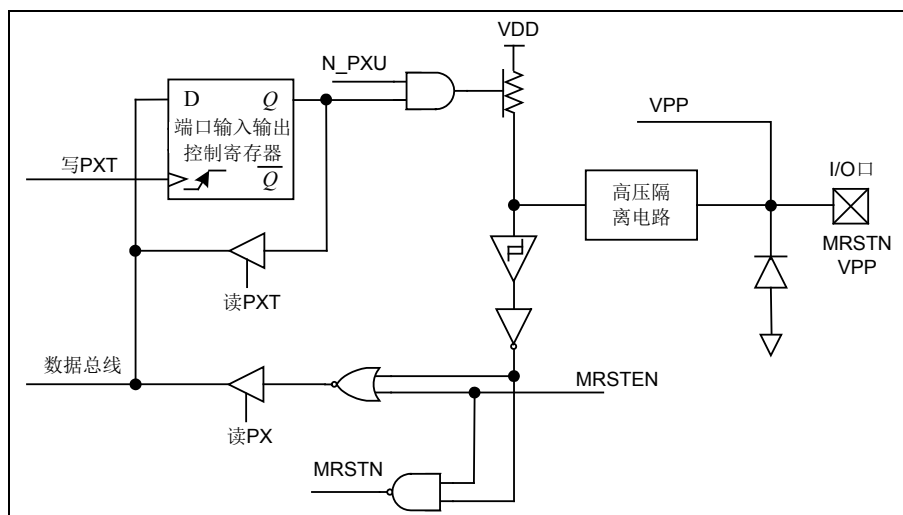


图 4-3 输入端口结构图——PA3

注 1: PA3 端口对应的 PAT 控制位始终为 1, 即 PA3 只能作输入用。

注 2: 除 ISP/IAP 操作外, PA3/MRSTN/VPP 管脚电压不能高于芯片电源电压。

4.3 I/O端口功能设置

4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力, 端口控制寄存器 PxT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时, I/O 端口输出 Px 寄存器内容, 即相应 I/O 端口电平状态, 读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时, 读取 Px 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上拉、弱下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。本芯片中只有 PA3 端口默认弱上拉使能，其它所有端口均提供独立的弱上、下拉功能，可通过软件独立配置。

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	-	-

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	-	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	-	-	-

表 4-2 I/O 端口弱下拉

4.3.3 I/O端口大电流控制功能

寄存器 N_PBD<5> (PLCS) 可控制端口 PA (PA7-4, PA2-0), PB (PB5-0) 的电流驱动能力。

4.3.4 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中 PA0~PA2, PA7, PB0~PB1 端口均具有独立的模拟/数字信号选择功能，由 ANS 寄存器控制选择。当端口被配置为模拟端口时，读相应 Px 寄存器始终读到“0”。

4.3.5 I/O端口复用功能

为了使资源合理利用最优化，本芯片大部分的 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 端口中断

4.4.1 按键中断 (KINT)

本芯片外部端口支持 1 组外部按键中断。按键中断支持最多 8 个按键输入端 KIN<7:0>, 8 个按键共用一个按键中断使能位 KIE (INTE0<0>) 及按键中断标志位 KIF (INTF0<0>), 每个输入端可以由相应的按键屏蔽位 KMSKx (INTC0<7:0>) 屏蔽, 任何其中一个按键中断产生将影响中断标志 KIF。(注, KIN4 和 KIN6 不可用。)

当 KINn 复用端口被配置为数字输入端口, 且 1 组中任何一个端口输入信号发生电平变化时, 将产生按键中断 KINT。使用外部按键中断时, 须配置相应的控制寄存器, 并且使能外部按键中断端口的内部弱上拉电阻。外部按键电平比较, 是比较按键输入端口电平与锁存器上的最后输入值。清除按键中断标志位前, 必须对相应复用端口进行一次读/写操作, 否则按键中断标志位无法被清除。在按键中断使能 (KMSKn=1, KIE=1) 前, 先对端口寄存器进行读或者写的操作, 清除中断标志位, 以免误产生中断。此中断能将芯片从睡眠状态唤醒。

管脚名	端口输入	按键屏蔽	中断使能	中断标志
PA0	KIN0	KMSK0	KIE	KIF
PA1	KIN1	KMSK1		
PA2	KIN2	KMSK2		
PA3	KIN3	KMSK3		
PA4	KIN4	KMSK4		
PA5	KIN5	KMSK5		
PA6	KIN6	KMSK6		
PA7	KIN7	KMSK7		

表 4-3 按键中断

(注, KIN4 和 KIN6 不可用。)

4.4.2 外部端口中断 (PINT)

本芯片外部端口支持 4 个外部端口中断, 外部中断源由外部中断选择位 PINT3S~PINT0S (PINTS<7:0>) 选择。外部端口中断由相应的 PIE3~PIE0 (INTE1<3:0>) 使能, 通过 PEG3~PEG0 (INTC1<3:0>) 选择上升沿触发还是下降沿触发。当 PINTn 复用端口被配置为数字输入端口, 且输入信号变化满足触发条件时, 将产生 PINTn 外部端口中断, 中断产生将影响相应的中断标志 PIFn (INTF1<3:0>)。此中断能将芯片从睡眠状态唤醒。

管脚名	中断源选择位	端口输入	边沿选择	中断名	中断使能	中断标志
PA0 PA2 PB0 PB4	PINT0S<1:0>	PINT0	PEG0	PINT0	PIE0	PIF0
PA1 PA3 PB1 PB5	PINT1S<1:0>	PINT1	PEG1	PINT1	PIE1	PIF1
PA6 PA4 PB2	PINT2S<1:0>	PINT2	PEG2	PINT2	PIE2	PIF2
PA7 PA5 PB3	PINT3S<1:0>	PINT3	PEG3	PINT3	PIE3	PIF3

表 4-4 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的操作 (除位操作指令) 时, 芯片实际执行读-修改-写过程, 即先读取该组全部 I/O 端口的电平, 修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位, 不会影响同组其它 I/O 端口。因此建议用户对单个 I/O 的修改采用位操作指令。此外用户在对 I/O 端口的复用功能使能和关闭时, 应充分考虑当前 I/O 端口的输出寄存器值, 并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

输入/输出端口的设置包括一系列的寄存器控制，PX 寄存器用于显示 PX 端口的电平状态，PXT 寄存器用于设置 PX 端口的输入输出状态，N_PXU / N_PXD 用于设置 PX 端口的弱上拉 / 弱下拉电阻的连接状况。ANS 用于设置 PX 端口的数据类型。

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”: 未知

Bit 7~0 PA<7:0>: PA 端口电平状态
 0: 低电平
 1: 高电平

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~6 PAT<7:6>: PA<7:6>端口输入输出状态选择位
 0: 输出状态
 1: 输入状态

Bit 5~4 PAT<5:4>: PA<5:4>端口输入输出状态选择位（复用为外部振荡端口时，为模拟端口，此两位硬件固定为 1）
 0: 输出状态
 1: 输入状态

Bit 3 PAT3: 硬件固定为 1，该端口只能用作输入

Bit 2~0 PAT<2:0>: PA<2:0>端口输入输出状态选择位
 0: 输出状态
 1: 输入状态

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PB5	PB4	PB3	PB2	PB1	PB0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	x	x	x	x	x	x

“x”: 未知

Bit 7~6 保留未用

Bit 5~0 PB<5:0>: PB 端口电平状态
 0: 低电平
 1: 高电平

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7~6 保留未用
 Bit 5~0 PBT<5:0>: PB 端口输入输出状态选择位
 0: 输出状态
 1: 输入状态

N_PAU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	1	1

Bit 7~0 N_PAU <7:0>: PA 端口内部弱上拉控制位
 0: 使能
 1: 禁止

N_PBU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	N_PBU5	N_PBU4	N_PBU3	N_PBU2	N_PBU1	N_PBU0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7~6 保留未用
 Bit 5~0 N_PBU <5:0>: PB 端口内部弱上拉控制位
 0: 使能
 1: 禁止

N_PAD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	N_PAD7	N_PAD6	N_PAD5	N_PAD4	—	N_PAD2	N_PAD1	N_PAD0
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~4 N_PAD <7:4>: PA 端口内部弱下拉控制位
 0: 使能
 1: 禁止
 Bit 3 保留未用
 Bit 2~0 N_PAD <2:0>: PA 端口内部弱下拉控制位
 0: 使能
 1: 禁止

N_PBD: PB 端口弱下拉/大电流控制寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PLCS	N_PBD4	N_PBD3	N_PBD2	N_PBD1	N_PBD0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	1	1	1	1	1

Bit 7~6 保留未用

Bit 5 PLCS: 大电流驱动端口 PA (PA7-4, PA2-0) /PB (PB5-0) 控制位

0: 禁止

1: 使能

Bit 4~0 N_PBD <4:0>: PB 端口内部弱下拉控制位

0: 使能

1: 禁止

注: PB5 端口弱下拉硬件固定为禁止。

ANS: I/O 端口数模选择寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWM20NS	PWM10NS	ANPA7	ANPB1	ANPB0	ANPA2	ANPA1	ANPA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 PWM20NS: PWM20 输出极性控制位

0: 和 PWM21 输出反相

1: 和 PWM21 输出同相

Bit 6 PWM10NS : PWM10 输出极性控制位

0: 和 PWM11 输出反相

1: 和 PWM11 输出同相

Bit 5 ANPA7: PA7 端口数模选择位(AIN5)

0: 模拟端口

1: 数字端口

Bit 4 ANPB1: PB1 端口数模选择位(AIN4)

0: 模拟端口

1: 数字端口

Bit 3 ANPB0: PB0 端口数模选择位(AIN3)

0: 模拟端口

1: 数字端口

Bit 2 ANPA2: PA2 端口数模选择位(AIN2)

0: 模拟端口

1: 数字端口

Bit 1 ANPA1: PA1 端口数模选择位(AIN1)

0: 模拟端口

1: 数字端口

Bit 0 ANPA0: PA0 端口数模选择位(AIN0)

0: 模拟端口

1: 数字端口

第 5 章 MCU—特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有三种：外部晶体/陶瓷振荡器XTAL、内部高速RC振荡器(16MHz)和内部低速RC振荡器(32KHz)。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。外部LP振荡器和内部低速RC振荡器除了作为系统时钟源外，还可以为看门狗定时器等提供所需要的时钟源。

- ◇ 振荡器模式
 - 外部振荡器 (HS/XT/LP)
 - 内部 16MHz RC 振荡器 (可配置为 INTOSC 和 INTOSCO)
 - 内部 32KHz RC 振荡器
- ◇ 内部 16MHz RC 振荡器
 - 8 位校准寄存器 (OSCCAL)
 - 出厂前，在常温下已经校准到精度为±2%
 - 支持多种分频时钟
- ◇ 内部 32KHz RC 振荡器
 - 8 位校准寄存器 (WDTCAL)
- ◇ 系统时钟切换
 - HS/XT/INTOSCH 16MHz 振荡时钟与内部低速 INTOSCL 32KHz 时钟切换
 - 外部低速 LP 振荡时钟与内部高速 INTOSCH 16MHz 时钟切换
- ◇ 振荡和暂停
 - 在 IDLE0 模式下，振荡器暂停振荡
 - 在 IDLE1 模式下，振荡器保持振荡，系统时钟暂停

5.1.2 时钟源

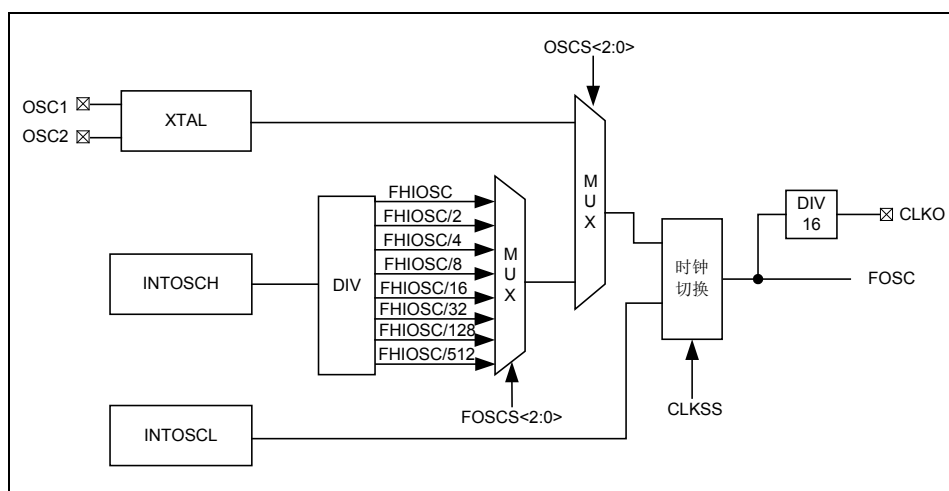


图 5-1 系统时钟内部结构图

5.1.2.1 外部时钟

外部时钟包括晶体/陶瓷振荡器模式 (HS/XT/LP)。对于晶体/陶瓷振荡器而言，只要简单地将晶体连接至 OSC1 和 OSC2 管脚间，就会产生振荡所需的相移及反馈。为保证振荡频率更精准，需连接两个小容量电容 C1 和 C2 到 VSS，具体数值与所使用的晶体/陶瓷振荡器有关，电容参考取值范围为 15~33pF。根据所选择的振荡器频率，可分为三种模式：HS 模式、XT 模式和 LP 模式。当芯片配置字 OSCS<2:0> = 000 时，选择 LP 模式；当 OSCS<2:0> = 010 时，选择 HS 模式；当芯片配置字 OSCS<2:0> = 100 时，选择 XT 模式。芯片配置字 OSCS<2:0> 客户通过编程界面选择。

◇ 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

- HS/XT 晶振起振稳定时间为 512 个系统时钟。LP 晶振设计为低功耗振荡，起振稳定时间约一秒左右。

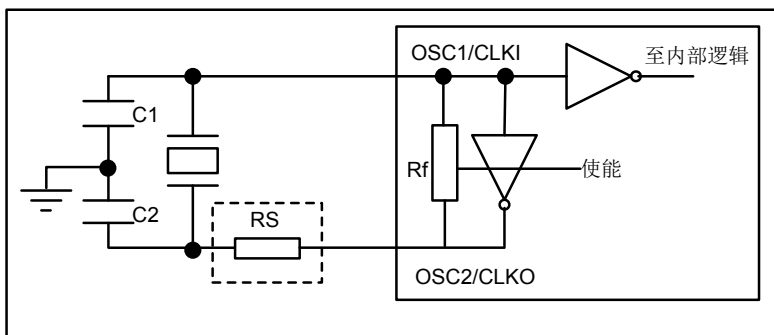


图 5-2 晶体/陶瓷振荡器模式 (HS、XT、LP 模式)

注：RS 为可选配置。

Osc Type	晶振频率	C1	C2
LP	32KHz	33pF	33pF
XT	1MHz	15 ~ 33pF	15 ~ 33pF
	4MHz		
HS	8MHz	15pF	15pF
	20MHz		

表 5-1 晶体振荡器电容参数参考表

注：此数据可根据晶振频率大小、外围电路的不同作微调。

5.1.2.2 内部高速 16MHz RC振荡器模式(INTOSCH)

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件。当配置字中的 OSCS<2:0>=000/110/111 且寄存器 OSCC 中的 CLKSS=1 时，选择内部 16MHz RC 作为系统时钟源，此时 PA2 和 PA3 管脚复用为通用 I/O 端口。INTOSCH 16MHz 最低可分频至 32KHz，出厂前，内置 16MHz RC 时钟振荡器已在常温下校准。芯片上电时，会自动加载校准值，客户不需要对校准寄存器 OSCCAL 进行任何操作。

5.1.2.3 内部低速 32kHz RC振荡器模式(INTOSCL)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT 计数时钟源，也可配置为主系统时钟源。当配置字中的 OSCS<2:0>=010/100/110/111 且寄存器 OSCC 中的

CLKSS=0时，选择内部32KHz RC作为系统时钟源，此时PA2和PA3管脚复用为通用I/O端口。芯片上电时，会自动加载校准值，客户不需要对校准寄存器WDTCAL进行任何操作。

5.1.3 系统时钟切换

高频时钟能提供系统更高的性能，低频时钟能够提供更低的功耗。因此，根据用户需要，灵活地安排高低频时钟切换，可以使系统在执行速度和功耗方面最优化。系统可软件设置寄存器位 CLKSS (OSCC<7>)，选择高、低速系统时钟。系统上电时，寄存器 CLKSS 的值默认为 0，工作在低速系统时钟模式下。

系统支持四种时钟切换：

- ◇ 内部低速 INTOSCL 32KHz 时钟切换到内部高速 INTOSCH/外部高速 HS/XT 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=010/100/110/111;
 - 设置 OSCC 寄存器中的 CLKSS=1;
 - 检测 OSCC 寄存器中的 HSOSCF 位，直到检测到 HSOSCF=1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_HS 位，直到检测到 SW_HS=1;
- ◇ 内部高速 INTOSCH/外部高速 HS/XT 时钟切换到内部低速 INTOSCL 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=010/100/110/111;
 - 设置 OSCC 寄存器中的 CLKSS=0;
 - 检测 OSCC 寄存器中的 WDTOSCF 位，直到检测到 WDTOSCF =1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_WDT 位，直到检测到 SW_WDT =1;
- ◇ 外部低速 LP 时钟切换到 INTOSCH 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=000;
 - 设置 OSCC 寄存器中的 CLKSS=1;
 - 检测 OSCC 寄存器中的 HSOSCF 位，直到检测到 HSOSCF=1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_HS 位，直到检测到 SW_HS=1;
- ◇ 内部高速 INTOSCH 时钟切换到外部低速 LP 时钟
 - 设置芯片配置字 CFG_WD 中的 OSCS<2:0>=000;
 - 设置 OSCC 寄存器中的 CLKSS=0;
 - 检测 OSCC 寄存器中的 LPOS CF 位，直到检测到 LPOS CF =1;
 - 等待一条 NOP 指令;
 - 检测 PWEN 寄存器的 SW_LP 位，直到检测到 SW_LP =1;

系统时钟来源	OSCS<2:0>位	CLKSS 位
LP	000	0
HS	010	1
XT	100	1
INTOSCH	000	1
	110	1
	111	1
INTOSCL	010	0
	100	0

系统时钟来源	OSCS<2:0>位	CLKSS 位
	110	0
	111	0

表 5-2 振荡模式切换选择

5.1.3.1 系统上电时序

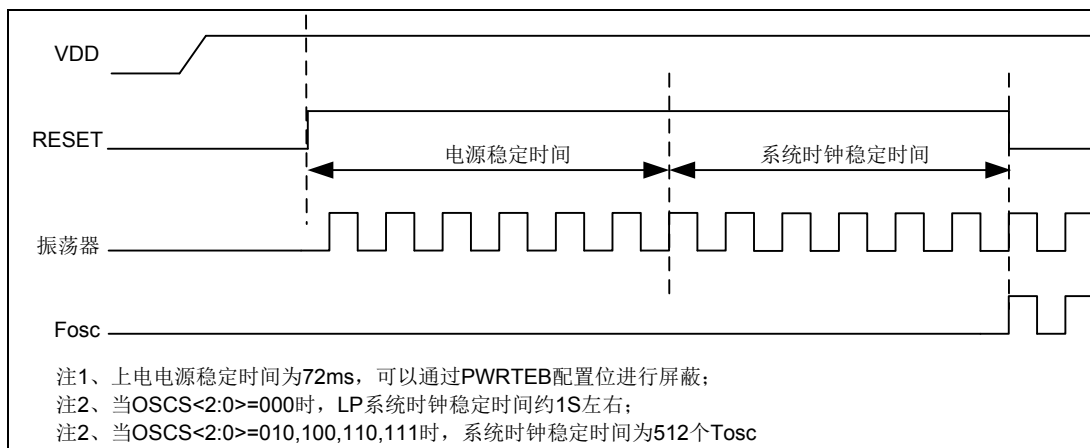


图 5-3 系统上电时序图

5.1.3.2 系统时钟切换时序

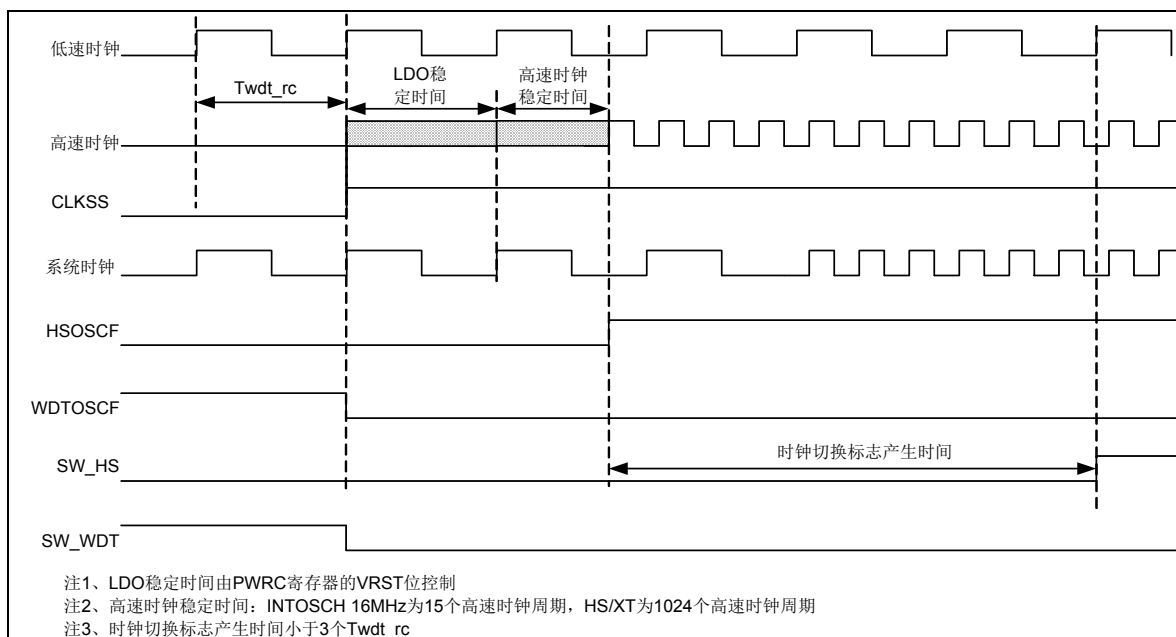


图 5-4 INTOSCL 时钟切换到 INTOSCH/HS/XT 时钟

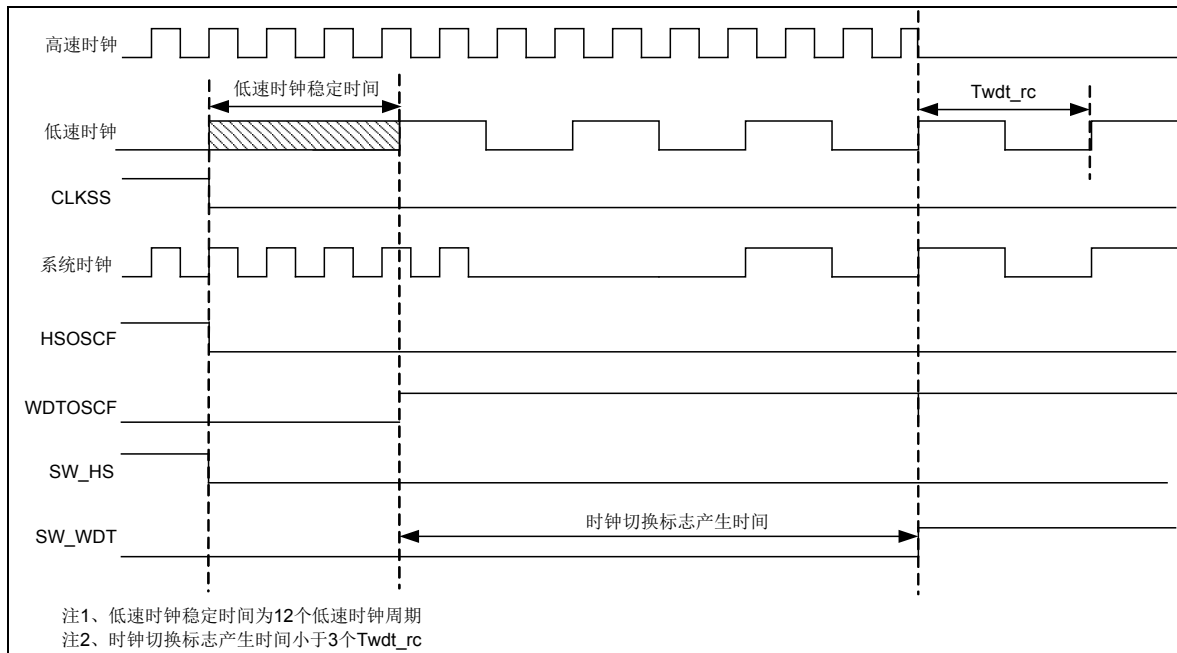


图 5-5 INTOSCH/HS/XT 时钟切换到 INTOSCL 时钟

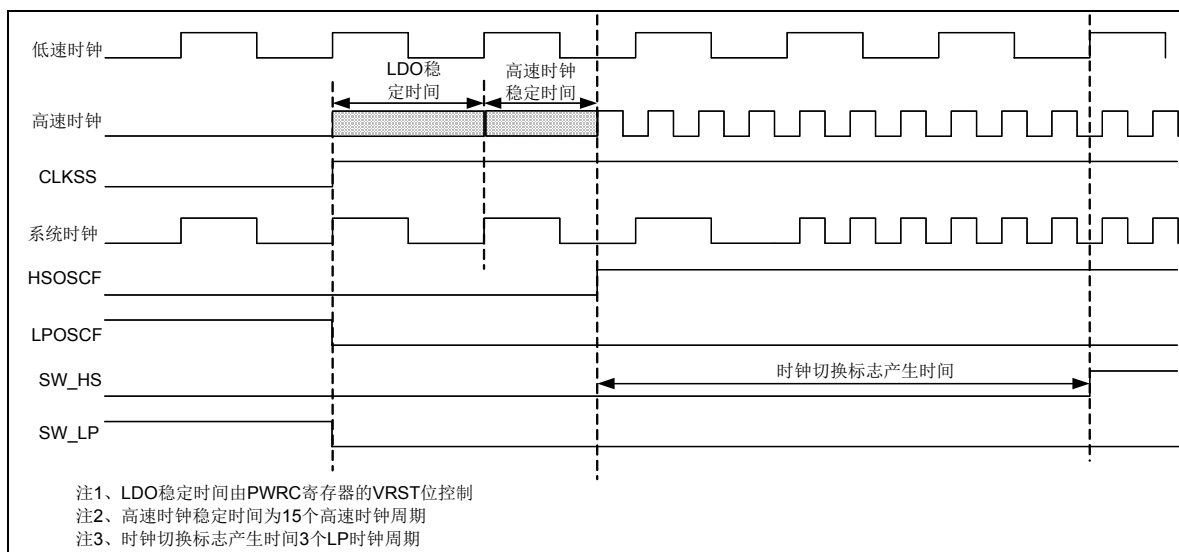


图 5-6 低速 LP 时钟切换到 INTOSCH 时钟

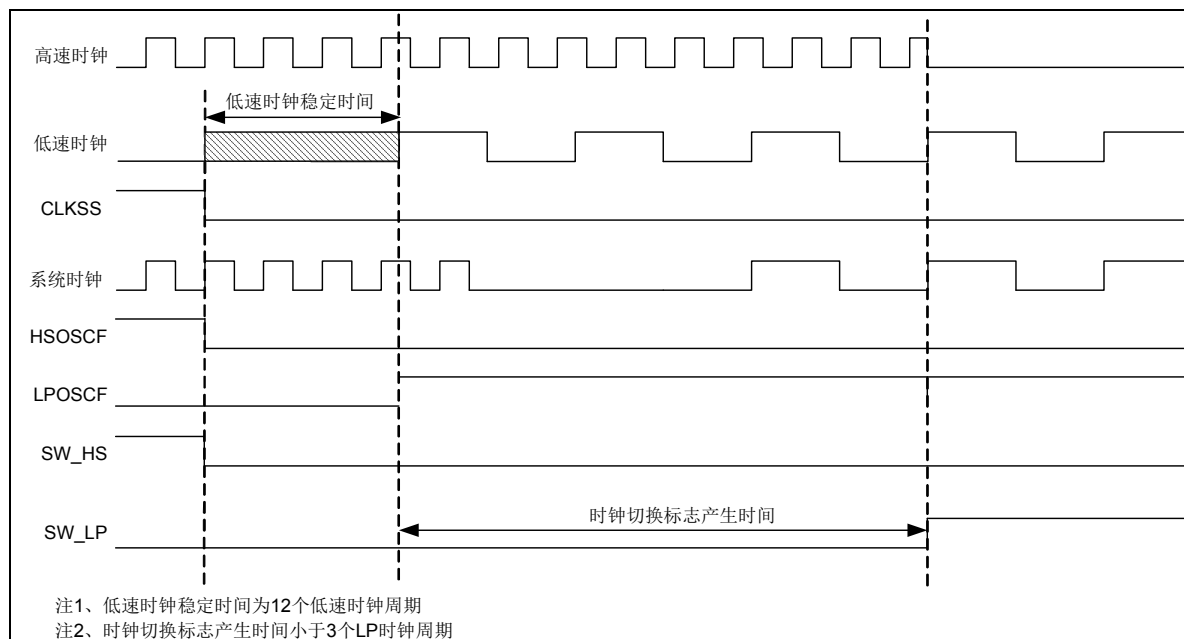


图 5-7 INTOSCH 时钟切换到低速 LP 时钟

5.1.4 系统时钟分频

当系统时钟来源于内部高频时钟 INTOSCH 16MHz 时，系统时钟支持 1 个最大分频比为 1:512 的分频器，最低可分频至 32KHz，可通过 OSSC 寄存器中的 FOSCS<2:0>位进行选择分频比。

5.1.5 特殊功能寄存器

CALPROT: 校准值保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	CALPROT0
R/W	—	—	—	—	—	—	—	R/W
POR	0	0	0	0	0	0	0	1

Bit 7~1 保留未用

Bit 0 CALPROT0: 校准值保护位
1: 校准值处于保护状态
0: 校准值处于去除保护状态

当 CALPROT 寄存器写入 55_H 时，去除保护位，其他任何写入都是使能保护位。

注：CALPROT 保护的校准值寄存器为 OSCCAL、WDTCAL。

OSCCAL: 内部 16MHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	1	0	1	0	0	1

Bit 7~0 OSCCAL<7:0>: 内部 16MHz 时钟频率调节位

注：此寄存器受 CALPROT 寄存器保护。OSCCAL 寄存器主要是调整内部 16MHz 时钟的精度。在常温条件下，出厂时已经校准到 16MHz。如果没有特别需求，用户不需要设置此寄存器，以免覆盖芯片默认的时钟校准值。

OSCC: 时钟控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	CLKSS	FOSCS<2:0>			—	WDTOSCF	HSOSCF	LPOS CF
R/W	R/W	R/W	R/W	R/W	—	R	R	R
POR	0	1	1	0	0	1	0	x

- Bit 7 CLKSS: 低速时钟与高速时钟切换选择位
 当 OSCS<2:0>=000 时:
 0: 外部低速 LP 32KHZ 时钟源
 1: 内部高速 INTOSCH 16MHz 时钟源
 当 OSCS<2:0>=010/100/110/111 时:
 0: 内部低速 INTOSCL 32KHZ 时钟源
 1: 内部高速 INTOSCH 16MHz 或者外部高速 HS/XT 时钟源
- Bit 6~4 FOSCS<2:0>: 内部系统时钟频率选择位
 000: 32KHZ
 001: 125KHZ
 010: 500KHz
 011: 1MHz
 100: 2MHz
 101: 4MHz
 110: 8MHz
 111: 16MHz
- Bit 3 保留未用
- Bit 2 WDTOSCF: 内部 32KHz 稳定标志位
 0: 未稳定
 1: 稳定
- Bit 1 HSOSCF: 高速时钟稳定标志位
 0: 未稳定
 1: 稳定
- Bit 0 LPOS CF: 外部 LP 晶振稳定标志位
 0: 未稳定
 1: 稳定

OSCP: 时钟控制写保护寄存器								
Bit	7	6	5	4	3	2	1	0
Name	OSCP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

- Bit 7~0 OSCP<7:0>: 时钟控制写保护位
 OSCP 为 55_H 时，可以改变 FOSCS 和 CLKSS 位。当 FOSCS 和 CLKSS 被写时，OSCP 自动复位为 FF_H。
 OSCP 不为 55_H 时，对 FOSCS 和 CLKSS 的写操作将被忽略。

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	SW_WDT	SW_HS	SW_LP	—	—	RCEN	—
R/W	—	R	R	R	—	—	R/W	—
POR	0	1	0	0	0	0	1	1

- Bit 7,3~2 保留未用
- Bit 6 SW_WDT: 切换到内部低速 32KHz 时钟标志位
0: 切换未完成
1: 切换完成
- Bit 5 SW_HS: 切换到 HS/XT/INTOSCH 16MHz 高速时钟标志位
0: 切换未完成
1: 切换完成
- Bit 4 SW_LP: 切换到外部低速 LP 晶振时钟标志位
0: 切换未完成
1: 切换完成
- Bit 1 RCEN: WDT 内部 RC 时钟使能位 (软件设置 RCEN 为 1 使能)
当 CLKSS=1, 且在 IDLE 模式时:
0: 关闭 WDT 内部 RC 时钟
1: 使能 WDT 内部 RC 时钟
(非 IDLE 模式下, 和 RCEN 无关, RC 时钟一直使能)
当 CLKSS=0 时:
RCEN 固定为 1, 不可写
- Bit 0 保留未用

注 1: 建议客户软件设置 RCEN 为 1, 使能 WDT 内部 RC 时钟。

注 2: 如果需要频繁进行高、低速系统时钟切换, 必须进行相应切换完成标志位 SW_LP、SW_HS 和 SW_WDT 的判断。

5.2 看门狗定时器

5.2.1 概述

看门狗定时器是芯片的一个组成部分，它的功能在于在发生软件故障时，通过器件复位将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- WDT 计数周期匹配寄存器（WDTP）
- 唤醒功能
- 复位功能

◇ 内部 WDT RC 振荡器

- 定时器时钟源为内部 32KHz RC 时钟或外部 LP 振荡时钟
- 8 位 WDT 时钟校准寄存器（WDTCAL）
- 出厂前，在常温下已经将频率校准在±15%以内，其高低温频偏对 WDT 计数溢出周期的影响，见《电气特性》章节的描述

5.2.2 内部结构图

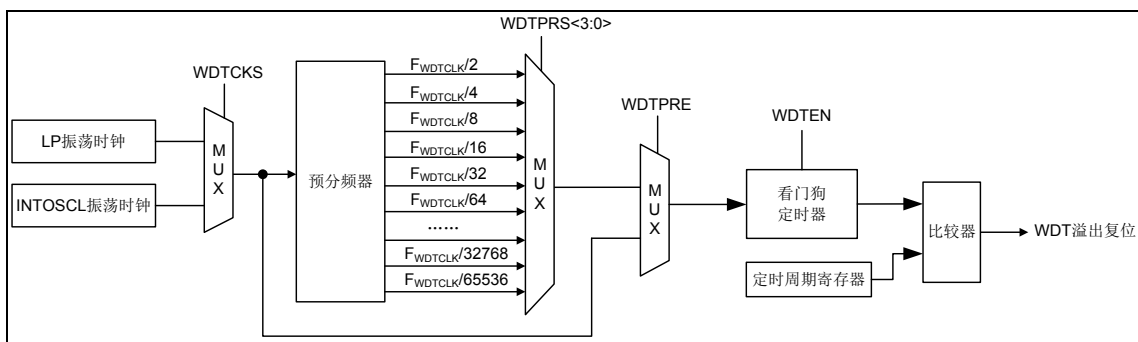


图 5-8 看门狗定时器内部结构图

5.2.3 WDT 定时器

芯片提供8位WDT定时计数器，通过芯片配置字WDTEN可使能硬件看门狗WDT。当芯片配置字WDTEN使能时，WDT定时器计数使能；当WDTEN关闭时，WDT定时器计数禁止。客户通过编程界面选择。

当配置字 OSCS<2:0>位配置为 LP 模式时，WDT 的计数时钟源有两种选择：内部 32KHz RC 时钟和外部 LP 振荡时钟。如果 WDTCKS=0 时，WDT 的计数时钟为 WDT RC 时钟；当 WDTCKS=1 时，WDT 的计数时钟为 LP 振荡时钟。

WDT 支持一个预分频器，可通过 WDTC 寄存器中的 WDTPRS<3:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。当 WDTPRE (WDTC<4>) 清零，禁止预分频器，WDT 时钟为 32KHz；当 WDTPRE (WDTC<4>) 置 1，使能预分频器。

WDT 支持一组可读/写的定时周期寄存器 WDTP，当看门狗计数到定时周期时，超时溢出。在 IDLE 模式下，WDT 计数溢出会唤醒 CPU；此外，WDT 计数溢出会复位芯片。为了避免不必要的复位，可使用 CWDT 指令适时清零 WDT 计数器。

在预分频器分频比为 1:2，且周期寄存器 WDTP 设置为 FF_H 时，WDT 使用内部 WDT 时钟进行计数，常温下时钟频率约为 32KHz，计数溢出时间约为 16ms。当禁止预分频器时，WDT 的计数溢出时间约为 8ms。其它工作条件下，WDT 的计数溢出时间，可参考《22.2 MCU 参数特性图》章节的相关图示。

值得注意的是，当 WDT 内部 RC 时钟使能位 RCEN=0 时，只在 IDLE 模式下看门狗禁止，其它工作模式下 WDT 的 RC 时钟一直打开，不受 RCEN 的影响。

注 1: WDT 定时器工作时，RCEN (PWEN<1>) 必须置 1。

5.2.4 特殊功能寄存器

WDT 的功能控制由 WDTC 寄存器和芯片配置字共同完成。WDT 功能的使能控制由芯片配置字控制，而 WDT 的时钟源选择、WDT 预分频器的使能控制以及 WDT 预分频器的分频比选择则由 WDTC 寄存器设置。此外，WDTP 寄存器用于设置 WDT 计数周期值，WDTCAL 寄存器用于内部 32KHz 时钟校准。

WDTCAL: 内部 32KHz 时钟校准寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTCAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	1	0	0

Bit 7~0 WDTCAL<7:0>: 内部 32KHz 时钟频率调节位

注: 此寄存器受 CALPROT 寄存器保护。WDTCAL 寄存器主要是调整内部 32KHz 时钟的精度。在芯片出厂前，已经设置好校准值，禁止用户程序改写该寄存器，否则会导致芯片对应的功能模块工作异常。

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTCKS	—	—	WDTPRE	WDTPRS<3:0>			
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	0	1	1	1

Bit 7 WDTCKS: WDT 计数时钟源选择位
0: 内部 WDT RC 时钟
1: 外部 LP 振荡时钟

Bit 6~5 保留未用

Bit 4 WDTPRE: WDT 预分频器使能位

0: 禁止
 1: 使能

Bit 3~0 WDTPRS <3:0>: WDT 预分频器分频比选择位

0000: 1:2
 0001: 1:4
 0010: 1:8
 0011: 1:16
 0100: 1:32
 0101: 1:64
 0110: 1:128
 0111: 1:256 (默认)
 1000: 1:512
 1001: 1:1024
 1010: 1:2048
 1011: 1:4096
 1100: 1:8192
 1101: 1:16384
 1110: 1:32768
 1111: 1:65536

WDTP: WDT 计数周期匹配寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WDTP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 WDTP<7:0>: WDT 计数周期值

5.3 复位模块

5.3.1 概述

复位功能是所有芯片中基本的部分，该芯片支持五种复位方式：

- ◇ 上电复位 POR
- ◇ 下电复位 BOR
- ◇ 外部端口 MRSTN 复位，低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

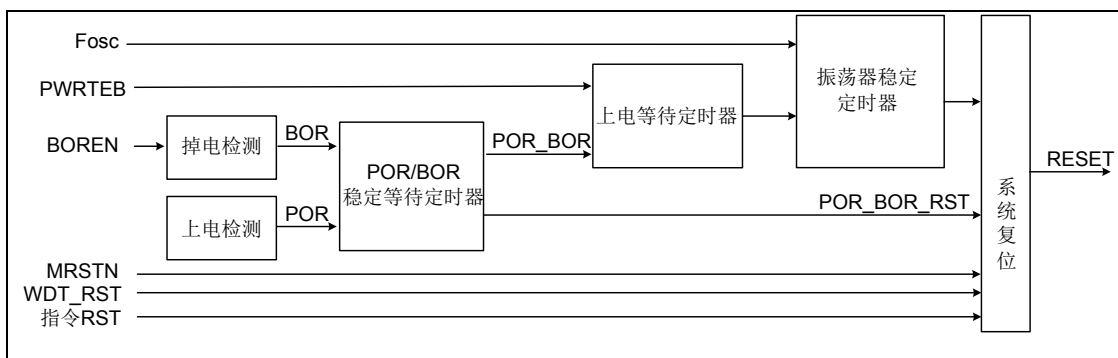


图 5-9 芯片复位原理图

5.3.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

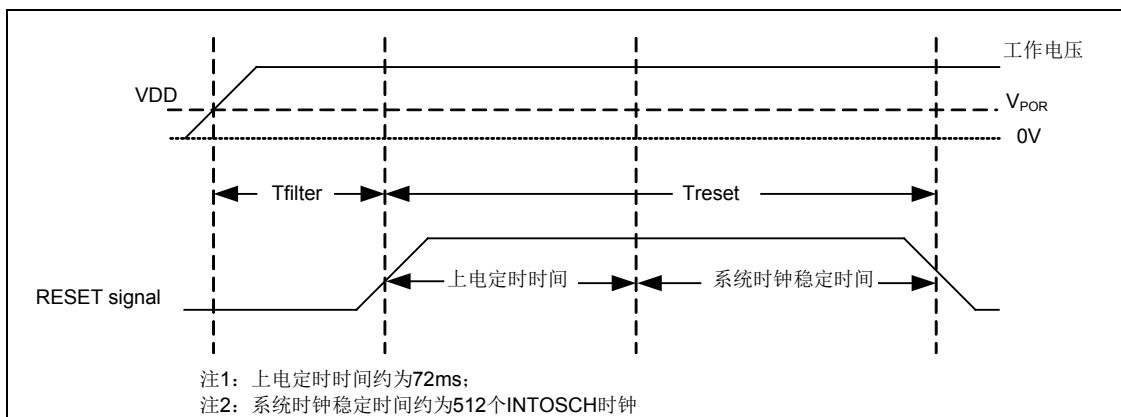


图 5-10 上电复位时序示意图

5.3.3 下电复位

下电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），下电复位可能会引起系统工作状态不正常或程序执行错误。

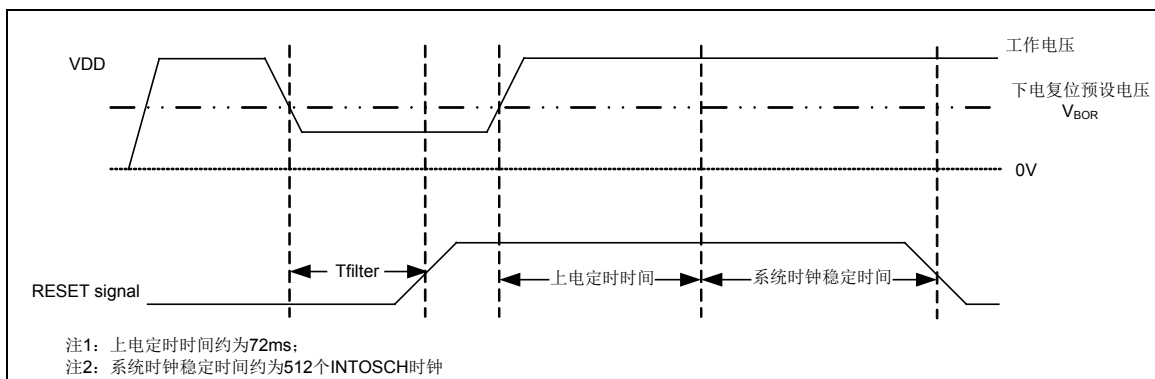


图 5-11 下电复位时序示意图

注 1: 72ms 等待稳定时间可以通过 PWRTEB 屏蔽。

注 2: 当配置为 HS/XT/INTOSCH 16MHz 模式时，晶振稳定时间为 512 x T_{osc};

当配置为 LP 模式时，晶振稳定时间大约为 1S 左右。

芯片下电复位使能和下电复位电压点可通过配置字 BORVS<1:0>位配置。

BORVS<1:0>	下电复位电压点配置	下电复位使能
11	低于 3.4V 时芯片复位	使能
10	低于 2.7V 时芯片复位	使能
01	低于 2.2V 时芯片复位	使能
00	—	禁止

表 5-3 下电复位电压点配置表

5.3.4 外部MRSTN管脚复位

芯片提供外部 MRSTN 管脚，当 CFG_WD<5> (MRSTEN) 为 1 时，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外，需要特别注意的是，禁止将 MRSTN 管脚直接连接到 VDD 上；禁止 MRSTN 管脚上的电压高于 VDD 电压。

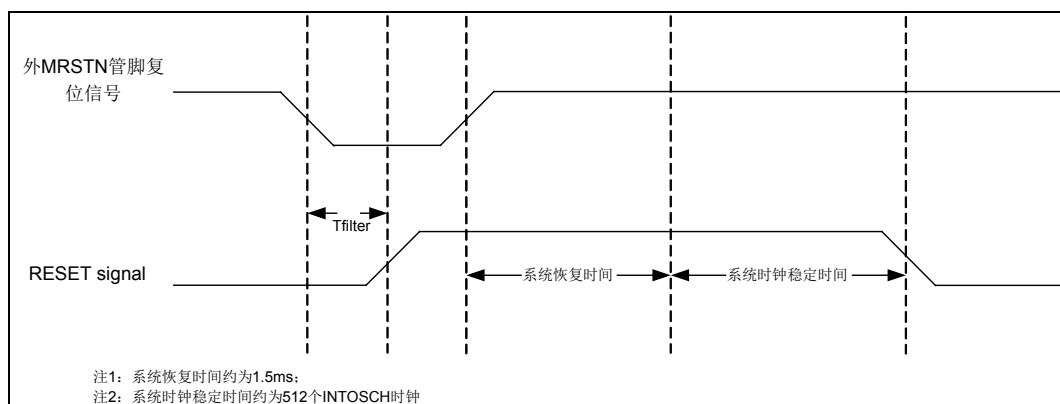


图 5-12 外部 MRSTN 管脚复位

外部 MRSTN 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

1. RC 复位

RC 复位电路是外部 MRSTN 脚复位电路最简单的一种, 对外界环境条件要求不高的情况下, 可以采用此种连接方式。

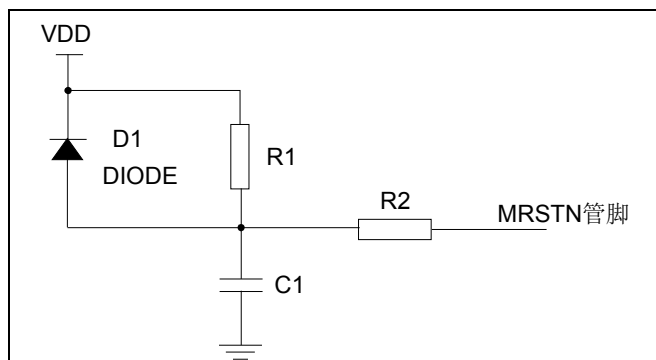


图 5-13 MRSTN 复位参考电路图 1

注：采样 RC 复位，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 (0.1 μF)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

2. PNP 三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

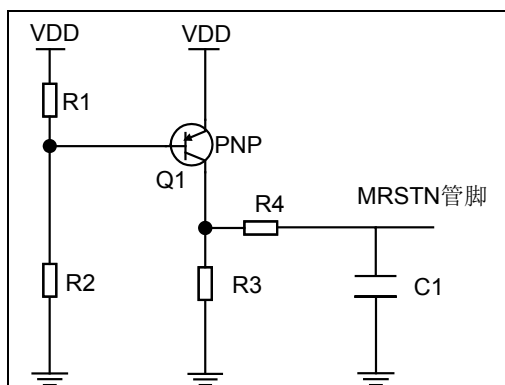


图 5-14 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 (2K Ω) 和 R2 (10K Ω) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 (20K Ω) 接地，另一路通过 R4 (1K Ω) 和 C1 (0.1 μF) 接地，C1 另一端作为 MRSTN 输入。

5.3.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器溢出，此时系统复位。看门狗溢出复位后，系统重启进入正常状态。

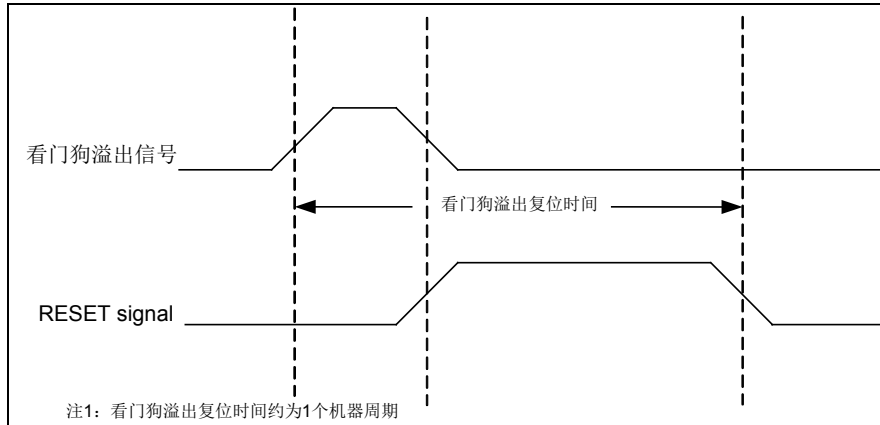


图 5-15 看门狗溢出复位

5.3.6 RST指令复位

整个芯片可通过执行 RST 指令复位，复位后，全部状态位都将被影响。

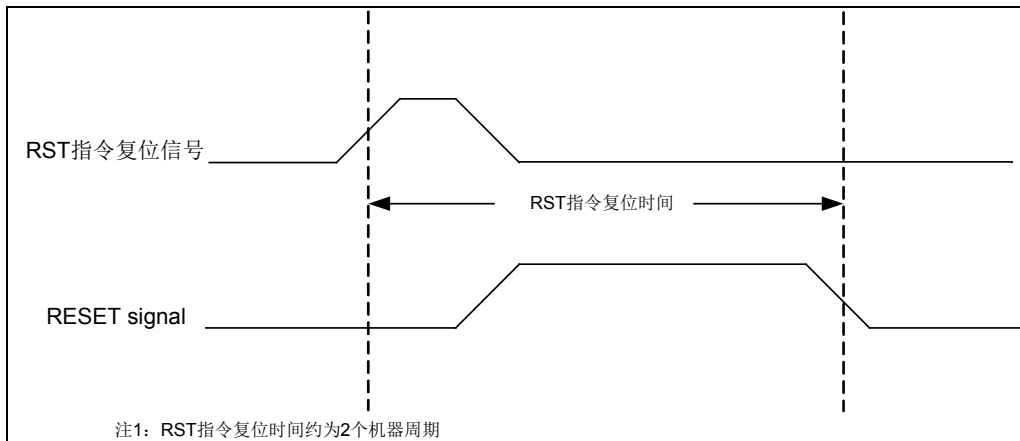


图 5-16 RST 指令复位

5.3.7 特殊功能寄存器

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR
R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
POR	0	1	0	1	1	1	0	x

“x”: 未知

- Bit 7 LPM: 休眠模式选择位
 0: IDLE0 模式
 1: IDLE1 模式
- Bit 6~5 VRST<1:0>: LDO 稳定时间控制寄存器
 当 CLKSS=1 时:
 00: LDO 稳定时间为 16 个内部 32KHz 时钟周期
 01: LDO 稳定时间为 32 个内部 32KHz 时钟周期
 10: LDO 稳定时间为 64 个内部 32KHz 时钟周期
 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
 当 CLKSS=0 时:
 11: LDO 稳定时间为 128 个内部 32KHz 时钟周期
 其它: LDO 稳定时间为 64 个内部 32KHz 时钟周期
- Bit 4 N_RSTI: 复位指令标志位
 0: 执行复位指令 (必须用软件置位)
 1: 未执行复位指令
- Bit 3 N_TO: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1
- Bit 2 N_PD: 低功耗标志位
 0: 执行 IDLE 指令后清零
 1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 N_POR: 上电复位状态位
 0: 上电复位发生 (上电复位后, 必须软件置位)
 1: 无上电复位发生
- Bit 0 N_BOR: 下电复位状态位
 0: 下电复位发生 (下电复位后, 必须软件置位)
 1: 无下电复位发生

注: LDO 为芯片内置供电模块, 给芯片内部电路模块供电。

5.4 低功耗操作

5.4.1 MCU低功耗模式

本芯片支持两种低功耗休眠模式：IDLE0 模式或 IDLE1 模式，通过设置 PWRC 寄存器位 LPM (PWRC<7>) 进行选择。

◇ 支持 IDLE0 模式

- 当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式：
- 时钟源停振（32KHz RC 时钟源除外），主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，同时需要考虑 LDO 稳定时间
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◇ 支持 IDLE1 模式

- 当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式：
- 时钟源保持运行，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- 支持低功耗唤醒，唤醒时间可配，最小 1 个机器周期
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.4.2 低功耗模式配置

两种低功耗模式 IDLE0 和 IDLE1 模式的选择由 PWRC 寄存器中的 LPM 位控制。当 LPM = 0 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 1 时，执行 IDLE 指令，芯片进入 IDLE1 模式。

低功耗模式	LPM
IDLE0 模式	0
IDLE1 模式	1

表 5-4 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为 VDD 或 VSS。为了避免输入管脚悬空而引入开关电流，应在外部将高阻输入的 I/O 管脚拉为高电平或低电平，MRSTN 管脚必须处于逻辑高电平。

5.4.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒源	中断屏蔽	中断使能	中断模式	备注
1	MRSTN	-	-	-	外部复位
2	WDT	-	-	-	WDT 溢出
3	KINT0	KMSK0	KIE	默认	外部按键中断
	KINT1	KMSK1			
	KINT2	KMSK2			
	KINT3	KMSK3			
	KINT4	KMSK4			
	KINT5	KMSK5			
	KINT6	KMSK6			
	KINT7	KMSK7			
4	PINT0	-	PIE0	默认	外部端口中断 0
5	PINT1	-	PIE1	默认	外部端口中断 1
6	PINT2	-	PIE2	默认	外部端口中断 2
7	PINT3	-	PIE3	默认	外部端口中断 3

表 5-5 休眠唤醒表

注 1: 低功耗唤醒与全局中断使能无关，只需相应中断源使能位置位为“1”即可。在低功耗模式时，若外设产生中断信号，即使全局中断使能 GIE 为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

注 2: 关于外部按键中断使用，当开启中断使能和中断屏蔽位使能前，先对端口寄存器进行读或者写的操作，然后清除中断标志位，以免误产生中断。

注 3: KINT6 不可用。

5.4.4 唤醒时序图

当唤醒事件发生后，芯片根据配置字 OSCS<2:0>的配置执行下述操作：

- ◇ 当 OSCS<2:0>配置为 HS/XT/INTOSCO/INTOSC 模式时：
 - 在 IDLE0 模式(LPM=0)下，芯片需要先等待 VRwkdly 时间(由 VRST(PWRC<6:5>) 设定)，此时间称为 LDO 稳定时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可通过 WKDC 寄存器设置；
 - 在 IDLE1 模式(LPM=1)下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 时间。
- ◇ 当 OSCS<2:0>配置为 LP 模式时：
 - 在 IDLE0 模式(LPM=0)下，芯片需要先等待 VRwkdly 时间(由 VRST(PWRC<6:5>) 设定)，此时间称为 LDO 稳定时间，接着芯片等待 LPwkdly 时间，之后芯片主时钟运行一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时可通过 WKDC 寄存器设置；
 - 在 IDLE1 模式(LPM=1)下，芯片仅等待 Twkdly 时间后就执行 IDLE 下一条指令，无 VRwkdly 和 LPwkdly 时间。

OCS 配置	低功耗模式	计算公式
所有模式	IDLE1 模式	$(WKDC[7:0]+1) \times 2 \text{ Tsc}$
非 LP 模式	IDLE0 模式	$VRwkdy + (WKDC[7:4] + 1) \times 16 \times 2 \text{ Tsc}$
LP 模式		$VRwkdy + LPwkdy + (WKDC[7:4] + 1) \times 16 \times 2 \text{ Tsc}$

表 5-6 休眠唤醒时间表

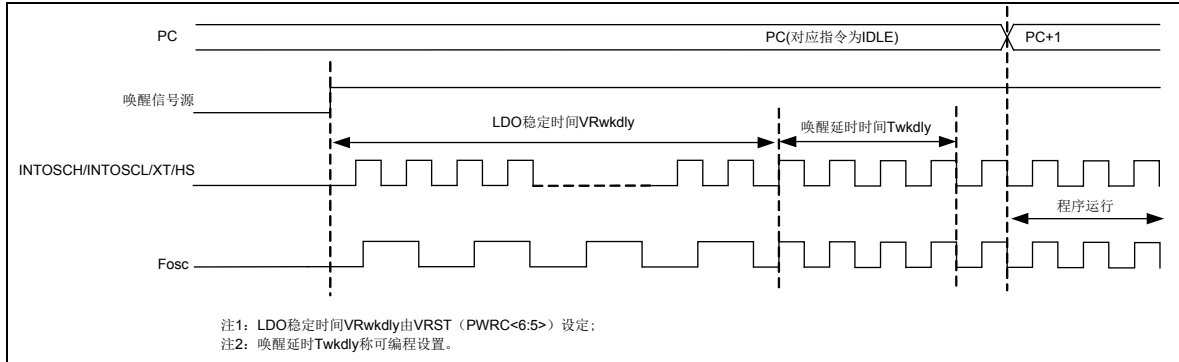


图 5-17 HS/XT/INTOSCO/INTOSC 模式时，系统唤醒 IDLE0 时序图

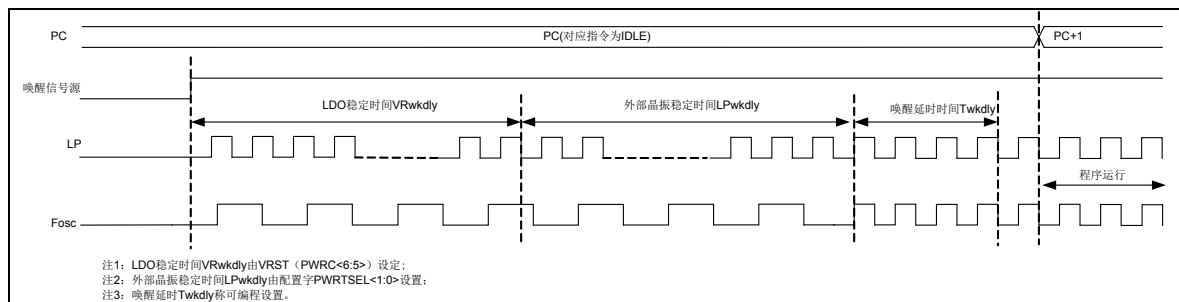


图 5-18 LP 模式时，系统唤醒 IDLE0 时序图

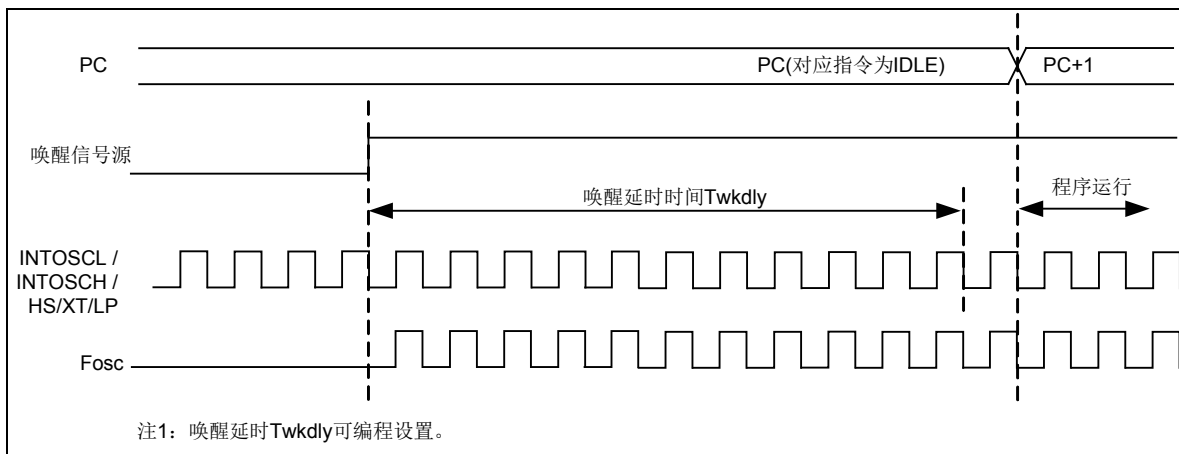


图 5-19 HS/XT/INTOSCO/INTOSC/LP 模式时，系统唤醒 IDLE1 时序图

5.4.5 特殊功能寄存器

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时时间设置位
 00_H: 延时最短

 FF_H: 延时最长

第 6 章 MCU—外设

6.1 8 位 PWM 时基定时器 (T8P1/T8P2)

6.1.1 概述

本芯片包含 2 组 PWM 时基定时器 (T8P1/T8P2)，支持两种工作模式，定时器模式和 PWM 模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。PWM 模式用于 PWM 输出。

- ◇ T8Pn 支持两种工作模式 (时钟源为系统时钟 2 分频 (Fosc/2))
 - 定时器模式
 - PWM 模式，支持最高 11 位 PWM 平均输出精度，支持 PWM 带死区互补输出，且死区时间软件可配置
- ◇ T8Pn 支持以下功能组件
 - 4 位的预分频器和 8 位后分频器 (无实际物理地址，软件不可读写)
 - 8 位计数器 (T8Pn)
 - 8 位精度寄存器 (T8PnR)
 - 8 位周期寄存器 (T8PnP)
 - 8 位周期缓冲器 (PRDBUF，无实际物理地址，软件不可读写)
 - 8 位精度缓冲器 (RESBUF，无实际物理地址，软件不可读写)
 - 8 位 T8Pn PWM 死区控制寄存器 (T8PnPDT)
 - 控制寄存器 (T8PnC)
 - T8PnPEX 后分频比扩展寄存器 (T8P1PEX/T8P2PEX)
 - T8Pn 周期匹配控制寄存器 (T8P1PMC/T8P2PMC)
 - T8Pn 输出控制寄存器 (T8P1OC)
- ◇ 中断和暂停
 - 支持匹配中断标志 (T8PnTIF) 和周期中断 (T8PnPIF)
 - 支持中断处理
 - 在 IDLE 模式下，T8Pn 暂停工作

6.1.2 内部结构图

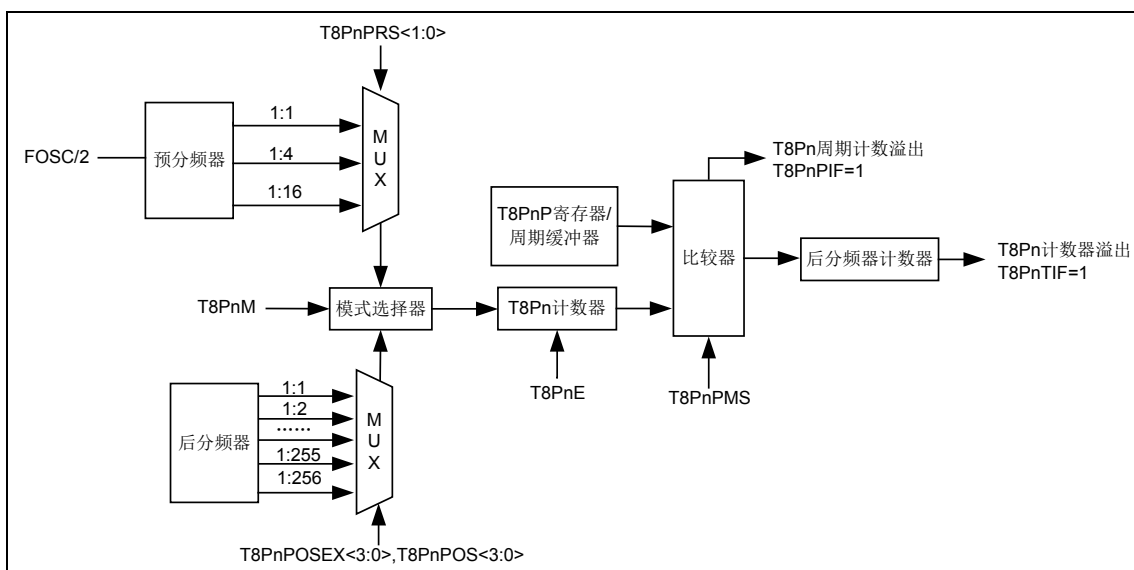


图 6-1 T8P1/T8P2 内部结构图

6.1.3 工作模式

8 位 PWM 时基定时器共有两个模式：定时器模式和 PWM 模式，通过 T8PnM 寄存器进行模式选择。两种模式均支持预分频器和后分频器。两种模式下，T8Pn 计数器的时钟源均为系统时钟 2 分频 (Fosc/2)。

T8PnM	工作模式
0	定时器模式
1	PWM 模式

表 6-1 T8Pn 工作模式配置表

6.1.4 预分频器和后分频器

预分频器和后分频器可以提供更长的溢出和中断周期。T8Pn 模块计数器支持可配置的 4 位预分频器和可配置的 8 位后分频器。预分频器与后分频器的计数值都无法读写，修改 T8Pn 的控制寄存器或计数器都会把预分频器和后分频器清零，但不改变分频比设置。预分频器的分频比可通过 T8PnC 寄存器中的 T8PnPRS<1:0>位进行设置，预分频比范围为 1:1~1:16。后分频器的分频比可通过 T8PnC 寄存器中的 T8PnPOS<3:0>位和后分频比扩展寄存器 T8PnPEX 中的 T8PnPOSEX<3:0>进行设置，后分频比范围为 1:1~1:256。

T8PnPRS<1:0>	T8PnPOSEX<3:0>,T8PnPOS<3:0>	T8Pn 匹配中断
00	00000000	计数器与周期寄存器匹配 1 次
00	00000001	计数器与周期寄存器匹配 2 次
00	00000010	计数器与周期寄存器匹配 3 次
00	00000011	计数器与周期寄存器匹配 4 次

T8PnPRS<1:0>	T8PnPOSEX<3:0>,T8PnPOS<3:0>	T8Pn 匹配中断
00
00	11111110	计数器与周期寄存器匹配 255 次
00	11111111	计数器与周期寄存器匹配 256 次
其它值	—	—

表 6-2 T8P1/T8P2 后分频器配置表

6.1.5 定时器模式

当 T8PnM=0 且 T8PnE=1 时，T8Pn 工作在定时器模式。

在定时器模式下，T8Pn 计数器的时钟源为系统时钟 2 分频 (Fosc/2)，可选择预分频器对计数时钟进行分频，计数器的计数时钟为分频后的时钟。

在定时器模式下，当 T8PnPMS=0 时，不更新周期缓冲器 PRDBUF，T8Pn 的计数值与周期寄存器 T8PnP 进行比较匹配；当 T8PnPMS=1 时，更新周期寄存器 T8PnP 的值至周期缓冲器 PRDBUF，T8Pn 的计数值与周期缓冲器 PRDBUF 进行比较匹配。

当 T8Pn 的计数值与周期寄存器 T8PnP (当 T8PnPMS=0) 或与周期缓冲器 PRDBUF (当 T8PnPMS=1) 匹配相等时，将周期中断标志 T8PnPIF 置 1，该中断标志需要软件清零。同时 T8Pn 被自动清零并重新开始计数，同时后分频器加 1 计数。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 T8PnTIF 置 1，该中断标志需要软件清零。

在定时器模式下，周期缓冲器 PRDBUF 的更新：

在定时器模式起始周期，为了能将周期寄存器 T8PnP 的值更新至周期缓冲器 PRDBUF，需满足以下顺序：先设置 T8PnM=0 且 T8PnPMS=1，再使能 T8PnE=1。

起始周期结束后，每次 T8Pn 的计数值与周期缓冲器 PRDBUF 匹配相等后，将自动更新周期缓冲器。

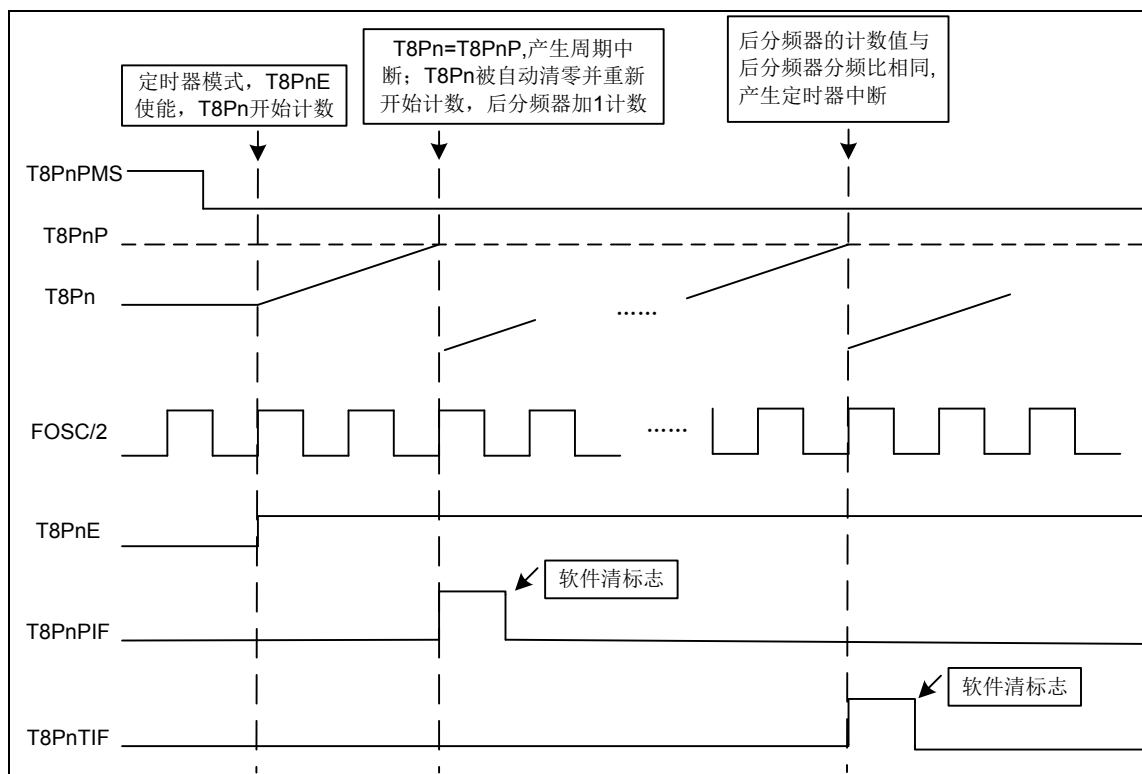


图 6-2 T8Pn 定时器模式时序图

6.1.6 PWM输出模式

当 T8PnM=1 且 T8PnE=1 时，T8Pn 工作在 PWM 模式。

计数时钟源为系统时钟二分频 Fosc/2，并支持预分频器。后分频器的设置不影响 PWM 输出周期和占空比，只影响匹配中断 T8PnTIF 中断标志位的产生，详见《T8Pn 后分频器配置表》。

在 PWM 模式下，PWM 输出由寄存器 T8PnTRN 位控制。

当 T8PnTRN=1 时，PWM 输出始终为 0，且不会更新 T8PnP 和 T8PnR 寄存器的值至周期缓冲器 PRDBUF 和精度缓冲寄存器 RESBUF。

当 T8PnTRN=0 时，PWM 输出波形才能启动，且 PWM 输出起始为 1，同时分别将 T8PnP 和 T8PnR 寄存器的内容更新至周期缓冲器 PRDBUF 和精度缓冲寄存器 RESBUF（缓冲器软件不可读写），随后 T8Pn 从零开始递增计数，当 T8Pn 与 RESBUF 的值相等时，PWM 输出改变为 0，并继续递增计数。当 T8Pn 的计数值与 PRDBUF 相等时，PWM 输出恢复为 1，同时 PRDBUF 和 RESBUF 再次分别载入 T8PnP 和 T8PnR 寄存器的值，并产生周期中断 T8PnPIF 中断标志，该中断标志需要软件清零。同时 T8Pn 被自动清零并重新开始计数，后分频器加 1 计数。至此一个完整的 PWM 周期完成，随后继续循环新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时中断标志 T8PnTIF 置 1，该中断标志需要软件清零。

在 PWM 模式下，精度缓冲器 RESBUF 和周期缓冲器 PRDBUF 的更新：

在 PWM 模式起始周期，为了能将 T8PnP 和 T8PnR 寄存器的值至周期缓冲器 PRDBUF 和精度缓冲寄存器 RESBUF，需满足以下顺序：先设置 T8PnM=1，T8PnPMS=1 和 T8PnE=1，

再设置 PWM 输出使能 T8PnTRN=0。

起始周期结束后，每次 T8Pn 的计数值与周期缓冲器 PRDBUF 匹配相等后，将自动更新周期缓冲器和精度寄存器。

- 注 1: 若精度缓冲器 RESBUF 的值为 0，则当前 PWM 周期内 PWM 输出始终为 0；
若精度缓冲寄存器 RESBUF 的值不小于 PRDBUF，则当前 PWM 周期内 PWM 输出始终为 1。
- 注 2: 在读取 T8PnTRN 位的状态时，读出此位的值为写入此位值的反逻辑，即，当此位写入 0 时，读出的值为 1；
当此位写入 1 时，读出的值为 0。
- 注 3: 若 T8PnTRN=1，则 PWM 输出 0，且周期缓冲器不更新（要么保持初始值 0xFF，要么为 T8PnTRN=0 时，最后一次更新过的值）。

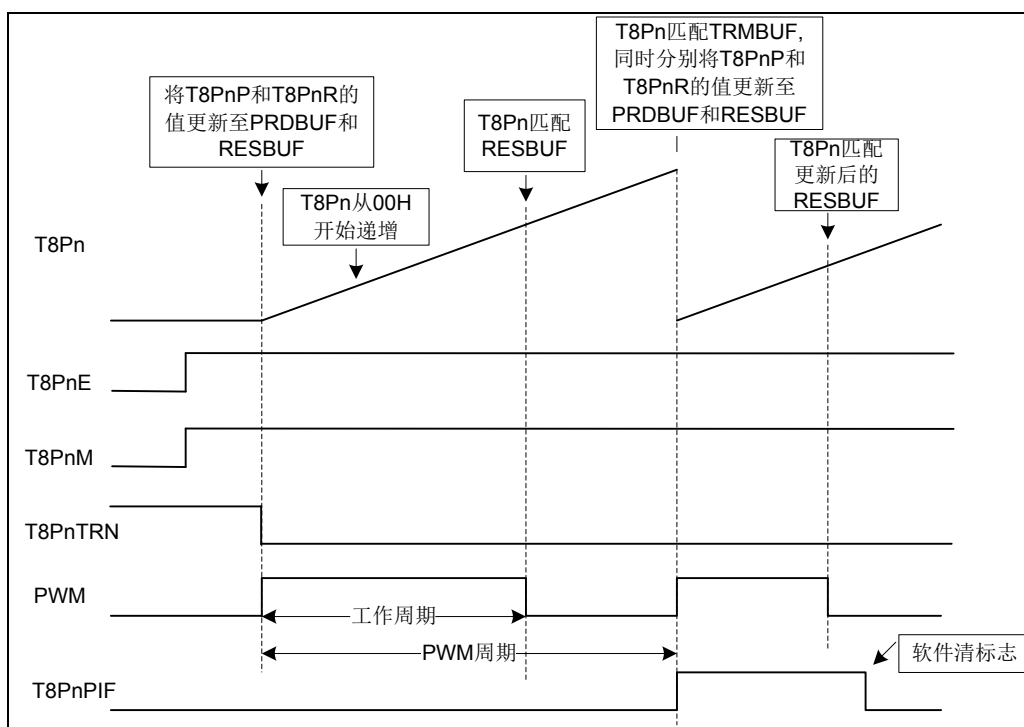


图 6-3 T8Pn PWM 模式示意图

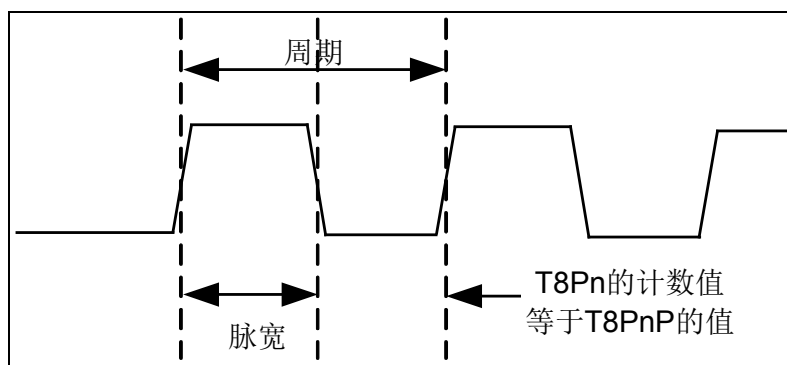


图 6-4 PWM 输出示意图

PWM 计算公式如下：

$$\text{PWM 周期} = [(T8PnP)+1] \times 2 \times T_{osc} \times (T8Pn \text{ 预分频倍数})$$

$$\text{PWM 频率} = 1/(\text{PWM 周期})$$

当选择 9 位 PWM 精度输出时:

$$\text{PWM 脉宽} = (\text{T8PnR} \times 2 + 1 + \text{T8PnREX}) \times \text{Tosc} \times (\text{T8Pn 预分频倍数})$$

PWM 精度寄存器 T8PnR 为 8 位寄存器, 同时增加 1 位 T8PnREX 作为 T8PnR 的最低位扩展, 脉宽控制基于系统时钟 Fosc 经过预分频器。

当选择 8 位 PWM 精度输出时:

$$\text{PWM 脉宽} = (\text{T8PnR} + 1) \times 2 \times \text{Tosc} \times (\text{T8Pn 预分频倍数})$$

$$\text{PWM 占空比} = [\text{PWM 脉宽}] / [\text{PWM 周期}]$$

PWM 的最大分辨率计算公式:

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * [\text{预分频倍数}]}\right)}{\log 2}$$

注 1: $\text{Tosc} = 1/\text{Fosc}$, $\text{Fpwm} = 1/(\text{PWM 周期})$

6.1.7 PWM 平均精度扩展

PWM 的最大分辨率可达 9 位, 进一步细化 PWM 输出精度, 可通过设置扩展精度位 T8PxRE<1:0> (T8PxOC<5:4>) 进行 PWM 平均精度扩展。此应用模式原理是采用对连续输出波形脉宽进行间隔地加 1 (加 1 个 LSB, 即脉宽增加了 1 个 $\text{Tosc} \times [\text{预分频倍数}]$ (见 PWM 计算公式)), 实现 PWM 波形占空比的平均值细化。

扩展精度位可设置 0, 1/4, 2/4, 3/4 共 4 个精度扩展值, 相当于将 PWM 平均精度扩展 2 位。

例如, 当扩展精度设置为 2/4, 即 4 个 PWM 脉宽中有 2 个脉宽的宽度增加 1 个 LSB, 且增加 1 个 LSB 的脉宽均匀分布在 4 个脉宽中, 如下图所示, 假设脉宽宽度为 n, 则 4 个开关周期 (PWM 周期) 的平均脉宽为 $n+1/2$, 从而在不提高时钟频率的情况下, 等效实现了较高分辨率的 PWM。

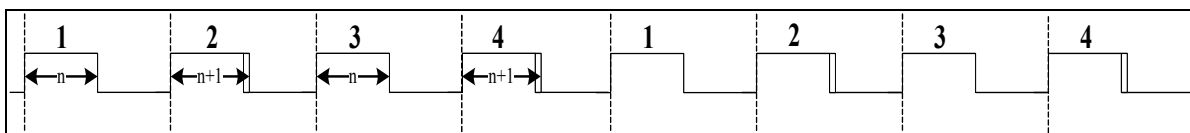


图 6-5 PWM 精度扩展示意图

6.1.8 PWM 复用输出端口

T8Pn 各支持一对互补的 PWM 输出端口, PWMn0 和 PWMn1, 支持可调死区时间配置, 死区时间可由 T8PnPDT 寄存器设置。

PWM 死区延时时间计算公式: $\text{T8PnPDT} < 7:0 > \times \text{Tosc}$ 。

通过设置 T8PnOC 寄存器中的 T8PnPEN<1:0>和 T8PnNEN<1:0>, 选择 T8Pn 的 PWMn0 和 PWMn1 与 I/O 复用的输出管脚。

PWMn0 的输出极性可通过寄存器 ANS<7:6> (PWM20NS, PWM10NS) 进行设置。

值得注意的是, 在使能 PWM 输出前, 需先将与 PWM 复用的相应 I/O 端口的控制寄存器位 PxT 设置为输出状态, 否则将无 PWM 波形输出。

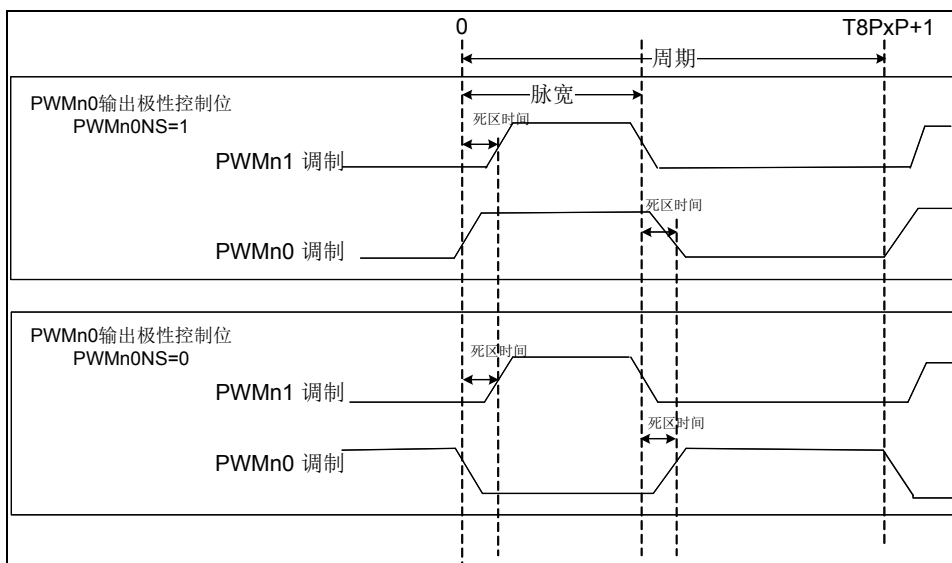


图 6-6 带死区互补 PWM 输出示意图

6.1.9 特殊功能寄存器

T8Pn: T8Pn 计数器(T8P1/T8P2)								
Bit	7	6	5	4	3	2	1	0
Name	T8Pn <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8Pn <7:0>: 8 位 T8Pn 计数值, 00_H~FF_H

T8PnP: T8Pn 周期寄存器(T8P1P/T8P2P)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnP <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T8PnP <7:0>: PWM 周期值

T8PnR: T8Pn 精度寄存器 (T8P1R/T8P2R)								
Bit	7	6	5	4	3	2	1	0
Name	T8PnR <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PnR <7:0>: 8 位精度寄存器

T8PnC: T8Pn 控制寄存器(T8P1C/ T8P2C)									
Bit	7	6	5	4	3	2	1	0	
Name	T8PnM	T8PnPOS<3:0>				T8PnE	T8PnPRS<1:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

Bit 7 T8PnM: T8Pn 工作模式选择位

- 0: 定时器模式
- 1: PWM 模式

Bit 6~3 T8PnPOS<3:0>: T8Pn 后分频器分频比选择位

- 0000: 分频比为 1:1
- 0001: 分频比为 1:2
- 0010: 分频比为 1:3
- ...

1111: 分频比为 1:16

8 位后分频器的分频比可通过后分频比扩展寄存器 T8PnPEX 中的后分频比高 4 位扩展位 T8PnPOSEX<3:0>与后分频比低 4 位选择位 T8PnPOS<3:0>设置, 分频比范围为 1:1~1:256。

Bit 2 T8PnE: T8Pn 模块使能位

- 0: 关闭
- 1: 使能

Bit 1~0 T8PnPRS<1:0>: T8Pn 预分频器分频比选择位

- 00: 分频比为 1:1
- 01: 分频比为 1:4
- 1x: 分频比为 1:16

T8PnPEX: T8Pn 后分频器后分频比扩展寄存器 (T8P1PEX/T8P2PEX)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	T8PnPOSEX<3:0>			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 保留未用

Bit 3~0 T8PnPOSEX<3:0>: 后分频比高 4 位扩展位

T8PnPMC: T8Pn 周期匹配控制寄存器 (T8P1PMC/T8P2PMC)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	T8PnRS	T8PnPMS
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~2 保留未用

Bit 1 T8PnRS: PWM 输出精度选择位

- 1: 9 位 PWM 输出精度
- 0: 8 位 PWM 输出精度

Bit 0 T8PnPMS: 定时器模式下周期匹配选择位

- 0: T8Pn 计数值与周期寄存器 T8PnP 进行匹配
- 1: T8Pn 计数值与周期缓冲器 PRDBUF 进行匹配

T8P1OC: T8P1 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8P1TRN	T8P1REX	T8P1RE<1:0>		T8P1NEN<1:0>		T8P1PEN<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P1TRN: PWM 输出使能位
 1: 停止 (波形复位, 计数器复位)
 0: 使能 (波形产生)
- Bit 6 T8P1REX: PWM 模式扩展精度位
- Bit 5~4 T8P1RE<1:0>: T8P1 的 PWM1 平均精度扩展位
 00: 0
 01: 1/4
 10: 2/4
 11: 3/4
- Bit 3~2 T8P1NEN<1:0>: T8P1 的 PWM1 互补输出管脚选择位
 00: PWM10 输出关闭
 01: PA2 输出 PWM10
 10: PB1 输出 PWM10
 11: PB3 输出 PWM10
- Bit 1~0 T8P1PEN<1:0>: T8P1 的 PWM1 输出管脚选择位
 00: PA1 输出 PWM11
 01: PB0 输出 PWM11
 10: PA6 输出 PWM11
 11: PB2 输出 PWM11

T8P2OC: T8P2 输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8P2TRN	T8P2REX	T8P2RE<1:0>		T8P2NEN<1:0>		T8P2PEN<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P2TRN: PWM 输出使能位
 1: 停止 (波形复位, 计数器复位)
 0: 使能 (波形产生)
- Bit 6 T8P2REX: PWM 模式扩展精度位
- Bit 5~4 T8P2RE<1:0>: T8P2 的 PWM2 平均精度扩展位
 00: 0
 01: 1/4
 10: 2/4
 11: 3/4
- Bit 3~2 T8P2NEN<1:0>: T8P2 的 PWM2 互补输出管脚选择位
 00: PWM20 输出关闭

- 01: PB0 输出 PWM20
- 10: PA6 输出 PWM20
- 11: PB2 输出 PWM20
- Bit 1~0 T8P2PEN<1:0>: T8P2 的 PWM2 输出管脚选择位
 - 00: PA2 输出 PWM21
 - 01: PB1 输出 PWM21
 - 10: PB3 输出 PWM21
 - 11: PWM21 输出关闭

T8PnPDT: T8Pn PWM 死区控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8PnPDT <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T8PnPDT <7:0>: PWM 死区延时时间 T8PnPDT x Tosc

6.2 模/数转换器模块 (ADC)

6.2.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。该芯片支持 12-bit 6+2 通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

◇ 模/数转换器特性

- 12 位 ADC 采样精度
- 6 个模拟输入+2 个电源电压检测通道可选
- 12 位转换结果，支持高位对齐放置或低位对齐放置
- 支持外部或内部参考电压可选择
- 支持电源电压检测，电源分压比可选
- 支持可配置 A/D 转换时钟
- 时钟源来自系统时钟 Fosc

◇ 主要功能组件

- ADC 转换值寄存器 (ADCRL, ADCRH)
- ADC 控制寄存器 (ADCCL, ADCCH)
- 端口类型选择寄存器 (ANS)
- ADC 自动触发寄存器 (ADCTR)

◇ 中断和暂停

- 支持 A/D 转换中断 (ADIE/ADIF)

6.2.2 ADC内部结构图

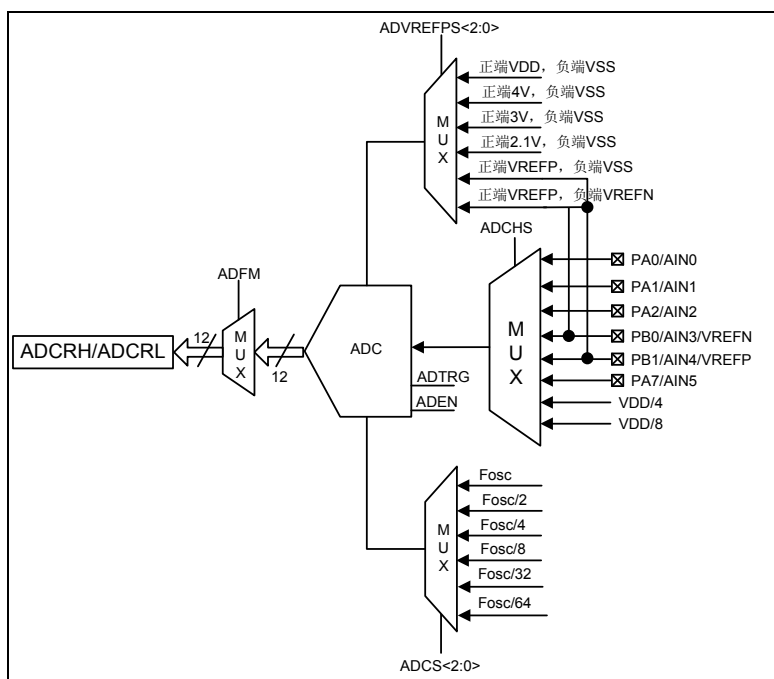


图 6-7 ADC 内部结构图

6.2.3 ADC配置

ADC 电路使用前, 需根据需要对以下几个方面进行正确的配置, 才可得到需要的正确转换结果。

时钟选择

ADC 电路所需要的时钟有 7 组可选, $F_{osc} \sim F_{osc}/64$, 可通过 ADCCH 寄存器选择所需要的时钟。

参考电压选择

ADC 电路分别使用一个正参考电压和一个负参考电压, 对应外部参考电压输入脚分别为 VREFP 和 VREFN。由于该两个外部输入脚分别与 PB1/AIN4、PB0/AIN3 复用, 在使用这两个外部参考电压输入时, 需先通过 ANS 寄存器正确设置复用端口的类型。正参考电压可通过 ADVREFS <2:0>位选择 VDD、4V、3V、2.1V 或者是 VREFP 复用端口, 负参考电压对应地选择 VSS 或者是 VREFN 复用端口。在正端参考电压选择 2.1V 时, 需先根据 VDD 电压通过 AD2VCALS 位 (ADCTR<0>) 正确设置 A/D 2.1V 参考电压调校信息。

采样时间选择

本芯片支持 ADC 电路的采样时间可选, 可通过 ADCCH 寄存器中的 ADST <3:0>位选择大约 1~15 个 Tadc 共 15 种选项。

复用端口类型选择

本芯片中 ADC 电路的所有模拟输入通道 AINn、参考电压外部输入脚均和 PA/PB 端口复用, 在使用 ADC 电路转换前, 须先将所使用的管脚通过 ANS 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前, 需先选择 A/D 模拟通道。本芯片 ADC 电路支持 6 个外部通道和 2 个电源电压检测通道可选, 外部通道分别为 AIN0~AIN5, 两个电源电压检测通道分别为 VDD/4 和 VDD/8。A/D 模拟通道选择哪个通道可通过 ADCCL 寄存器中的 ADCHS <2:0>位选择。

对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式, 低位对齐和高位对齐, 可通过 ADCCH 寄存器中的 ADFM 位进行选择。

ADC 模块转换触发方式选择

本芯片 ADC 模块支持两种 A/D 转换触发方式: 软件触发和 PWM 自动触发。

在 ADC 模块转换使能位 ADEN (ADCCL<0>) 使能后, 通过软件将 ADC 转换状态位 ADTRG (ADCCL<1>) 置“1”, ADC 模块开始进行转换, 此为软件触发 A/D 转换; 在 ADC 模块转换使能位 ADEN (ADCCL<0>) 和 PWM 自动触发 ADC 使能位 TRIGEN (ADCTR<4>) 都使能后, 由 PWM 边沿触发信号致使 ADTRG 位自动置为“1”, ADC 模块开始进行转换, 此种为 PWM 自动触发。

PWM 自动触发源可选择来自 PWMn1 信号, 通过自动触发源选择位 TRIGS (ADCTR<6>) 进行选择, PWM 自动触发边沿可通过 TRIGPEG 位 (ADCTR<5>) 选择 PWM 上升沿或下降沿触发。

值得注意的是, 在使用 PWM 自动触发 ADC 时, 建议先查询 ADTRG 位的当前状态。若

查询到 ADTRG 位为“1”时,此段时间的 PWM 边沿自动触发信号都将被忽略,直至 ADTRG 位的状态恢复为“0”后,系统再次检测到 PWM 边沿自动触发信号,才会响应 PWM 自动触发 ADC 模块进行转换。

6.2.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤。

Step 1: 选择 ADC 转换时钟,通过 ADCCH 寄存器中的 ADCS <2:0>选择 ADC 转换时钟。

Step 2: 选择正负参考电压,通过 ADCCL 寄存器中的 ADVREFNS 位进行选择。

Step 3: ADC 采样时间选择,通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <3:0> 设定。

Step 4: 设置复用端口设为模拟类型,即选择哪些管脚作为 ADC 转换输入管脚,由端口类型选择寄存器 ANS 控制选择。

Step 5: 选择模拟信号输入通道 AINx,通过 ADCCL 寄存器中的 ADCHS <2:0>选择 ADC 模拟通道。

Step 6: 设置转换结果对齐方式,通过 ADCCH 寄存器中的 ADFM 位选择高位对齐放置还是低位对齐放置。

Step 7: 如果要使用中断,则中断控制寄存器需要正确地设置,以确保 A/D 中断功能被正确激活。在中断模式时,需将全局中断使能位 GIE 置位为“1”和 ADC 中断使能位置位为“1”。

Step 8: 使能 ADC 电路,将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 9: 选择 ADC 模块转换触发方式为软件触发还是 PWM 自动触发。若选择软件触发,将 ADCCL 寄存器中的 ADC 转换启动位 ADTRG 位设置为“1”,开始进行 ADC 转换;若选择 PWM 自动触发,需先设置 TRIGS 位选择自动触发源和 TRIGPEG 位选择 PWM 自动触发边沿,设置 PWM 自动触发 ADC 使能位 TRIGEN 为“1”。在 PWM 自动触发 ADC 模块转换设置完成后,自动边沿触发信号会自动将 ADTRG 位置为“1”,开始进行 ADC 转换。

Step 10: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位,确定此次 A/D 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.2.5 AD时序特征示意图

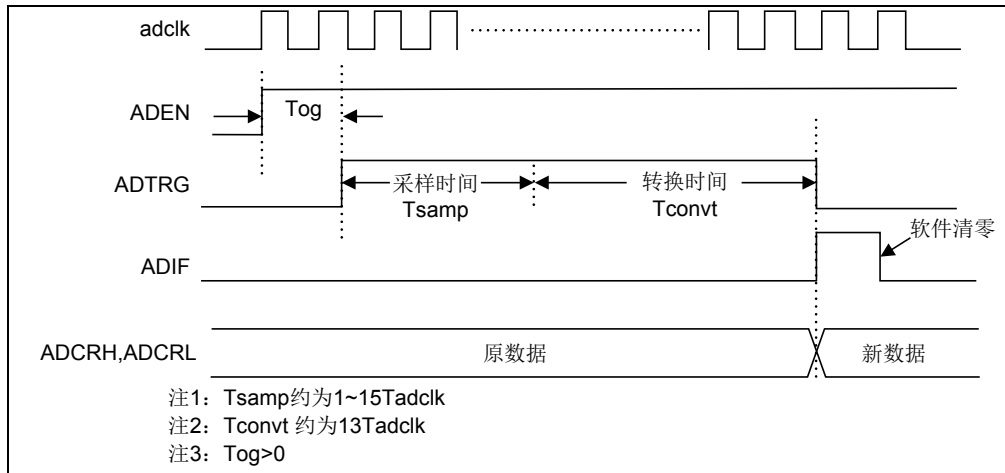


图 6-8 ADC 时序特征示意图

6.2.6 ADC应用例程

应用例程：对模拟输入通道 0 (AIN0 进行模数转换)

```

BCC    ANS,0           ; AIN0 所在端口配置为模拟端口
BCC    ADCCH, ADFM     ; 转换结果高位对齐放置
MOVI   0X01
MOVA   ADCCL           ; 使能 ADC 转换器，选中通道 0
BSS    ADCCL, ADTRG    ; 触发 ADC 转换
AD_WAIT:
JBC    ADCCL, ADTRG    ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0        ; 读取高 8 位转换结果
... ..
MOV    ADCRL, 0        ; 读取低 4 位转换结果
... ..
    
```

6.2.7 特殊功能寄存器

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
0	ADCR<11:4>								ADCR<3:0>				—	—	—	—

ADCR<11:0>: A/D 转换结果

ADCCL: ADC 控制寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADVREFS<2:0>			ADCHS<2:0>			ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 ADVREFS <2:0>: 参考电压源选择位

- 000: ADC 参考电压正端为 VDD, 负端为 VSS
- 001: ADC 参考电压正端为 4.0V, 负端为 VSS
- 010: ADC 参考电压正端为 3.0V, 负端为 VSS
- 011: ADC 参考电压正端为 2.1V, 负端为 VSS
- 100: ADC 参考电压正端为外部 VREFP, 负端为 VSS
- 101: ADC 参考电压正端为外部 VREFP, 负端为 VREFN
- 其他: 保留

Bit 4~2 ADCHS <2:0>: A/D 模拟通道选择位

- 000: 通道 0 (AIN0)
- 001: 通道 1 (AIN1)
- 010: 通道 2 (AIN2)
- 011: 通道 3 (AIN3)
- 100: 通道 4 (AIN4)
- 101: 通道 5 (AIN5)
- 110: VDD/4
- 111: VDD/8

Bit 1 ADTRG: ADC 转换状态位

- 0: ADC 未进行转换, 或 A/D 转换已完成
- 1: ADC 转换正在进行, 该位置 1 启动 A/D 转换

Bit 0 ADEN: ADC 使能位

- 0: 关闭
- 1: 使能

ADCCH: ADC 控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCS<2:0>			ADST<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	1	0	0	0

- Bit 7 ADFM: ADC 转换数据格式选择位
 - 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
 - 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)

- Bit 6~4 ADCS <2:0>: ADC 时钟选择位
 - 000: Fosc
 - 001: Fosc/2
 - 010: Fosc/4
 - 011: Fosc/8
 - 100: Fosc/16
 - 101: Fosc/32
 - 110: Fosc/64
 - 111: 保留

- Bit 3~0 ADST <3:0>: A/D 采样时间选择位
 - 0000: 禁止使用
 - 0001~1111: ADC 采样时间分别对应 1~15 个 ADC 时钟(默认值为 8)

ADCTR: ADC 自动触发寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TRIGS	TRIGPEG	TRIGEN	—	—	—	AD2VCALS
R/W	—	R/W	R/W	R/W	—	—	—	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7, 3~1 保留未用

- Bit 6 TRIGS: 自动触发源选择位
 - 0: PWM11
 - 1: PWM21

- Bit 5 TRIGPEG: PWM 自动触发 ADC 边沿选择位
 - 0: PWM 上升沿
 - 1: PWM 下降沿

- Bit 4 TRIGEN: PWM 自动触发 ADC 使能位
 - 0: 禁止
 - 1: 使能

- Bit 0 AD2VCALS: A/D 正端参考电压 2.1V 调校信息选择位
 - 0: VDD=5V 时的 A/D 正端参考电压 2.1V 调校值
 - 1: VDD=3V 时的 A/D 正端参考电压 2.1V 调校值

6.3 低电压检测模块 (LVD)

6.3.1 概述

芯片内置一组低电压检测模块，支持低电压检测功能，即 LVD，该功能使能用于监测电源电压 VDD。在供电电源不稳定的情况下，像外部电源噪声串扰或 EMS 测试条件下，会使电源剧烈振荡。在目标电压未稳定时，可能就会低于工作电压。若所需检测的电压低于一定值可提供一个警告信号。低电压检测也可产生中断信号。

6.3.2 LVD操作

LVD 功能的禁止使能由 LVDC 寄存器中的 LVDEN 控制位设置。当 LVDEN 位清零，LVD 功能禁止。当 LVDEN 位置高，LVD 功能使能。LVD 模块将电源电压 VDD 与预置电压进行比较，比较结果通过 LVDC 寄存器的 LVDLS 位进行查询。预置电压的阈值由 LVDC 寄存器中的 LVDV<1:0>配置，预置电压范围为 2.1V~3.6V。当目标电压低于预置电压值时，LVDLS 位被置为高，表明检测到低电压产生，产生 LVD 中断标志。当 LVD 中断使能开启时产生 LVD 中断请求。

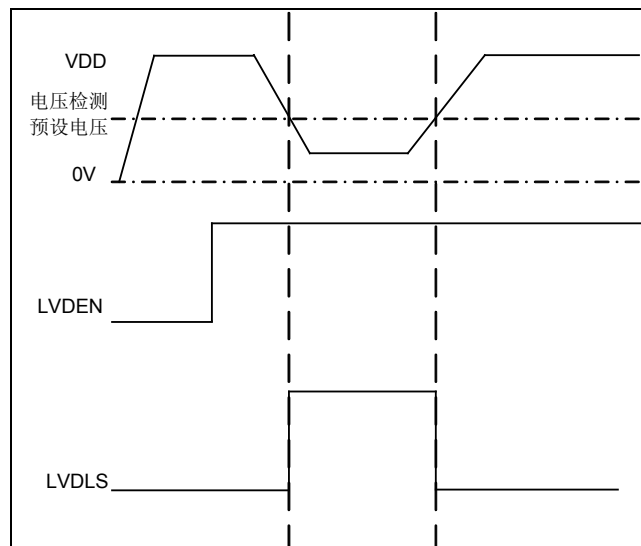


图 6-9 LVD 工作时序图

6.3.3 特殊功能寄存器

LVDC: LVD 检测寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LVDLS	—	—	LVDEN	—	—	LVDV<1:0>	
R/W	R	—	—	R/W	—	—	R/W	R/W
POR	0	0	0	1	0	0	0	0

Bit 7 LVDLS: LVD 电压检测状态位

0: 电源电压高于预设电压

1: 电源电压低于预设电压

Bit 6~5,3~2 保留未用

Bit 4	LVDEN: LVD 使能位
	0: 禁止
	1: 使能
Bit 2~0	LVDV<1:0>: LVD 电压检测选择位
	00: 2.1V
	01: 2.4V
	10: 3.0V
	11: 3.6V

第 7 章 MCU—中断处理

7.1 概述

中断是芯片一个重要功能。它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片仅支持默认中断模式，最多可支持 12 个中断源，1 个软件中断和 11 个硬件中断。

7.2 内部结构

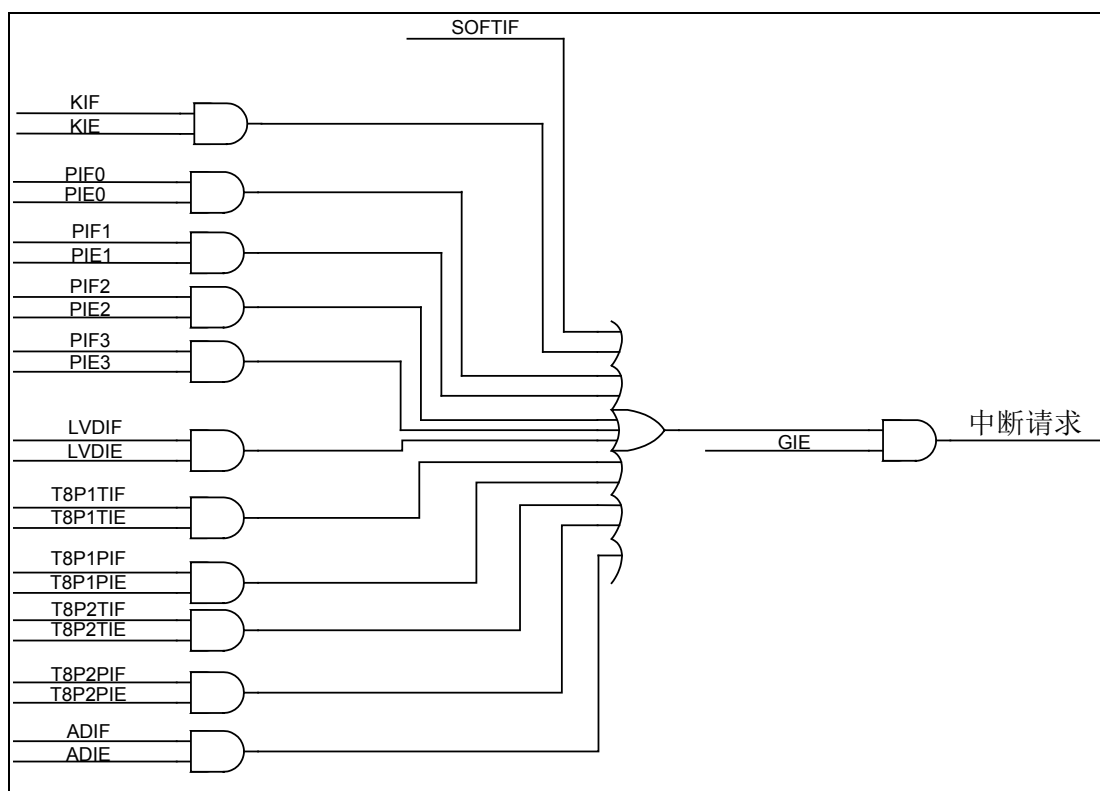


图 7-1 中断控制逻辑

7.2.1 默认中断模式

本芯片仅支持默认中断模式，所有中断向量的入口地址均位于 004_H。用户需通过中断子程序判断各中断源的标志位及使能位区分是由哪个中断源引起的中断，从而执行相应的中断服务子程序。

序号	中断名	中断标志	中断屏蔽	中断使能	全局使能	中断入口地址
1	软中断	SOFTIF	-	-	GIE	004H
2	KINT0	KIF	KMASK0	KIE	GIE	
	KINT1		KMASK1			
	KINT2		KMASK2			
	KINT3		KMASK3			
	KINT4		KMASK4			

序号	中断名	中断标志	中断屏蔽	中断使能	全局使能	中断入口地址
	KINT5		KMSK5			
	KINT6		KMSK6			
	KINT7		KMSK7			
3	PINT0	PIF0	-	PIE0	GIE	
4	PINT1	PIF1	-	PIE1	GIE	
5	PINT2	PIF2	-	PIE2	GIE	
6	PINT3	PIF3	-	PIE3	GIE	
7	LVDINT	LVDIF	-	LVDIE	GIE	
8	T8P1TINT	T8P1TIF	-	T8P1TIE	GIE	
9	T8P1PINT	T8P1PIF	-	T8P1PIE	GIE	
10	T8P2TINT	T8P2TIF	-	T8P2TIE	GIE	
11	T8P2PINT	T8P2PIF	-	T8P2PIE	GIE	
12	ADINT	ADIF	-	ADIE	GIE	

表 7-1 默认中断模式中中断逻辑表

(注: KINT6 不可用。)

7.3 中断现场保护

中断现场保护是中断程序中一个很重要的组成部分。

指令系统中有 PUSH (压栈) 和 POP (出栈) 指令, 可以用来实现中断的数据保存。可以用来保存的数据包括: 累加器 A 寄存器、程序状态字寄存器 PSW、IAA 寄存器和 PCRH 寄存器。其它数据寄存器的保护需采用其它指令实现。可以连续进行 2 次 PUSH, 第 3 次 PUSH 会使得第一次 PUSH 的数据丢失。同样, 超过 2 次的连续 POP, 第 3 次 POP 恢复的数据不可预期。

7.4 中断操作

7.4.1 中断使能位GIE的操作

每个硬件中断源都有各自的中断使能和中断标志位, 因此初始化相应的硬件中断时, 需要先清除中断标志位, 再使能当前中断。若使能前不先清除中断标志, 则有可能发生误进中断的情况。除了每个中断支持中断使能外, 本芯片还提供了一个全局中断。因此在初始化所有需要的中断后, 请使能全局中断。

若中断事件条件产生, 相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应服务地址执行需满足以下条件:

1. 当对应中断使能位为“1”时, 继续判断第二个条件是否满足; 当对应中断使能位为“0”, 即使中断标志为“1”, 中断也不会发生, 程序也不会跳转至中断服务地址执行。
2. 当全局中断使能位 GIE 为“0”, 将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”, 程序将跳至中断服务地址执行。

为确保对寄存器 GIE 的软件写操作成功, 需按如下步骤进行:

对 GIE 位的软件清 0 操作, 需先关闭所有外设中断使能, 再将 GIE 位清 0; 或在 GIE 位

清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。

7.4.2 外部中断

当 PINTn 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTn 外部端口中断，相应的中断标志 PIFn 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEn 都被置为“1”，则向 CPU 发出 PINTn 外部端口中断请求。当中断条件允许，系统将进入中断服务程序入口地址，进行中断程序处理。

值得注意的是，相应中断标志位 PIFn 和中断使能位 PIEn 都需通过软件清除，INTC1 寄存器中的 PEGn 位用于配置触发条件，可分别配置为上升沿触发或下降沿触发。

7.4.3 外部按键中断

当 KINn 复用端口被配置为数字输入端口，未被屏蔽的按键中任何一个端口输入信号发生电平变化，将中断标志位 KIF 置为“1”，当外部按键中断控制位 KIE 为“1”，且全局中断控制位 GIE 位使能后，则向 CPU 发出外部按键中断请求。当外部按键中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。

使用外部按键中断时，须配置相应的控制寄存器，并且使能外部按键中断端口的内部弱上拉电阻。

在按键中断使能（KMSKn=1，KIE=1）前，先对端口寄存器进行读或者写的操作，清除中断标志位，以免误产生中断。

清除该中断标志位 KIF 的操作步骤：

- 1) 对端口寄存器进行读或者写操作，结束端口电平与锁存器值的不匹配条件；
- 2) 软件清除中断标志位 KIF。

中断使能位 KIE 也需要通过软件进行清除。

7.4.4 T8Pn(T8P1/T8P2)定时中断

8 位 PWM 时基定时器 T8Pn 处于定时器模式和 PWM 模式时，对计数时钟进行递增计数，当 T8Pn 后分频器的计数值与后分频器分频比相同时，将中断标志 T8PnTIF 位置“1”。当 T8Pn 定时中断使能位 T8PnTIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 T8Pn 定时中断请求。当 T8Pn 定时中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，T8Pn 定时中断标志位 T8PnTIF 和中断使能位 T8PnTIE 都需通过软件清除。

7.4.5 T8Pn(T8P1/T8P2)周期中断

8 位 PWM 时基定时器 T8Pn 处于定时器模式和 PWM 模式时，都可以产生周期中断。当 T8Pn 计数器与 T8PnP 寄存器的值相等时（PWM 模式时，T8Pn 从零开始递增计数），将产生 T8Pn 周期中断，中断标志 T8PnPIF 被置“1”。如果中断使能位 T8PnPIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 T8Pn 周期中断请求。当 T8Pn 周期中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，T8Pn 周期中断标志位 T8PnPIF 和中断使能位 T8PnPIE 都需通过软件清除。

7.4.6 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 ADC 中断请求。当 ADC 中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.4.7 LVD中断

当 VDD 电压小于 LVDC 寄存器设置阈值电压时，低电压产生，LVDLS 上升沿或下降沿触发后，中断标志 LVDIF 位被置“1”。如果中断使能位 LVDIE 置为“1”，且全局中断控制位 GIE 使能后，则向 CPU 发出 LVD 中断请求。当 LVD 中断条件允许时，系统将进入中断服务程序入口地址，进行中断程序处理。值得注意的是，LVD 中断标志位 LVDIF 和中断使能位 LVDIE 都需通过软件清除。

7.4.8 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

7.5 特殊功能寄存器

INTF0: 中断标志寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	T8P2PIF	T8P1PIF	ADIF	LVDIF	—	T8P2TIF	T8P1TIF	KIF
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P2PIF: T8P2 周期中断标志位
 0: T8P2 计数器计数未发生匹配
 1: T8P2 计数器计数发生匹配 (必须软件清零)
- Bit 6 T8P1PIF: T8P1 周期中断标志位
 0: T8P1 计数器计数未发生匹配
 1: T8P1 计数器计数发生匹配 (必须软件清零)
- Bit 5 ADIF: ADC 中断标志位
 0: 未启动 ADC 转换, 或转换正在进行
 1: ADC 转换已完成 (必须软件清零)
- Bit 4 LVDIF: LVD 中断标志位
 0: 检测电压不曾低于预设值
 1: 检测电压低于预设值 (必须软件清零)
- Bit 3 保留未用
- Bit 2 T8P2TIF: T8P2 定时中断标志位
 0: T8P2 计数器计数未发生匹配
 1: T8P2 计数器计数发生匹配 (必须软件清零)
- Bit 1 T8P1TIF: T8P1 定时中断标志位
 0: T8P1 计数器计数未发生匹配
 1: T8P1 计数器计数发生匹配 (必须软件清零)
- Bit 0 KIF: 外部按键中断标志位
 0: 外部按键端口无电平变化
 1: 外部按键端口有电平变化 (必须软件清零)

INTE0: 中断使能寄存器 0

Bit	7	6	5	4	3	2	1	0
Name	T8P2PIE	T8P1PIE	ADIE	LVDIE	—	T8P2TIE	T8P1TIE	KIE
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T8P2PIE: T8P2 周期中断使能位
 0: 禁止 T8P2 中断
 1: 使能 T8P2 中断
- Bit 6 T8P1PIE: T8P1 周期中断使能位
 0: 禁止 T8P1 中断
 1: 使能 T8P1 中断
- Bit 5 ADIE: ADC 中断使能位
 0: 禁止 ADC 中断

- 1: 使能 ADC 中断
- Bit 4 LVDIE: LVD 中断使能位
 - 0: 禁止 LVD 中断
 - 1: 使能 LVD 中断
- Bit 3 保留未用
- Bit 2 T8P2TIE: T8P2 定时中断使能位
 - 0: 禁止 T8P2 中断
 - 1: 使能 T8P2 中断
- Bit 1 T8P1TIE: T8P1 定时中断使能位
 - 0: 禁止 T8P1 中断
 - 1: 使能 T8P1 中断
- Bit 0 KIE: 外部按键中断使能位
 - 0: 禁止 KIN0-7 按键中断
 - 1: 使能 KIN0-7 按键中断

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PIF3	PIF2	PIF1	PIF0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留未用
- Bit 3 PIF3: PINT3 端口中断标志位
 - 0: PINT3 端口上无中断信号
 - 1: PINT3 端口上有中断信号 (必须软件清零)
- Bit 2 PIF2: PINT2 端口中断标志位
 - 0: PINT2 端口上无中断信号
 - 1: PINT2 端口上有中断信号 (必须软件清零)
- Bit 1 PIF1: PINT1 端口中断标志位
 - 0: PINT1 端口上无中断信号
 - 1: PINT1 端口上有中断信号 (必须软件清零)
- Bit 0 PIF0: PINT0 端口中断标志位
 - 0: PINT0 端口上无中断信号
 - 1: PINT0 端口上有中断信号 (必须软件清零)

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PIE3	PIE2	PIE1	PIE0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留未用
- Bit 3 PIE3: PINT3 端口中断使能位
 - 0: 禁止 PINT3 端口中断
 - 1: 使能 PINT3 端口中断
- Bit 2 PIE2: PINT2 端口中断使能位

- 0: 禁止 PINT2 端口中断
- 1: 使能 PINT2 端口中断
- Bit 1 PIE1: PINT1 端口中断使能位
 - 0: 禁止 PINT1 端口中断
 - 1: 使能 PINT1 端口中断
- Bit 0 PIE0: PINT0 端口中断使能位
 - 0: 禁止 PINT0 端口中断
 - 1: 使能 PINT0 端口中断

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	KMSKn<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0 KMSKn<7:0>: KINn 按键输入屏蔽位
 - 0: 屏蔽
 - 1: 不屏蔽

INTC1: 中断控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	PEG3	PEG2	PEG1	PEG0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 保留未用
- Bit 3 PEG3: PINT3 触发边沿选择位
 - 0: PINT3 下降沿触发
 - 1: PINT3 上升沿触发
- Bit 2 PEG2: PINT2 触发边沿选择位
 - 0: PINT2 下降沿触发
 - 1: PINT2 上升沿触发
- Bit 1 PEG1: PINT1 触发边沿选择位
 - 0: PINT1 下降沿触发
 - 1: PINT1 上升沿触发
- Bit 0 PEG0: PINT0 触发边沿选择位
 - 0: PINT0 下降沿触发
 - 1: PINT0 上升沿触发

PINTS: 外部中断选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PINT3S<1:0>		PINT2S<1:0>		PINT1S<1:0>		PINT0S<1:0>	
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 PINT3S<1:0>: PINT3 中断源选择位

- 00: PA7
- 01: PA5
- 10: PB3
- 11: 保留
- Bit 5~4 PINT2S<1:0>: PINT2 中断源选择位
 - 00: PA6
 - 01: PA4
 - 10: PB2
 - 11: 保留
- Bit 3~2 PINT1S<1:0>: PINT1 中断源选择位
 - 00: PA1
 - 01: PA3
 - 10: PB1
 - 11: PB5
- Bit 1~0 PINT0S<1:0>: PINT0 中断源选择位
 - 00: PA0
 - 01: PA2
 - 10: PB0
 - 11: PB4

注：此寄存器只可写，不可读；因此，此寄存器赋值需使用 MOVA、MOVAR 指令。

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	—	—	—	—	—	SOFTIF	—
R/W	R/W	—	—	—	—	—	R/W	—
POR	0	0	0	0	0	0	0	0

- Bit 7 GIE: 全局中断使能位
 - 0: 禁止所有的中断
 - 1: 使能所有未屏蔽的中断
- Bit 6~2 保留未用
- Bit 1 SOFTIF: 软件中断标志位
 - 0: 无软件中断
 - 1: 启动软件中断
- Bit 0 保留未用

注：软件清零 GIE 位时，需判断 GIE 是否清零成功，如未被清零，则需再次执行软件清零操作，直到清零成功。

第 8 章 MCU—芯片配置字

寄存器名称	芯片配置字 (CFG_WD)	
地址	7F2 _H	
OSCS<2:0>	bit2-0	振荡器选择位 000: LP 晶振/谐振器连接到 PA4 和 PA5 001: 保留未用 010: HS 模式: 晶体振荡器连接到 PA4 和 PA5 011: 保留未用 100: XT 模式: 晶体振荡器连接到 PA4 和 PA5 101: 保留未用 110: INTOSCO 模式: CLKO 从 PA4 输出, PA5 为 I/O 111: INTOSC 模式: PA4 为 I/O, PA5 为 I/O
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电定时器使能位 0: 使能 1: 禁止
MRSTEN	bit5	MRSTN 管脚功能选择位 0: 管脚用于数字输入 1: 管脚用于外部复位
—	bit7-6	保留, 默认为 1
BORVS<1:0>	bit9-8	下电复位使能和电压点选择位 00: 禁止 01: 使能, 复位电压为 2.2V 10: 使能, 复位电压为 2.7V 11: 使能, 复位电压为 3.4V
-	bit10	保留, 默认为 1
-	bit15-11	保留, 默认为 0

注 1: CLKO 为系统时钟的 16 分频输出。

第 9 章 MCU—指令集

9.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 系统时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 CALL、LCALL、RCALL、GOTO、JUMP、RET、RETIA、RETIE 为双周期指令；满足跳转条件时，JBC、JBS、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

9.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	-	1	本芯片不支持该条指令
2	PAGE	I<8:0>	-	1	本芯片不支持该条指令
3	ISTEP	I<7:0>	-	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	-	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	-	1	(A)->(R)
7	MOVAR	R<10:0>	-	1	(A)->(R)
8	MOVRA	R<10:0>	-	1	(R)->(A)

表 9-1 寄存器操作指令表

9.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	-	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	-	2	I<9:0>->PC<9:0> I<9:8>->PCRH<1:0>
11	GOTO	I<10:0>	-	2	I<9:0>->PC<9:0>，
12	CALL	I<10:0>	-	2	PC+1->TOS,I<9:0>->PC<9:0>
13	LCALL	I<19:0>	-	2	PC+1->TOS,I<9:0>->PC<9:0> I<9:8>->PCRH<1:0>
14	RCALL	R<7:0>	-	2	PC+1->TOS, (R)->PC<7:0>， PCRH<1:0>->PC<9:8>，
15	JBC	R<7:0>， B<2:0>	-	2 或 1	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>， B<2:0>	-	2 或 1	当 R = 1 时跳过下一条指令

序号	指令		影响状态位	机器周期	操作
17	JCAIE	I<7:0>	-	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	-	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	-	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	-	2 或 1	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	-	2 或 1	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	-	2 或 1	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>, B<2:0>	-	2 或 1	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>, B<2:0>	-	2 或 1	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>, B<2:0>	-	2 或 1	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>, F	-	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>, F	-	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	-	-	1	空操作
29	POP	-	-	1	AS->A, PSWS->PSW, PCRHS->PCRH
30	PUSH	-	-	1	A->AS, PSW->PSWS, PCRH->PCRHS
31	RET	-	-	2	TOS->PC
32	RETIA	I<7:0>	-	2	I->(A), TOS->PC
33	RETIE	-	-	2	TOS->PC, 1->GIE
34	RST	-	全部状态位均被影响	1	软件复位指令
35	CWDT	-	N_TO, N_PD	1	00 _H ->WDT, 0->WDT Prescaler, 1-> N_TO, 1-> N_PD
36	IDLE	-	N_TO, N_PD	1	00 _H ->WDT, 0->WDT Prescaler, 1-> N_TO, 0-> N_PD

表 9-2 程序控制指令表

9.4 算术/逻辑运算指令

序号	指令		影响 状态位	机器周期	操作
37	ADD	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C, DC, Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C, DC, Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C, DC, Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	-	1	0->R
44	BSS	R<7:0>,B<2:0>	-	1	1->R
45	BTT	R<7:0>,B<2:0>	-	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	-	1	FF _H ->(R)
48	NEG	R<7:0>	C, DC, Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	-	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C, DC, Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C, DC, Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R不带C向右循环移位)

序号	指令		影响 状态位	机器周期	操作
60	SUB	R<7:0>,F	C, DC, Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC, Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C,DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C,DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C,DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C,DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C,DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	-	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	-	-	2	Pmem(FRA)->ROMD
70	TBR#1	-	-	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	-	-	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	-	-	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	-	-	2	本芯片不支持该条指令
74	TBW#1	-	-	2	本芯片不支持该条指令
75	TBW_1	-	-	2	本芯片不支持该条指令
76	TBW1#	-	-	2	本芯片不支持该条指令
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

表 9-3 算术/逻辑运算指令表

注：指令集说明

1. i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位。
2. C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
3. TOS—顶级堆栈。
4. 如果 F = 0，则目标寄存器为寄存器 A；如果 F = 1，则目标寄存器为寄存器 R。
5. 79 条指令中另有一条 NOP 指令未在上表中描述。
6. 部分指令中，PC 的位数以及 PCRU 寄存器，视实际芯片而定。对于 HW2171B，PC 的位数是 11 位，没有 PCRU 寄存器。

第 10 章 MCU—特殊功能寄存器总表

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位 值
FF80 _H	IAD	间接寻址数据寄存器	IAD<7:0>								0000 0000
FF81 _H	IAAL	间接寻址索引寄存器低 8 位	IAA<7:0>								0000 0000
FF82 _H	IAAH	间接寻址索引寄存器高 8 位	IAA<15:8>								0000 0000
FF83 _H	—	—	—								—
FF84 _H	PSW	程序状态字寄存器	—	UF	OF	N	OV	Z	DC	C	x00x xxxx
FF85 _H	AREG	A 寄存器	AREG<7:0>								xxxx xxxx
FF86 _H	IAPC	IAP 控制寄存器	IAPEN	—	—	—	—	—	IAPGO	—	0000 0000
FF87 _H	FRAL	程序存储器查表地址寄存器低 8 位	FRA<7:0>								xxxx xxxx
FF88 _H	FRAH	程序存储器查表地址寄存器高 8 位	FRA<15:8>								xxxx xxxx
FF89 _H	ROMDL	程序存储器查表数据寄存器低 8 位	ROMD<7:0>								xxxx xxxx
FF8A _H	ROMDH	程序存储器查	ROMD<15:8>								xxxx

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
		表数据寄存器高 8 位									xxxx
FF8B _H	PCRL	程序计数器低 8 位	PCR<7:0>								0000 0000
FF8C _H	PCRH	程序计数器高 3 位	—	—	—	—	—	PCR<10:8>			0000 0000
FF8D _H	-	—	—								—
FF8E _H	PA	PA 端口电平状态寄存器	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	xxxx xxxx
FF8F _H	PAT	PA 端口输入输出控制寄存器	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	PAT1	PAT0	1111 1111
FF90 _H	PB	PB 端口电平状态寄存器	—	—	PB5	PB4	PB3	PB2	PB1	PB0	00xx xxxx
FF91 _H	PBT	PB 端口输入输出控制寄存器	—	—	PBT5	PBT4	PBT3	PBT2	PBT1	PBT0	0011 1111
FF92 _H	—	—	—								—
FF93 _H	—	—	—								—
FF94 _H	N_PAD	PA 端口弱下拉控制寄存器	N_PAD7	N_PAD6	N_PAD5	N_PAD4	—	N_PAD2	N_PAD1	N_PAD0	1111 1111
FF95 _H	N_PBD	PB 端口弱下拉控制寄存器	—	—	PLCS	N_PBD4	N_PBD3	N_PBD2	N_PBD1	N_PBD0	0011 1111
FF96 _H	N_PAU	PA 弱上拉控制寄存器	N_PAU7	N_PAU6	N_PAU5	N_PAU4	N_PAU3	N_PAU2	N_PAU1	N_PAU0	1111 0111
FF97 _H	N_PBU	PB 弱上拉控制寄存器	—	—	N_PBU5	N_PBU4	N_PBU3	N_PBU2	N_PBU1	N_PBU0	0011 1111

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值	
FF98 _H	—	—	—									—
FF99 _H	—	—	—									—
FF9A _H	—	—	—									—
FF9B _H	PINTS	外部中断选择寄存器	PINT3S<1:0>		PINT2S<1:0>		PINT1S<1:0>		PINT0S<1:0>		0000 0000	
FF9C _H	ANS	IO 端口数模选择寄存器	PWM20NS	PWM10NS	ANPA7	ANPB1	ANPB0	ANPA2	ANPA1	ANPA0	0000 0000	
FF9D _H	INTF0	中断标志寄存器 0	T8P2PIF	T8P1PIF	ADIF	LVDIF	—	T8P2TIF	T8P1TIF	KIF	0000 0000	
FF9E _H	INTE0	中断使能寄存器 0	T8P2PIE	T8P1PIE	ADIE	LVDIE	—	T8P2TIE	T8P1TIE	KIE	0000 0000	
FF9F _H	INTC0	中断控制寄存器 0	KMSK7	KMSK6	KMSK5	KMSK4	KMSK3	KMSK2	KMSK1	KMSK0	0000 0000	
FFA0 _H	INTG	中断全局寄存器	GIE	—	—	—	—	—	SOFTIF	—	0000 0000	
FFA1 _H	LVDC	LVD 检测寄存器	LVCLS	—	—	LVDEN	—	—	LVDV<1:0>		0001 0000	
FFA2 _H	INTF1	中断标志寄存器 1	—	—	—	—	PIF3	PIF2	PIF1	PIF0	0000 0000	
FFA3 _H	INTE1	中断使能寄存器 1	—	—	—	—	PIE3	PIE2	PIE1	PIE0	0000 0000	
FFA4 _H	INTC1	中断控制寄存器 1	—	—	—	—	PEG3	PEG2	PEG1	PEG0	0000 0000	
FFA5 _H	OSCCAL	内部 16MHz 时钟校准寄存器	OSCCAL<7:0>									1010 1001

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电复位值
FFA6 _H	WDTCAL	内部 32KHz 时钟校准寄存器	WDTCAL<7:0>								1000 0100
FFA7 _H	PWRC	电源状态控制寄存器	LPM	VRST<1:0>		N_RSTI	N_TO	N_PD	N_POR	N_BOR	0101 110x
FFA8 _H	OSCC	时钟控制寄存器	CLKSS	FOSCS<2:0>			—	WDTOSCF	HSOSCF	LPOSCF	0110 010x
FFA9 _H	WKDC	唤醒延时控制寄存器	WKDC <7:0>								1111 1111
FFAA _H	OSCP	时钟控制写保护寄存器	OSCP<7:0>								1111 1111
FFAB _H	WDTC	WDT 控制寄存器	WDTCKS	—	—	WDTPRE	WDTPRS<3:0>				0001 0111
FFAC _H	PWEN	功耗控制寄存器	—	SW_WDT	SW_HS	SW_LP	—	—	RCEN	—	0100 0011
FFAD _H	—	—	—								—
FFAE _H	—	—	—								—
FFAF _H	—	—	—								—
FFB0 _H	WDTP	WDT 计数周期匹配寄存器	WDTP<7:0>								1111 1111
FFB1 _H	—	—	—								—
FFB2 _H	T8P1	T8P1 计数器	T8P1<7:0>								0000 0000
FFB3 _H	T8P1C	T8P1 控制寄存器	T8P1M	T8P1POS<3:0>				T8P1E	T8P1PRS<1:0>		0000 0000
FFB4 _H	T8P1P	T8P1 周期寄存	T8P1P<7:0>								1111

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位 值	
		器									1111	
FFB5 _H	T8P1R	T8P1 精度寄存器	T8P1R<7:0>									0000 0000
FFB6 _H	T8P1PMC	T8P1 周期匹配控制寄存器	—	—	—	—	—	—	T8P1RS	T8P1PMS	0000 0000	
FFB7 _H	T8P1OC	T8P1 输出控制寄存器	T8P1TRN	T8P1REX	T8P1RE<1:0>		T8P1NEN<1:0>		T8P1PEN<1:0>		0000 0000	
FFB8 _H	T8P2	T8P2 计数器	T8P2<7:0>									0000 0000
FFB9 _H	T8P2C	T8P2 控制寄存器	T8P2M	T8P2POS<3:0>				T8P2E	T8P2PRS<1:0>		0000 0000	
FFBA _H	T8P2P	T8P2 周期寄存器	T8P2PL<7:0>									1111 1111
FFBB _H	T8P2R	T8P2 精度寄存器	T8P2RL<7:0>									0000 0000
FFBC _H	T8P2PMC	T8P2 周期匹配控制寄存器	—	—	—	—	—	—	T8P2RS	T8P2PMS	0000 0000	
FFBD _H	T8P2OC	T8P2 输出控制寄存器	T8P2TRN	T8P2REX	T8P2RE<1:0>		T8P2NEN<1:0>		T8P2PEN<1:0>		0000 0000	
FFBE _H	T8P1PDT	T8P1 PWM 死区控制寄存器	T8P1PDT<7:0>									0000 0000
FFBF _H	T8P2PDT	T8P2 PWM 死区控制寄存器	T8P2PDT<7:0>									0000 0000
FFC0 _H	T8P1PEX	T8P1 后分频比扩展寄存器	—	—	—	—	T8P1POSEX<3:0>				0000 0000	

地址	名称	功能说明	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	上电 复位 值	
FFC1 _H	T8P2PEX	T8P2 后分频比 扩展寄存器	—	—	—	—	T8P2POSEX<3:0>				0000 0000	
FFC2 _H	—	—	—									—
FFC3 _H	—	—	—									—
FFC4 _H	—	—	—									—
FFC5 _H	—	—	—									—
FFC6 _H	ADCCL	ADC 控制寄存 器	ADVREFS<2:0>			ADCHS<2:0>			ADTRG	ADEN	0000 0000	
FFC7 _H	ADCCH	ADC 控制寄存 器	ADFM	ADCS<2:0>			ADST<3:0>				0000 1000	
FFC8 _H	ADCRL	ADC 转换结果 寄存器<7:0>	ADCRL<7:0>									xxxx xxxx
FFC9 _H	ADCRH	ADC 转换结果 寄存器<15:8>	ADCRH<7:0>									xxxx xxxx
FFCA _H	ADCTR	ADC 自动触发 寄存器	—	TRIGS	TRIGPEG	TRIGEN	—	—	—	AD2VCALS	0000 0000	
FFCB _H	—	—	—									—
FFCC _H	—	—	—									—
FFCD _H	—	—	—									—
FFCE _H	—	—	—									—
FFCF _H	CALPROT	校准值保护寄 存器	—	—	—	—	—	—	—	CALPROT0	0000 0001	
FFD0 _H ~FFFF _H	—	—	—									—

第 11 章 RF收发器—工作模式控制

RF 收发器各工作模式之间的切换控制如下图所示：

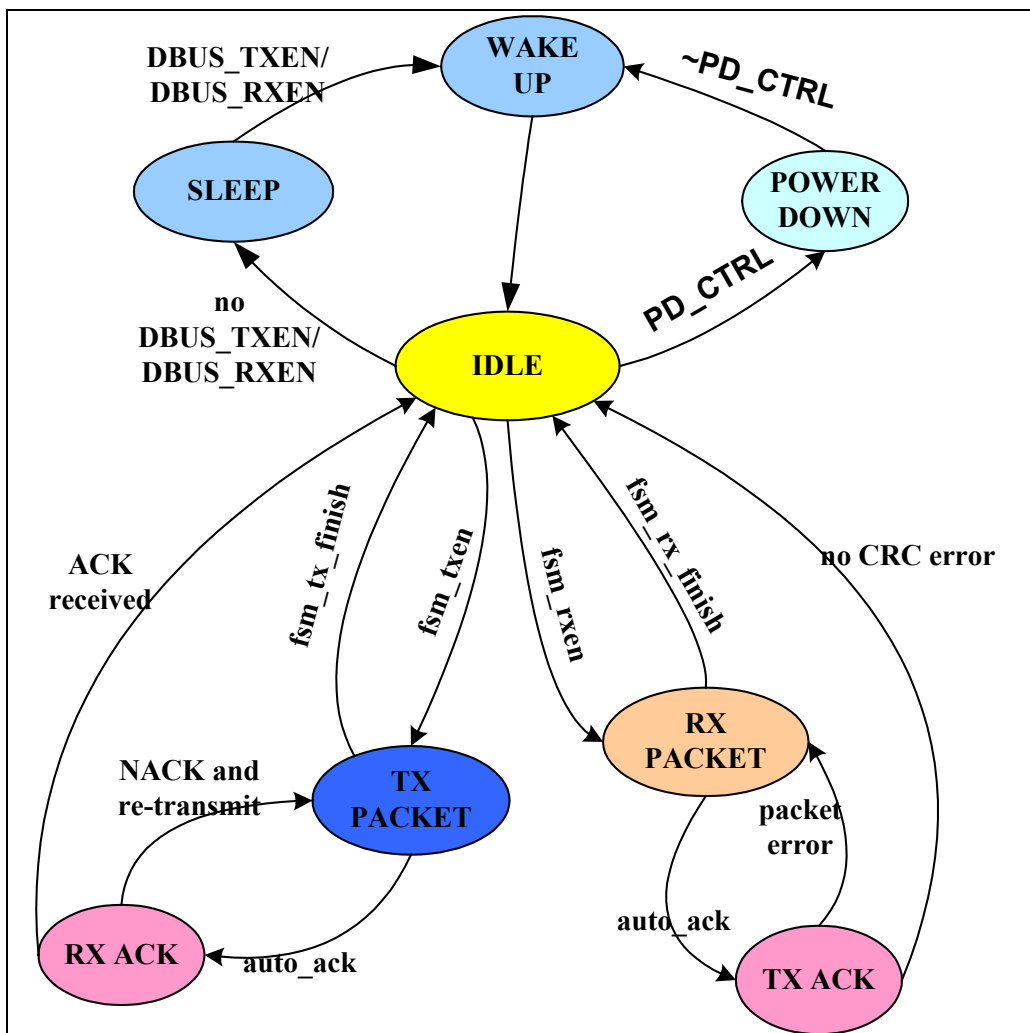


图 11-1 RF 收发器工作模式控制示意图

11.1 POWER DOWN模式

在此模式下除了低功耗数字 LDO 电源工作外，所有模拟模块关闭，寄存器状态保持并可读写（但 FIFO 不可操作，中断标志不可清），RF 收发器整体功耗约为 1.5uA。

设置寄存器 PD_CTRL（寄存器 MISC0 的 Bit15）为高可以进入 POWER DOWN 模式，如果设置为低则退出 POWER DOWN 模式（引脚 CE 需保持为高电平）。RF 收发器从 POWER DOWN 模式退出进入 IDLE 模式后若无收发要求将自动进入 SLEEP 模式。

11.2 SLEEP模式

在此模式下低功耗数字 LDO 电源与晶体振荡器工作，但是晶体振荡器的缓冲器未使能，片内数字电路无时钟，寄存器状态保存并可读写（但 FIFO 不可操作，中断标志不可清），使用

12MHz 晶体振荡器时，RF 收发器整体功耗约为 25uA。

当 RF 收发器没有收发要求关闭 DBUS_TXEN（寄存器 TRCTL 的 Bit8）/DBUS_RXEN（寄存器 TRCTL 的 Bit7）时，自动从 IDLE 模式进入 SLEEP 模式，当有收发请求时开启 DBUS_TXEN/DBUS_RXEN，RF 收发器从 SLEEP 模式恢复至 IDLE 模式后进入 TX/RX 工作模式。

11.3 IDLE模式

在此模式下数字 LDO 电源工作在正常模式，晶体振荡器工作，晶体振荡器的缓冲器使能，片内数字电路有系统时钟，但是 PLL 电路和收发器未工作，使用 12MHz 晶体振荡器时，RF 收发器整体功耗小于 2mA。

RF 收发器收发完成后自动从 TX/RX 模式进入 IDLE 模式。

11.4 TX模式

当使能 RF 收发器 DBUS_TXEN 并且发送 FIFO 处于有效状态后，RF 收发器进入 TX 模式。在发送完成之后，RF 收发器进入 IDLE 模式，关闭 DBUS_TXEN 后，RF 收发器进入 SLEEP 模式。

11.5 RX模式

当使能 RF 收发器 DBUS_RXEN 并且接收 FIFO 处于有效状态后，RF 收发器进入 RX 模式。若 FIFO 为占用状态不满足接收条件时，RF 收发器进入 IDLE 模式，关闭 DBUS_RXEN 后，RF 收发器进入 SLEEP 模式。

注：FIFO 处于有效状态指 FIFO 配置寄存器 FIFO0CTRL/FIFO1CTRL 中所填 PIPE (PRX_FIFO_n_PIPE)，与当前收取包的 PIPE 地址匹配且 PRX_FIFO_n_OCPY = '1'。

第 12 章 RF收发器一包结构

12.1 PTX发送数据包结构

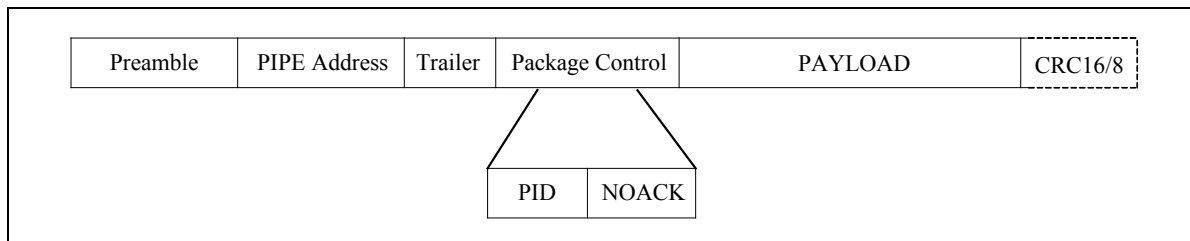


图 12-1 PTX 发送数据包结构示意图

- **Preamble**
支持 2,4,6...16bytes, 长度可通过寄存器 PREAMBLE_LEN (PKTCTRL 寄存器的 Bit15-Bit13) 配置。
- **PIPE Address(Syncword)**
支持 16/32/48bits, 长度可通过寄存器 SYNCWORD_LEN (PKTCTRL 寄存器的 Bit12-Bit11) 配置。支持 4 路数据通道, PIPE Address 可通过寄存器 0x40~0x47 配置。
- **Trailer**
支持 4~18bits, 长度可通过 TRAILER_LEN (PKTCTRL 寄存器的 Bit10-Bit8) 配置。
- **PID**
PID 长度为 2bits, 发送时由硬件自动产生。
PTX 每发送一次新的数据包 PID 将自动加‘1’。
PRX 针对当前接收的 PIPE 地址, 依据 PID 与 CRC 值确定当前包为新接收包或重传包 (重传包会被丢弃)。
PTX 若重发超时, 在下次重新发送时 PID 不累加。
- **NOACK**
此指示位用于当 ACK 功能使能时, PTX 告知 PRX 当前包无需 ACK 的特例情况。可以通过 PTX_FIFO_n_NOACK (FIFO_nCTRL 寄存器的 Bit4) 进行设置。
- **PAYLOAD**
硬件链路控制方式下, 每级 FIFO 最大支持 63bytes 的 PAYLOAD, 非定长模式 FIFO 的第一个 byte 代表 PAYLOAD 的长度, 定长模式 PAYLOAD 长度由寄存器 FIX_PLD_LEN 配置。
软件链路控制方式下, PAYLOAD 的长度由主控 MCU 芯片决定。
- **CRC**
硬件链路控制方式下, 支持 CRC16 与 CRC8 两种模式, 可通过 CRC_SEL (MISC1 寄存器的 Bit14) 配置。
CRC16 生成多项式为: $x^{16}+x^{12}+x^5+1$
CRC8 生成多项式为: x^8+x^2+x+1

软件链路控制方式下不支持硬件 CRC 功能。

12.2 PRX发送ACK包结构

PRX 发送的 ACK 包结构示意图如下所示：

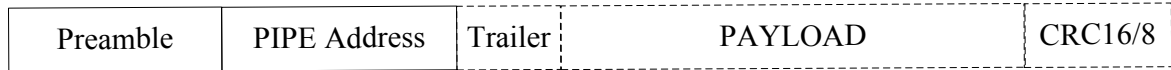


图 12-2 PRX 发送 ACK 包结构示意图

若 ACK 带 ACK PAYLOAD 功能未使能，则 PRX 只返回 Preamble 与 PIPE Address 两部分。

若 ACK 带 ACK PAYLOAD 功能使能，则 PRX 返回 Preamble、PIPE Address、Trailer、PAYLOAD 与 CRC。

Preamble、PIPE Address、Trailer、PAYLOAD 与 CRC 的配置方式见 12.1 节 PTX 发送数据包结构内的描述。

第 13 章 RF收发器—链路控制方式

RF 收发器支持硬件链路控制通信与软件链路控制通信方式，可通过寄存器 `PACK_LENGTH_EN`（MISC1 寄存器的 Bit12）进行配置。详细收发流程与操作请参考《AN1047_应用笔记_HW2000B 应用注意事项》数据包收发章节的内容。

13.1 硬件链路控制方式

当设置 `PACK_LENGTH_EN` 为‘1’时，RF 收发器处于硬件链路控制通信模式。硬件链路控制方式包括两种操作方式，非定长模式和定长模式，可通过 `0x31` 寄存器的 `FIX_PLD_LEN_EN` 位来配置，置‘1’为定长模式使能，置‘0’为非定长模式，默认为非定长模式。

非定长模式支持两级收发 FIFO，每级 FIFO 最大支持 63bytes PAYLOAD，并具有 PAYLOAD 的自动硬件 CRC 校验功能。支持 ACK 功能，ACK 包是否带 ACK PAYLOAD 功能可配。

非定长下所填 FIFO 的第一个 byte 代表该级 FIFO 中的 PAYLOAD 的长度(需大于 0)，PRX 可依据存放收取 PAYLOAD 的 FIFO 中的第一个 byte 值确定所需读取 PAYLOAD 的长度。

定长模式支持两级收发 FIFO，每级 FIFO 最大支持 63bytes PAYLOAD，不支持 ACK 及 ACKPAYLOAD 功能。定长模式下的 PAYLOAD 长度通过寄存器 `FIX_PLD_LEN` 寄存器配置。

13.2 软件链路控制方式

当设置 `PACK_LENGTH_EN` 为‘0’时，RF 收发器处于软件链路控制通信模式。

此模式只支持 FIFO0 一级 FIFO，不支持 ACK 与硬件 CRC 校验功能。

软件链路模式适用于需要发送较长 PAYLOAD 长度(>63 bytes)的场合，主控 MCU 芯片需依据 FIFO 的半空与半满标志配合收发流程。

通过配置 `FW_HW_TERM_EN` 控制位（MISC1 寄存器的 Bit11），可以选择不同的 PTX 停止发送条件：

`FW_HW_TERM_EN = ‘1’`时，FIFO0 的读写指针相同时状态机自动停止发送数据；

`FW_HW_TERM_EN = ‘0’`时，PTX 循环发送 FIFO0 内部的数据，由主控 MCU 芯片关闭 `DBUS_TXEN` 来决定何时停止发送数据，该方式可方便用于测试 PTX 连续发送模式下的性能指标。

第 14 章 RF收发器—多PIPE逻辑通道

RF 收发器支持 4 个数据 PIPE 逻辑通道, 即 PIPE0~PIPE3, 每个 PIPE 都有各自的物理地址, 默认 PIPE0/PIPE1 使能。各 PIPE 地址配置详见寄存器 0x40~0x47 描述。各 PIPE 使能, ACK 功能与 ACK 带 PAYLOAD 功能使能详见 PIPECTRL 寄存器描述。

以使用 PIPE0 逻辑通道通讯为例, PIPECTRL 寄存器配置如下:

- 若不使能 ACK 功能
P0_EN = '1'; P0_ACK_EN = '0'; P0_ACKPAYLOAD_EN = '0'。
- 若使能 ACK 不带 PAYLOAD 功能
P0_EN = '1'; P0_ACK_EN = '1'; P0_ACKPAYLOAD_EN = '0'。
- 若使能 ACK 带 PAYLOAD 功能
P0_EN = '1'; P0_ACK_EN = '1'; P0_ACKPAYLOAD_EN = '1'。

PRX 可支持与 4 个不同 PIPE 地址的 PTX 通讯。为确保 PRX 能回复 ACK 至正确的 PTX, PRX 在收到数据包之后会保存所接收的 PIPE 地址并在回复 ACK 时用作 PIPE 发送地址。

图 14-1 所示为 4 路 PIPE 通讯示意图, 4 路 PIPE 都具有独立的 PIPE 地址。PRX 可分时进行不同 PIPE 的相关通讯, 但在一路 PIPE 完整收发流程完成之前, PRX 不会与另一路 PIPE 地址的 PTX 通讯。当多路 PTX 与 1 路 PRX 通讯时, 设置各 PTX 的 AUTO_RX_ACK_TIME 寄存器值 (MISC2 寄存器的 Bit7-Bit0) 可以有效避免各个 PIPE 之间的干扰。

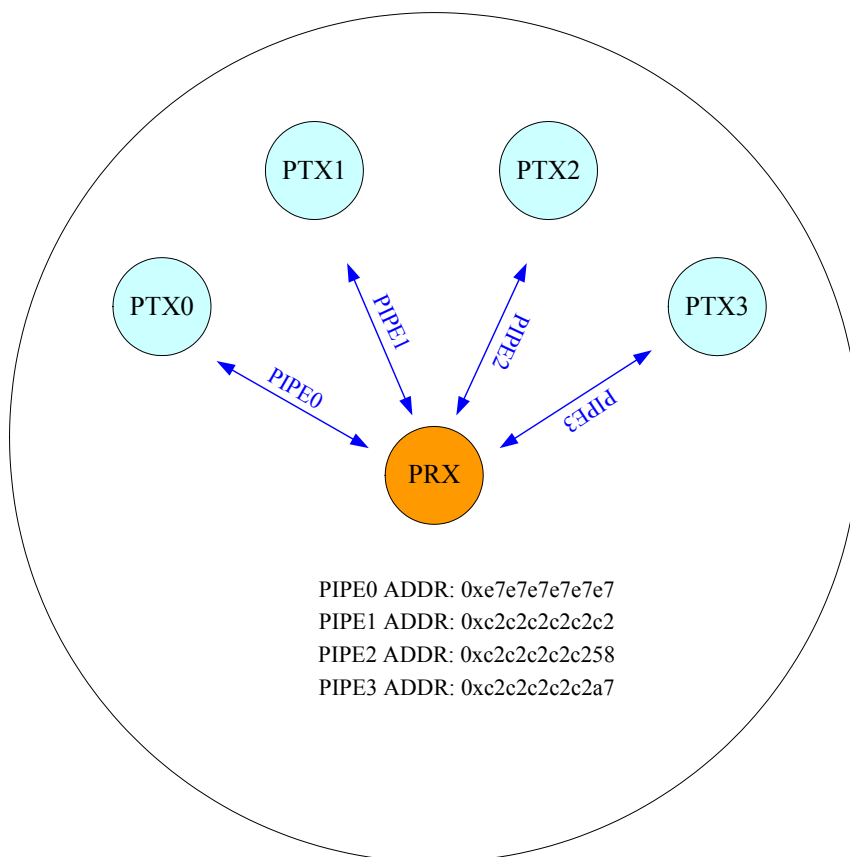


图 14-1 4 路 PIPE 通讯示意图

第 15 章 RF收发器—自动响应ACK与自动重传ART

15.1 ACK不带ACK PAYLOAD

- 当 PTX 与 PRX 同时使能当前通信 PIPE 的 ACK 功能后 (PIPECTRL 寄存器中的 Pn_EN = '1' 并且 Pn_ACK_EN = '1'), PRX 在接收 CRC 完成后由 RX 模式自动切换为 TX 模式发送 ACK 包, PTX 在发送 CRC 完成后由 TX 模式自动切换为 RX 模式等待接收 ACK 包。PTX 在接收 ACK 完成、PRX 在发送 ACK 完成后置起相应的 FIFO 中断标志位 (详见图 16-3)。
- PTX 如果在 AUTO_RX_ACK_TIME 时间内没有成功接收到 PRX 发送的 ACK 信号, PTX 将自动重传上一个数据包。如重传次数超过设定次数 RE_TX_TIMES 加 1 (MISC0 寄存器的 Bit11-Bit8), INT 寄存器中的 INTn 中断标志位与 FIFO 发送指示位 PTX_FIFO_n_FAIL (FIFO_nCTRL 寄存器的 Bit15) 将同时置 '1' 指示发送失败 (详见图 16-4 至图 16-6)。
- PRX 在接收 CRC 完成后若出现 CRC 错误将不切换 RX 模式而等待自动重收 (详见图 16-7)。

在 ACK 功能使能时, 通过配置 PTX_FIFO_n_NOACK 控制位可告知 PRX 当前发送包无需自动 ACK。

15.2 ACK带ACK PAYLOAD

- 当 PTX 与 PRX 同时使能当前通信 PIPE 的 ACK 带 ACK PAYLOAD 功能后 (Pn_EN = '1', Pn_ACK_EN = '1' 并且 Pn_ACKPAYLOAD_EN = '1'), PRX 在发送 ACK 的过程中自动从满足条件的 ACK FIFO 中取出 ACK PAYLOAD 进行发送。ACK FIFO 的第一个 byte 代表 ACK PAYLOAD 的长度, 填写值需大于 0。PTX 在接收到 ACK PAYLOAD 后将数据填入满足条件的 ACK FIFO 中, 并置起该 ACK FIFO 的相应状态指示位 (INT 寄存器中的 ACKINTn、FIFO_n_ACK_POS 和 ACKINTn_W_ACKPAY, ACKFIFO_nCTRL 寄存器中的 PTX_ACKFIFO_n_PIPE)。ACK FIFO 的操作流程与 DATA FIFO 的流程基本一致。
- 若 PRX 无满足条件的 ACK FIFO, 在发送 ACK 包时将自动忽略发送 ACK PAYLOAD 与 CRC 环节, PTX 在接收 ACK 包时会检测到长度为 0 的 ACK PAYLOAD 而自动忽略接收 CRC 环节。
- PTX 若检测到收取的 ACK PAYLOAD 有 CRC 错误, 将由 RX 模式转入 TX 模式进行重发。如重传次数超过设定次数 RE_TX_TIMES+1, PTX_FIFO_n_FAIL 将置 '1' 指示发送失败。

注: 满足条件的 ACK FIFO 指 ACK FIFO 配置寄存器 ACKFIFO0CTRL/ACKFIFO1CTRL 中所填 PIPE (PRX_ACKFIFO_n_PIPE), 与当前收取包的 PIPE 地址匹配且 PRX_ACKFIFO_n_OCPY = '1'。

第 16 章 RF收发器—数据与控制接口

16.1 FIFO

RF 收发器支持两级 DATA FIFO(每级 64bytes)与两级 ACK FIFO(每级 32bytes)。DATA FIFO 用于存放收发的 PAYLOAD 数据，其访问地址为 0x32 与 0x33，ACK FIFO 用于存放收发的 ACK PAYLOAD 数据，其访问地址为 0x34 与 0x35。

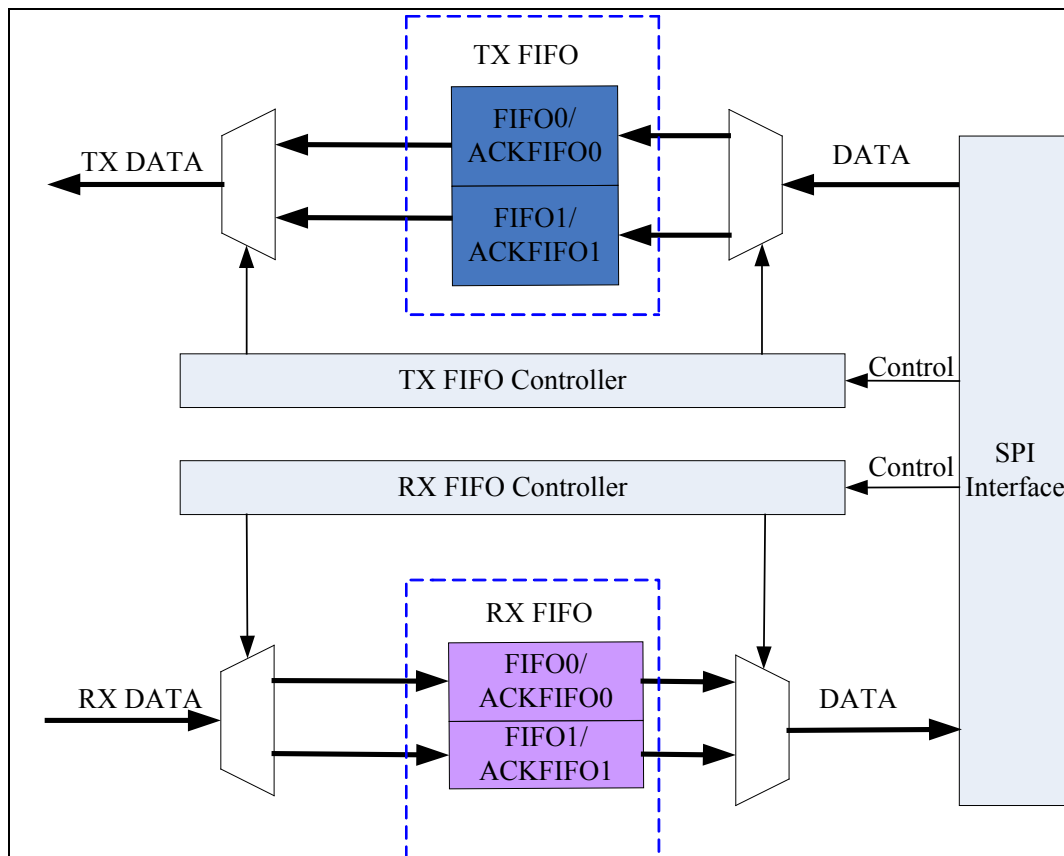


图 16-1 FIFO 控制示意图

对于 PTX, 在发送 PAYLOAD 前可以通过 SPI 向 DATA FIFO 内填写数据, 在发送过程中 DATA FIFO 的读取权限交于内部状态机, 在发送过程中禁止 SPI 接口读 DATA FIFO 操作;

对于 PRX, 在接收 PAYLOAD 过程中 DATA FIFO 的写入权限交于内部状态机, 在此过程中禁止 SPI 接口写 DATA FIFO 操作。

类似的, 若使能 ACK 带 PAYLOAD 功能, 对于 PRX, 在 ACK PAYLOAD 发送前可以通过 SPI 向 ACK FIFO 内填写数据, 在发送过程中 ACK FIFO 的读取权限交于内部状态机, 在发送过程中禁止 SPI 接口读 ACK FIFO 操作;

对于 PTX, 在接收 ACK PAYLOAD 过程中 ACK FIFO 的写入权限交于内部状态机, 在此过程中禁止 SPI 接口写 ACK FIFO 操作。

16.2 中断

16.2.1 硬件链路控制中断

- **ACK 不使能中断**

在 ACK 不使能情况下，PTX 在发送完成后置起相应的发送 FIFO 中断标志位 INTn，同样 PRX 在接收完成后置起相应的接收 FIFO 中断标志位（如图 16-2 所示）。

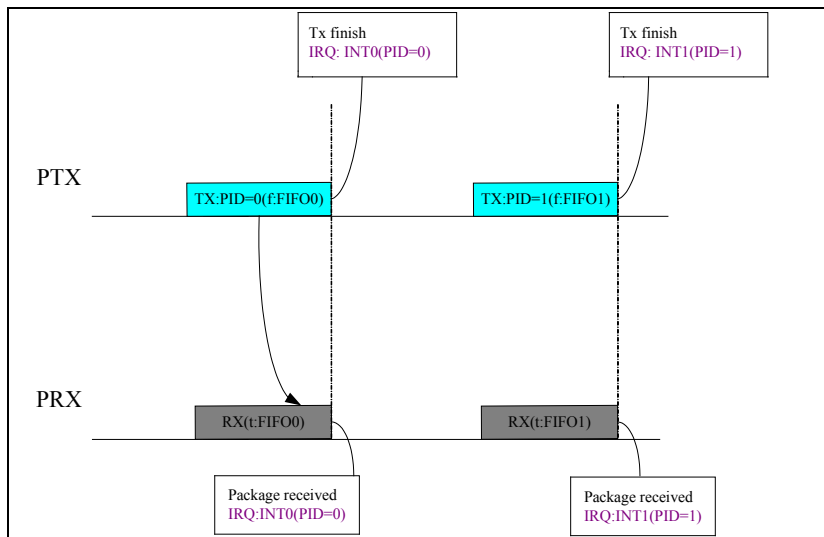


图 16-2 ACK 不使能情况中断示意图

- **ACK 使能不带 ACK PAYLOAD 中断**

在 ACK 使能不带 ACK PAYLOAD 情况下，若 PTX 发送来自 FIFO_n 的 PAYLOAD，在接收 ACK 成功后，对应的中断标志位 INTn 将置‘1’。

若 PRX 在成功接收后将 PAYLOAD 填入 FIFO_n, PRX 在返回 ACK 完成后对应的中断标志位 INTn 将置‘1’。（如图 16-3 所示）。

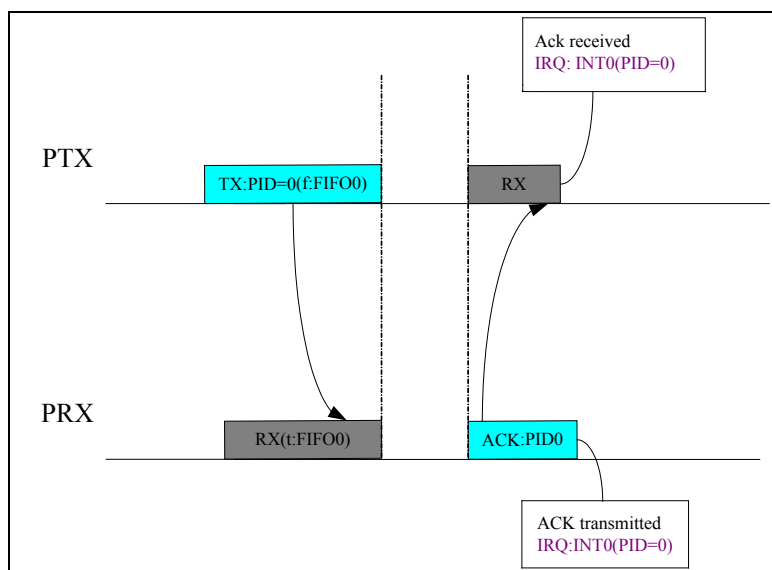


图 16-3 ACK 使能不带 ACK PAYLOAD 中断示意图

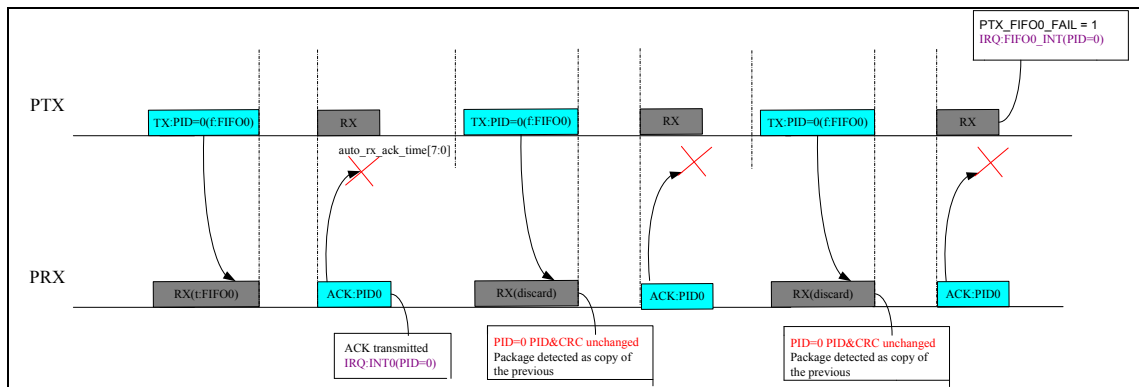


图 16-6 PTX 自动重传情况 3 中断示意图(重发超时，重发次数为 2)

注 1: 自动重传次数设置 RE_TX_TIMES 需大于‘1’。

注 2: 若 PTX 在 RE_TX_TIMES 次数内未接收到 ACK，PTX 在置起中断 INTn 的同时 PTX_FIFO0n_FAIL 将置‘1’。

注 3: 若 PTX 重传超时，在发送下一包时 PID 较上一次保持不变。

注 4: 重收弃包功能只在 ACK 使能的情况下有效。

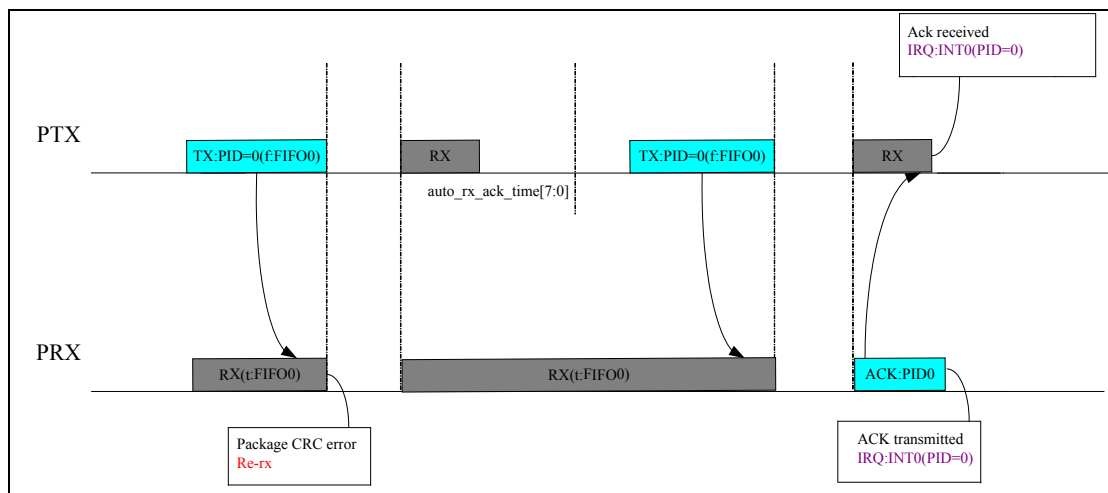


图 16-7 PRX 自动重收中断示意图

图 16-7 所示为 PRX 自动重收的情况，PRX 在接收到数据包之后若检测 CRC 有误将不返回 ACK 而切换至自动重收，直至收到正确的数据包并返回 ACK 之后置起中断标志。PTX 在 AUTO_RX_ACK_TIME 时间内无法接收有效 ACK 将自动重传。

● **ACK 使能带 ACK PAYLOAD 中断**

在 ACK 带 ACK PAYLOAD 情况下，若 PTX 从 FIFO_n 中发送 PAYLOAD 之后成功接收 ACK PAYLOAD 后填入 ACK_FIFO_n，对应的中断标志位 INT_n 与 ACK_INT_n 将置‘1’。

若 PRX 从 ACK_FIFO_n 中返回 ACK PAYLOAD，在下次收到新包后（同一 PIPE PID 发生变化），对应的中断标志位 ACK_INT_n 将置‘1’（如图 16-8 所示）。

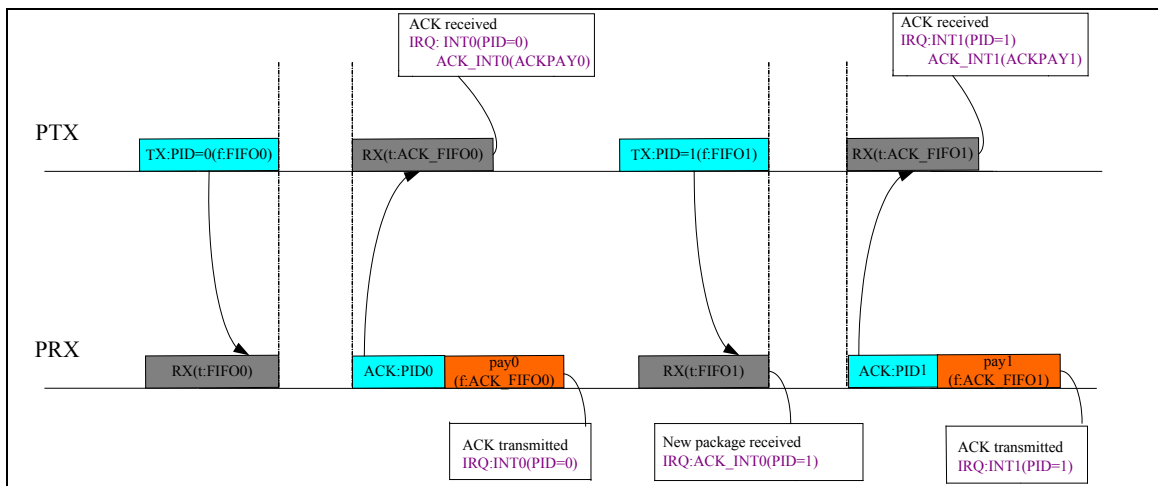


图 16-8 ACK 带 ACK PAYLOAD 情况中断示意图

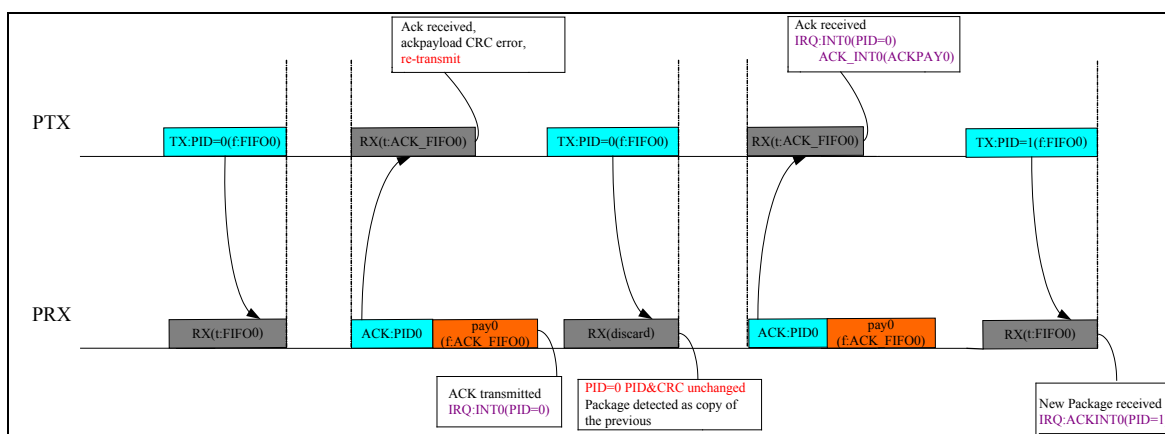


图 16-9 PTX 接收 ACK CRC ERROR 情况中断示意图

PTX 接收到 ACK PAYLOAD 之后若检测到 CRC 错误，将进行重发，不置起中断（如图 16-9 所示）。

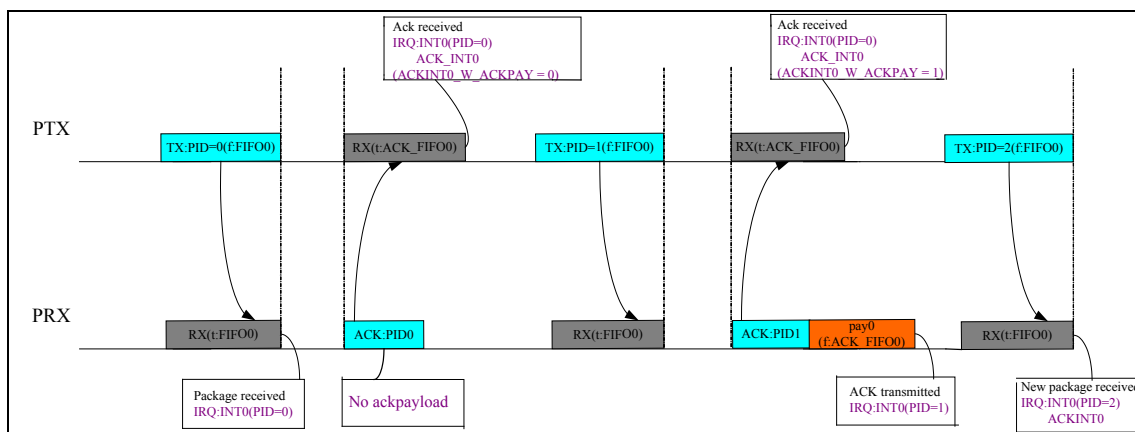


图 16-10 PRX 无满足条件 ACK PAYLOAD 发送情况中断示意图

PRX 若无满足条件的 ACK FIFO，将忽略发送 ACK PAYLOAD，PTX 检测到长度为 0 的 ACK PAYLOAD，置起 ACK_INT0（假设 ACK FIFO0 满足接收状态）的同时将

ACKINT0_W_ACKPAY 状态位置‘0’，指示此次中断无 ACK PAYLOAD。PRX 在下次即使接收到的 PID 发生变化也不置起 ACKINT0 中断（如图 16-10 所示）。

16.2.2 软件链路控制中断

软件链路控制情况下 PTX 的 IRQ 引脚指示发送状态，发送完成后 IRQ 电平翻转。

PRX 在接收到可相关的 PIPE 地址后置中断标志位 INTn，可通过中断标志清零寄存器或 SPI 读取接收 FIFO 自动清相应的中断 INTn（如图 16-11 所示）。

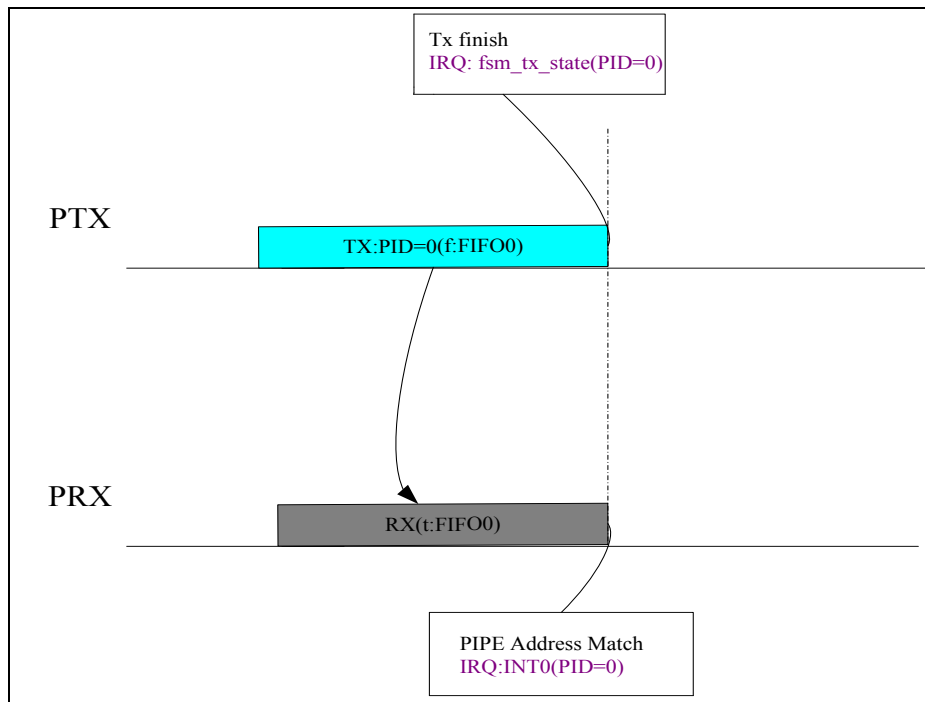


图 16-11 软件链路控制方式下中断示意图

16.3 SPI通信接口

RF 收发器支持 4 线 SPI 通信接口，支持 SLEEP 模式下对寄存器的读写操作，支持 FIFO 连续连写。

16.3.1 SPI帧格式

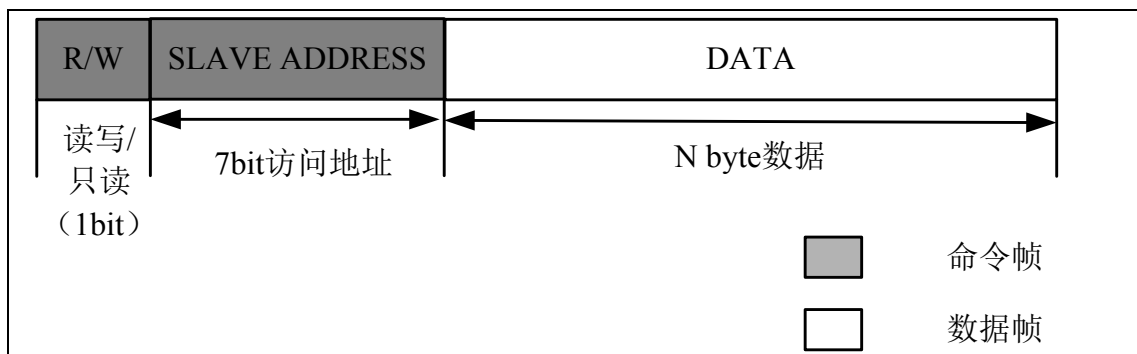


图 16-12 SPI 帧格式

其中 8bit 命令帧首位为读写控制位，‘0’为只读操作，‘1’为读写操作（读取某寄存器值的同时可以写入值），后 7 位为读写地址位。

SPI 数据帧按 SPI 接口访问对象不同有所区别，如果 SPI 访问内部寄存器则数据帧固定为 2bytes，如果 SPI 访问 FIFO（寄存器地址：0x32, 0x33, 0x34, 0x35），在非连续连写情况下为 1byte（内部 FIFO 数据宽度），在连续连写情况下数据长度由主设备访问长度决定。

数据格式为高位（MSB）在前，低位（LSB）在后。

16.3.2 寄存器访问时序

SPI 接口读写寄存器操作时序如图 16-13 与图 16-14 所示。

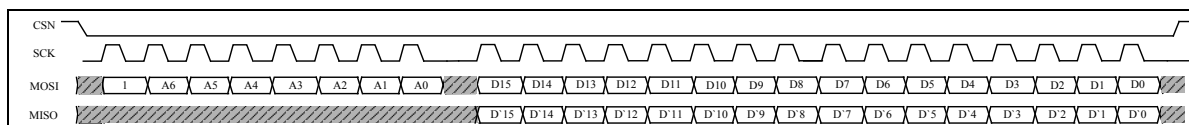


图 16-13 SPI 写寄存器时序

注：写寄存器时 MISO 送出的 D'x 为所访问寄存器的原始值。

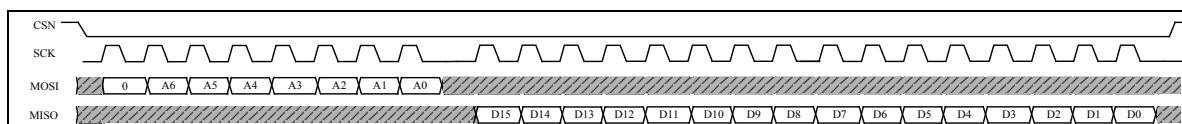


图 16-14 SPI 读寄存器时序

16.3.3 FIFO访问时序

FIFO 支持连续读写操作，最小单位为 1byte，SPI 接口读写 FIFO 操作时序如图 16-15 与图 16-16 所示。

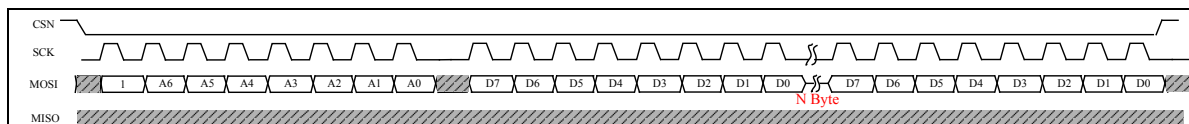


图 16-15 SPI 写 FIFO 时序

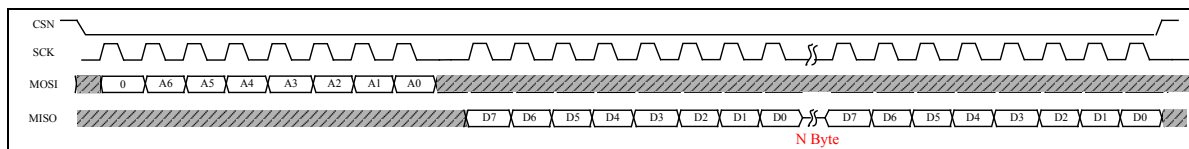


图 16-16 SPI 读 FIFO 时序

16.3.4 SPI时序参数

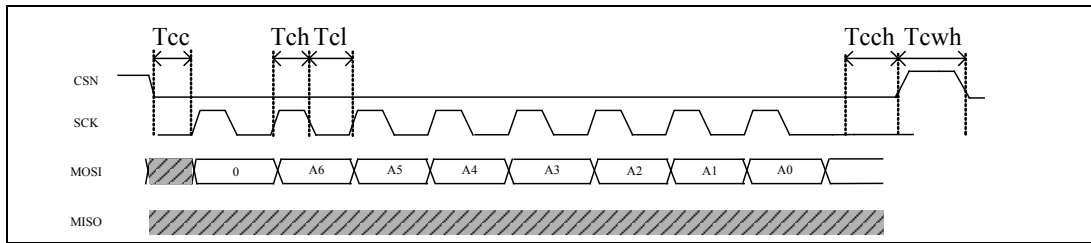


图 16-17 SPI 时序参数示意图

Symbol	Parameter	Min.	Units
Tcc	CSN to SCK setup time	20	ns
Tch	SCK high time	62.5	ns
Tcl	SCK low time	62.5	ns
Tcch	SCK to CSN hold time	40	ns
Tcwh	CSN inactive time	125	ns

表 16-1 SPI 时序参数

第 17 章 RF收发器—其它功能与设置

17.1 RF收发器复位

RF 收发器共提供三个复位源，分别为上电 POR 复位、片选引脚 CE 复位、SFT_RST 软件复位。

上电 POR 复位、片选引脚 CE 复位为全芯片复位，软件复位只复位芯片内部各状态信号，内部寄存器状态保持。

需要注意的是，由于 MCU 复位唤醒时间比 RF 复位唤醒时间短，所以，MCU 复位唤醒后需要进行适当延时，再对 RF 收发器进行 SPI 操作。

17.2 频点设置

在数据收发时，收发两端的频点设置必须一致。可使用的频点范围是 2402MHz ~ 2483MHz，频点间隔为 1MHz，共 82 个可用频点。频点可以通过信道号寄存器 PLL_CH_NO 设置，最终发送或接收的频点值为 RF_FREQ_BASE + PLL_CH_NO(MHz)。

注：需在使能发送或接收之前完成频点设置。

17.3 自动频偏校正(AFC)

在无线收发器的两端，由于晶振、工作环境等因素的影响，使得收发两端的频率会有一些的偏差。RF 收发器在接收数据时提供了自动频偏校正的功能（AFC），寄存器 AFC_MCTRL（MISC2 寄存器的 Bit14）为 AFC 功能使能控制位。

17.4 软件频偏校正

除硬件自身提供的 AFC 功能之外，RF 收发器还给软件提供了频偏校正的接口。

寄存器 RF_FREQ_FRACTION（FOCCFG 寄存器的 Bit11-Bit0）用于填写频偏的补偿值，该寄存器具体设置的计算公式如下：

$$\text{RF_FREQ_FRACTION} = \text{round}(f_{\text{dev}}/10^6 \cdot 2048)$$
，频率补偿的精度约为 250Hz。

其中 f_{dev} = 目标频点-实际频点（Hz）

对于接收端，RF 收发器提供了硬件评估的频偏指示寄存器 FREQ_ESTIMATION（STATUS0 寄存器的 Bit9-Bit0，二进制补码），该寄存器的数据和实际频偏频率 f_{dev} 的对应关系如下：

当 250kbps 数据速率时： $f_{\text{dev}} = \text{FREQ_ESTIMATION}/1024 \cdot 10^6$ (Hz)

当 1Mbps 数据速率时： $f_{\text{dev}} = \text{FREQ_ESTIMATION}/256 \cdot 10^6$ (Hz)

用户可依据频偏指示寄存器 FREQ_ESTIMATION 的值推算 f_{dev} ，完成对频偏补偿寄存器 RF_FREQ_FRACTION 的配置。

17.5 前导码指示

数据包以“0101”序列作为整个数据包的前导，RF 收发器可以通过检测收到的连续“01”数据的个数作为数据包前导序列的指示，具体需要检测的“01”数据个数可以通过设置寄存器 PREAMBLE_NUM（FOCCFG 寄存器的 Bit15-Bit12）确定。如果 RF 收发器检测到有效的前导序列，寄存器 PQT（STATUS0 寄存器 Bit11）指示为高电平。

17.6 RSSI功能

在接收模式时，芯片会评估天线端接收到的信号能量的大小，该数值会保存在寄存器 RSSI 中。RSSI 的读数单位是 dBm，数据的格式为二进制补码形式的有符号数。推荐在数据包接收完成后读取锁存的 RSSI 的数值，锁存的 RSSI 寄存器 PKG_RSSI 保留的是上一个数据包的 RSSI 值。若读取环境中的 RSSI 值，需在接收使能后，延时几个毫秒后去读 RSSI 寄存器。RSSI 值与输入功率对应关系详见《AN1047_应用笔记_HW2000B 应用注意事项》RSSI 章节的内容。

17.7 载波检测指示(Carrier Detect)功能

RF 收发器支持载波检测功能，即在接收模式时，RF 收发器会监控带内的接收信号能量，当接收信号能量大于设置的域值，并保持一定时间(>8us)后，RF 收发器会给出载波检测指示信号。

载波指示的能量域值可以通过 CDTH 寄存器设置，当输入信号能量超过 CD_TH1 设置，并且保持超过 8us 后，载波检测指示位 CD 会置高，如果信号能量降低并小于 CD_TH2 的设置，载波检测指示位将立刻复位。

CD_TH1 和 CD_TH2 设置时的具体单位为 dBm，数据格式为二进制补码形式的符号数。

CD_TH1 与 CD_TH2 的设置方法：

1. 在接收灵敏度点读取 RSSI 寄存器值；
2. CD_TH1 的设置值为 RSSI - 2dBm；
3. CD_TH2 的设置值为 RSSI - 5dBm。

推荐使用《AN1047_应用笔记_HW2000B 应用注意事项》寄存器初始化设置章节给定的 CD 阈值。

17.8 FEC、CRC、SCRAMBLE功能

RF 收发器支持数据自动的 FEC 纠错码功能，码率 R 为 2/3。使用 FEC 可以纠正传输中的传输错误，可以提高系统在低信噪比环境下传输成功率，但 FEC 会增加冗余数据，增加数据包的传送时间。可以通过配置寄存器 FEC_TYPE (PKTCTRL 寄存器 Bit5-Bit4) 使能 FEC。

硬件链路控制模式下 CRC 算法由硬件实现，CRC 移位寄存器初始值可通过寄存器 CRC_INIT_DATA (MISC1 寄存器 Bit7-Bit0) 设置。

支持 CRC16 与 CRC8 两种模式，可通过 CRC_SEL 配置。

CRC16 生成多项式为： $x^{16}+x^{12}+x^5+1$

CRC8 生成多项式为： x^8+x^2+x+1

RF 收发器支持数据的扰码功能，以增强长‘0’或长‘1’类型数据的传输能力。可以通过寄存器 SCRAMBLE_ON (MISC1 寄存器 Bit13) 开启扰码功能，扰码种子可通过寄存器 SCRAMBLE_DATA (MISC0 寄存器 Bit6-Bit0) 设置。

扰码区域为 PAYLOAD-CRC。其基本数据流为：

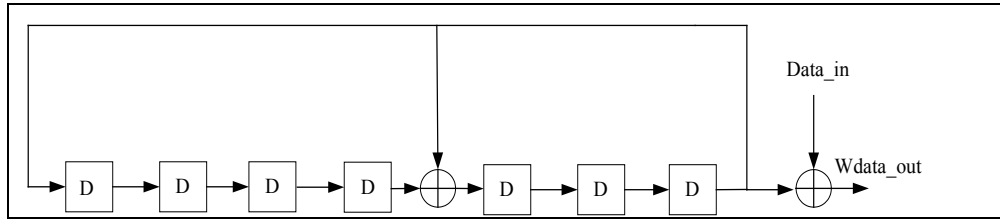


图 17-1 数据扰码生成器

第 18 章 RF收发器—寄存器

18.1 寄存器列表

寄存器列表如下所示，紫色字体标注的是 HW2171B 相对于 HW2171 新增的三个寄存器。

地址	寄存器名称	功能说明	复位值
0x20	PKTCTRL	数据包配置寄存器	0x5000
0x21	TRCTL	发送接收使能寄存器	0x0000
0x22	CHANNR	Channel 设置寄存器	0x1830
0x23	MISC0	配置寄存器 0	0x0300
0x24	FOCCFG	频率偏差补偿寄存器	0x4000
0x25	FREQBASE	起始频点设置寄存器	0x0962
0x26	DS_PE	上拉和大电流驱动使能控制寄存器	0x000F
0x28	THRES	阈值设置寄存器	0x2103
0x29	MISC1	配置寄存器 1	0x1800
0x2A	MISC2	配置寄存器 2	0xC07E
0x2B	PKG_RSSI	接收数据包信号能量指示寄存器	-
0x2C	CDTH	CD 阈值设置寄存器	0x8883
0x2D	RSSI	接收信号能量指示寄存器	-
0x2E	STATUS0	状态寄存器 0	-
0x30	STATUS1	状态寄存器 1	-
0x31	FIX_LEN_EN	定长收发控制寄存器	0x0F01
0x32	FIFO0DATA	FIFO0 访问寄存器	-
0x33	FIFO1DATA	FIFO1 访问寄存器	-
0x34	ACKFIFO0DATA	ACKFIFO0 访问寄存器	-
0x35	ACKFIFO1DATA	ACKFIFO1 访问寄存器	-
0x36	FIFO0CTRL	FIFO0 配置寄存器	0x008E
0x37	FIFO1CTRL	FIFO1 配置寄存器	0x008E
0x38	ACKFIFO0CTRL	ACKFIFO0 配置寄存器	0x0E80
0x39	ACKFIFO1CTRL	ACKFIFO1 配置寄存器	0x0E80
0x3A	FIFOSTATUS	FIFO 状态寄存器	-
0x3B	CLEAR	FIFO 指针寄存器	-
0x3C	PIPECTRL	PIPE 设置寄存器	0x3000
0x3D	INT	中断寄存器	-
0x40	P0ADDR0	PIPE0 地址低 16bits	0xE7E7
0x41	P0ADDR1	PIPE0 地址中间 16bits	0xE7E7
0x42	P0ADDR2	PIPE0 地址高 16bits	0xE7E7
0x43	P1ADDR0	PIPE1 地址低 16bits	0xC2C2
0x44	P1ADDR1	PIPE1 地址中间 16bits	0xC2C2
0x45	P1ADDR2	PIPE1 地址高 16bits	0xC2C2
0x46	P2ADDR	PIPE2 地址低 8bits	0xxx58
0x47	P3ADDR	PIPE3 地址低 8bits	0xxxA7

表 18-1 寄存器列表

18.2 寄存器说明

寄存器	数据包配置寄存器 PKTCTRL				
地址	0x20				
复位值	0x5000				
位名称	位	读写	位说明	1	0
PREAMBLE_LEN	15:13	R/W	Preamble 长度设置	000:2bytes 001:4bytes 010: 6 bytes ... 111: 16 bytes	
SYNCWORD_LEN	12:11	R/W	Syncword 长度设置	00: 16 bits 01: 32 bits 10: 48 bits 11: reserved	
TRAILER_LEN	10:8	R/W	Trailer 长度设置	000:4bits 001: 6bits ... 111: 18 bits Trailer 长度=设置值*2 + 4(bits)	
PACK_TYPE	7:6	R/W	数据编码方式选择	00: NRZ law data 01: Manchester data type 10: 8bit/10bit line code 11: Interleave data type	
FEC_TYPE	5:4	R/W	FEC 功能使能位	00: NO FEC 10: FEC23 others: reserved	
-	3:0	-		-	

表 18-2 PKTCTRL 寄存器说明

寄存器	发送接收使能寄存器 TRCTL				
地址	0x21				
复位值	0x0000				
位名称	位	读写	位说明	1	0
-	15:9	-	-	-	-
DBUS_TXEN	8	R/W	发送使能 (与接收使能不能同时为‘1’)	使能	不使能
DBUS_RXEN	7	R/W	接收使能 (与发送使能不能同时为‘1’)	使能	不使能
-	6:0	-	-	-	-

表 18-3 TRCTL 寄存器说明

寄存器		Channel 设置寄存器 CHANNR			
地址	0x22				
复位值	0x1830				
位名称	位	读写	位说明	1	0
-	15:14	-	-		
REF_FQ	13:9	R/W	参考时钟的频率 (MHz)	12M 晶振: 01100 16M 晶振: 10000 20M 晶振: 10100	
-	8:7	-	-	-	
PLL_CH_NO	6:0	R/W	RF channel number	The on-air frequency: F = RF_FREQ_BASE + PLL_CH_NO	

表 18-4 CHANNR 寄存器说明

寄存器		配置寄存器 MISC0			
地址	0x23				
复位值	0x0300				
位名称	位	读写	位说明	1	0
PD_CTRL	15	R/W	POWER DOWN 模式使能信号 (RF 收发器进入 POWER DOWN 模式后寄存器状态 保持并可读写, 但 FIFO 不 可操作, 中断标志不可清。)	使能	不使能
SFT_RST	14	R/W	软件复位使能信号 (不复位寄存器值)	使能	不使能
-	13:12	-	-	-	
RE_TX_TIMES	11:8	R/W	PTX 自动重发次数 (ACK 功能使能后有效)	注: 设置值范围 0~0xE, 重发次 数为设置值加 1	
MISO_TRI_OPT	7	R/W	SPI 片选为高电平时, MISO 引脚状态配置	MISO 引脚输出 使能	MISO 引脚输 出不使能, 为 高阻态
SCRAMBLE_DATA	6:0	R/W	扰码种子	-	

表 18-5 MISC0 寄存器说明

寄存器		频率偏差补偿寄存器 FOCCFG				
地址	0x24					
复位值	0x4000					
位名称	位	读写	位说明	1	0	
PREAMBLE_NUM	15:12	R/W	接收检测 Preamble 长度	检测长度为 preamble_num*2 (bits)		
RF_FREQ_FRACTION	11:0	R/W	频率偏差补偿寄存器	详见 17.4 节		

表 18-6 FOCCFG 寄存器说明

寄存器		起始频点设置寄存器 FREQBASE				
地址	0x25					
复位值	0x0962					
位名称	位	读写	位说明	1	0	
-	15:12	-	-	-		
RF_FREQ_BASE	11:0	R/W	起始频点设置(MHz)	射频工作频率范围为 2402~2483MHz，设置值需配合 PLL_CH_NO 寄存器设置值，使工作频率在支持频段范围内。		

表 18-7 FREQBASE 寄存器说明

寄存器		上拉和大电流驱动使能控制寄存器 DS_PE				
地址	0x26					
复位值	0x000F					
位名称	位	读写	位说明	1	0	
CE_DS	15	R/W	CE PAD 大电流驱动使能	1: enable, 0: disable		
CSN_DS	14	R/W	CSN PAD 大电流驱动使能	1: enable, 0: disable		
SCK_DS	13	R/W	SCK PAD 大电流驱动使能	1: enable, 0: disable		
IRQ_DS	12	R/W	IRQ PAD 大电流驱动使能	1: enable, 0: disable		
MOSI_DS	11	R/W	MOSI PAD 大电流驱动使能	1: enable, 0: disable		
MISO_DS	10	R/W	MISO PAD 大电流驱动使能	1: enable, 0: disable		
CE_PE	9	R/W	CE PAD 上拉使能	1: enable, 0: disable		
CSN_PE	8	R/W	CSN PAD 上拉使能	1: enable, 0: disable		
SCK_PE	7	R/W	SCK PAD 上拉使能	1: enable, 0: disable		
IRQ_PE	6	R/W	IRQ PAD 上拉使能	1: enable, 0: disable		
MOSI_PE	5	R/W	MOSI PAD 上拉使能	1: enable, 0: disable		
MISO_PE	4	R/W	MISO PAD 上拉使能	1: enable, 0: disable		
CE_SONOF	3	R/W	CE FILTER 使能	1: enable, 0: disable		
CSN_SONOF	2	R/W	CSN FILTER 使能	1: enable, 0: disable		
SCLK_SONOF	1	R/W	SCLK FILTER 使能	1: enable, 0: disable		
MOSI_SONOF	0	R/W	MOSI FILTER 使能	1: enable, 0: disable		

表 18-8 DS_PE 寄存器说明

寄存器		阈值设置寄存器 THRES				
地址	0x28					
复位值	0x2103					
位名称	位	读写	位说明	1	0	
EMPTY_THRES	15:11	R/W	FIFO0 半空阈值 (软件链路控制模式使用)	-	-	
FULL_THRES	10:6	R/W	FIFO0 半满阈值 (软件链路控制模式使用)	-	-	
SYNC_THRES	5:0	R/W	同步字允许错误个数阈值	-	-	

表 18-9 THRES 寄存器说明

寄存器		配置寄存器 MISC1				
地址	0x29					
复位值	0x1800					
位名称	位	读写	位说明	1	0	
-	15	-	-	-	-	
CRC_SEL	14	R/W	CRC 选择控制	CRC8	CRC16	
SCRAMBLE_ON	13	R/W	扰码功能使能位	使能	不使能	
PACK_LENGTH_EN	12	R/W	链路控制模式选择	硬件链路控制	软件链路控制	
FW_HW_TERM_EN	11	R/W	硬件链路控制模式下 PTX 发送停止模式配置	当 FIFO0 的读写指针相等时自动停止发送	由主控 MCU 决定发送关闭时刻	
PKT_HINT_PRIORITY	10	R/W	中断引脚有效电平配置	低电平有效	高电平有效	
-	9:8	-	-	-	-	
CRC_INIT_DATA	7:0	R/W	CRC 移位寄存器 初始值	-	-	

表 18-10 MISC1 寄存器说明

寄存器		配置寄存器 MISC2				
地址	0x2A					
复位值	0xC07D					
位名称	位	读写	位说明	1	0	
RATE	15	R/W	发送速率选择	1Mbps	250Kbps	
AFC_MCTRL	14	R/W	AFC 功能控制	使能	不使能	
DCOC_ENABLE	13	R/W	DCOC 校准使能	使能	不使能	
DCOC_CTRL	12:10	R/W	DCOC 校准控制位	使能	不使能	
-	9	-	-	-	-	
ACKTIME_ADJUST_ON	8	R/W	AUTO_RX_ACK_TIME 寄存器设置时间乘 2	使能	不使能	
AUTO_RX_ACK_TIME	7:0	R/W	在 ACK 使能情况下, PTX 由发送切换为接收	等待 ACK 的时间为 寄存器设置值*1us @1Mbps		

			后等待 ACK 的时间。	寄存器设置值*4us @250Kbps 推荐的设置值为 preamble_length(bits)+100@1Mbps preamble_length(bits)+52@250Kbps
--	--	--	--------------	---

表 18-11 MISC2 寄存器说明

寄存器	接收数据包信号能量指示寄存器 PKG_RSSI				
地址	0x2B				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
PKG_RSSI	7:0	R	数据包 RSSI 值(dBm)	详见 17.6 节	

表 18-12 PKG_RSSI 寄存器说明

寄存器	CD 阈值设置寄存器 CDTH				
地址	0x2C				
复位值	0x8883				
位名称	位	读写	位说明	1	0
CD_TH1	15:8	R/W	CD 的高域值	详见 17.7 节	
CD_TH2	7:0	R/W	CD 的低域值		

表 18-13 CDTH 寄存器说明

寄存器	接收信号能量指示寄存器 RSSI				
地址	0x2D				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	
RSSI	7:0	R	RSSI 值(dBm)	详见 17.6 节	

表 18-14 RSSI 寄存器说明

寄存器	状态寄存器 STATUS0				
地址	0x2E				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PQT	11	R	Preamble 检测标志	发现有效 Preamble	未发现有效 Preamble
CD	10	R	carrier detect 标志	发现有效载波	未发现有效载波
FREQ_ESTIMATION	9:0	R	频率偏差的估计值	详见 17.4 节	

表 18-15 STATUS0 寄存器说明

寄存器		状态寄存器 STATUS1				
地址	0x30					
复位值	-					
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
PIPE_ADDR_MATCH	7	R	同步字接收成功标志 接收完成后硬件清'0'	同步成功	同步不成功	
-	6	-	-	-		
FSM_TX_STATE	5	R	状态机当前发送状态 指示位	状态机处于发 送状态	状态机不处于 发送状态	
-	4:0	-	-	-		

表 18-16 STATUS1 寄存器说明

寄存器		定长寄存器 FIX_LEN_EN				
地址	0x31					
复位值	0x0F01					
位名称	位	读写	位说明	1	0	
FIX_PLD_LEN	15:8	R/W	定长模式 payload 长度	-		
FIX_PLD_LEN_EN	7	R/W	定长模式使能	使能	不使能	
-	6:0	-	-	-		

表 18-17 FIX_LEN_EN 寄存器说明

寄存器		FIFO0 访问寄存器 FIFO0DATA				
地址	0x32					
复位值	-					
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
FIFO0DATA	7:0	R/W	FIFO0 访问寄存器 (MCU 芯片以 byte 为单位 访问 FIFO)	FIFO 读写操作详见 16.3.3 章节		

表 18-18 FIFO0DATA 寄存器说明

寄存器		FIFO1 访问寄存器 FIFO1DATA				
地址	0x33					
复位值	-					
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
FIFO1DATA	7:0	R/W	FIFO1 访问寄存器 (MCU 芯片以 byte 为单位 访问 FIFO)	FIFO 读写操作详见 16.3.3 章节		

表 18-19 FIFO1DATA 寄存器说明

寄存器	ACKFIFO0 访问寄存器 ACKFIFO0DATA				
地址	0x34				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
ACKFIFO0DATA	7:0	R/W	ACKFIFO0 访问寄存器 (MCU 芯片以 byte 为单位访问 ACKFIFO)	FIFO 读写操作详见 16.3.3 章节	

表 18-20 ACKFIFO0DATA 寄存器说明

寄存器	ACKFIFO1 访问寄存器 ACKFIFO1DATA				
地址	0x35				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:8	-	-	-	-
ACKFIFO1DATA	15:0	R/W	ACKFIFO1 访问寄存器 (MCU 芯片以 byte 为单位访问 ACKFIFO)	FIFO 读写操作详见 16.3.3 章节	

表 18-21 ACKFIFO1DATA 寄存器说明

寄存器	FIFO0 配置寄存器 FIFO0CTRL				
地址	0x36				
复位值	0x008E				
位名称	位	读写	位说明	1	0
PTX_FIFO0_FAIL	15	R	重发超时信号，用于区分发送中断置起时 PTX 状态 (PTX 清 INTO 硬件自动清'0')	重发超时	重发未超时
-	14	-	-	-	-
PRX_CRC_ERR0	13	R	PRX 接收存于 FIFO0 中的 PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PRX_FEC23_ERR0	12	R	存于 FIFO0 的接收 PAYLOAD FEC2/3 错误指示位	FEC 错误	FEC 正确
PRX_FIFO0_PIPE	11:9	R	PRX 接收存于 FIFO0 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
			PRX FIFO0 数据填写完成	PRX FIFO0	PRX FIFO0

PRX_FIFO0_OCPY	8	R	信号(清中断 INT0 后硬件清'0')	被占用	未被占用
FIFO0_EN	7	R/W	FIFO0 使能位	使能	不使能
-	6:5	-	-	-	
PTX_FIFO0_NOACK	4	R/W	告知 PRX 从 FIFO0 发送的 PAYLOAD 无需 ACK 控制位(ACK 功能使能时有效)	NOACK	ACK
PTX_FIFO0_PIPE	3:1	R/W	PTX FIFO0 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO0_OCPY	0	R/W	PTX FIFO0 数据填写完成信号(软件清'0')	PTX FIFO0 被占用	PTX FIFO0 未被占用

表 18-22 FIFO0CTRL 寄存器说明

寄存器	FIFO1 配置寄存器 FIFO1CTRL				
地址	0x37				
复位值	0x008E				
位名称	位	读写	位说明	1	0
PTX_FIFO1_FAIL	15	R	重发超时信号, 用于区分发送中断置起时 PTX 状态(PTX 清 INT1 硬件自动清'0')	重发超时	重发未超时
-	14	-	-	-	
PRX_CRC_ERR1	13	R	PRX 接收存于 FIFO1 中的 PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PRX_FEC23_ERR1	12	R	存于 FIFO1 的接收 PAYLOAD FEC2/3 错误指示位	FEC 错误	FEC 正确
PRX_FIFO1_PIPE	11:9	R	PRX 接收存于 FIFO1 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_FIFO1_OCPY	8	R	PRX FIFO1 数据填写完成信号(清中断 INT1 后硬件清'0')	PRX FIFO1 被占用	PRX FIFO1 未被占用
FIFO1_EN	7	R/W	FIFO1 使能位	使能	不使能
-	6:5	-	-	-	
PTX_FIFO1_NOACK	4	R/W	告知 PRX 从 FIFO1 发送的 PAYLOAD 无需 ACK 控制	NOACK	ACK

			位(ACK 功能使能时有效)		
PTX_FIFO1_PIPE	3:1	R/W	PTX FIFO1 中的 PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_FIFO1_OCPY	0	R/W	PTX FIFO1 数据填写完成 信号 (软件清'0')	PTX FIFO1 被占用	PTX FIFO1 未被占用

表 18-23 FIFO1CTRL 寄存器说明

寄存器	ACKFIFO0 配置寄存器 ACKFIFO0CTRL				
地址	0x38				
复位值	0x0E80				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PRX_ACKFIFO0_PIPE	11:9	R/W	PRX ACKFIFO0 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_ACKFIFO0_OCPY	8	R/W	PRX ACKFIFO0 数据填 写完成信号 (软件清'0')	PRX ACKFIFO0 被占用	PRX ACKFIFO0 未被占用
ACKFIFO0_EN	7	R/W	ACKFIFO0 使能位	使能	不使能
-	6:5	-	-	-	
PTX_ACKCRC_ERR0	4	R	PTX 接收存于 ACKFIFO0 的 ACK PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PTX_ACKFIFO0_PIPE	3:1	R	PTX 接收存于 ACKFIFO0 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_ACKFIFO0_OCPY	0	R	PTX ACKFIFO0 数据填写完成信号 (清中断 ACK_INT0 后 硬件清'0')	PTX ACKFIFO0 被占用	PTX ACKFIFO0 未被占用

表 18-24 ACKFIFO0CTRL 寄存器说明

寄存器	ACKFIFO1 配置寄存器 ACKFIFO1CTRL				
地址	0x39				
复位值	0x0E80				
位名称	位	读写	位说明	1	0
-	15:12	-	-	-	
PRX_ACKFIFO1_PIPE	11:9	R/W	PRX ACKFIFO1 中 ACK PAYLOAD 数据所属 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PRX_ACKFIFO1_OCPY	8	R/W	PRX ACKFIFO1 数据填写完成信号（软件清'0'）	PRX ACKFIFO1 被占用	PRX ACKFIFO1 未被占用
ACKFIFO1_EN	7	R/W	ACKFIFO1 使能位	使能	不使能
-	6:5	-	-	-	
PTX_ACKCRC_ERR1	4	R	PTX 接收存于 ACKFIFO1 的 ACK PAYLOAD CRC 错误指示位	CRC 错误	CRC 正确
PTX_ACKFIFO1_PIPE	3:1	R	PTX 接收存于 ACKFIFO1 中 PAYLOAD 数据所属的 PIPE	000: PIPE0 001: PIPE1 010: PIPE2 011: PIPE3 Others:无效	
PTX_ACKFIFO1_OCPY	0	R	PTX ACKFIFO1 数据填写完成信号（清中断 ACK_INT1 后硬件清'0'）	PTX ACKFIFO1 被占用	PTX ACKFIFO1 未被占用

表 18-25 ACKFIFO1CTRL 寄存器说明

寄存器	FIFO 状态寄存器 FIFOSTATUS				
地址	0x3A				
复位值	-				
位名称	位	读写	位说明	1	0
-	15:10	-	-	-	
FIFO0_HALF_FULL	9	R	接收 FIFO0 半满指示位	半满	未半满
FIFO0_HALF_EMPTY	8	R	发送 FIFO0 半空指示位	半空	未半空
-	7:6	-	-	-	
ACKFIFO1_OCPY	5	R	ACKFIFO1 状态指示位	ACKFIFO1 被占用	ACKFIFO1 未被占用
ACKFIFO0_OCPY	4	R	ACKFIFO0 状态指示位	ACKFIFO0 被占用	ACKFIFO0 未被占用

FIFO1_OCPY	3	R	FIFO1 状态指示位	FIFO1 被占用	FIFO1 未被占用
FIFO0_OCPY	2	R	FIFO0 状态指示位	FIFO0 被占用	FIFO0 未被占用
-	1:0	-	-	-	-

表 18-26 FIFOSTATUS 寄存器说明

寄存器		FIFO 指针寄存器 CLEAR			
地址		0x3B			
复位值		-			
位名称	位	读写	位说明	1	0
CLR_W_PTR	15	W	FIFO 写指针清‘0’信号 (不可在接收 PAYLOAD 时使用)	FIFO 写指针清‘0’	无效操作
CLR_W_ACKPTR	14	W	ACKFIFO 写指针清‘0’信号 (不可在接收 ACK PAYLOAD 时使用)	ACK FIFO 写指针清‘0’	无效操作
FIFO0_WR_PTR	13:8	R	FIFO0 写指针	-	
CLR_R_PTR	7	W	FIFO 读指针清‘0’信号 (不可在发送 PAYLOAD 时使用)	FIFO 读指针清‘0’	无效操作
CLR_R_ACKPTR	6	W	ACK FIFO 读指针清‘0’信号 (不可在发送 ACK PAYLOAD 时使用)	ACK FIFO 读指针清‘0’	无效操作
FIFO0_RD_PTR	5:0	R	FIFO0 读指针	-	

表 18-27 CLEAR 寄存器说明

寄存器		PIPE 设置寄存器 PIPECTRL			
地址		0x3C			
复位值		0x3000			
位名称	位	读写	位说明	1	0
P3_EN	15	R/W	PIPE3 使能信号	使能	不使能
P2_EN	14	R/W	PIPE2 使能信号	使能	不使能
P1_EN	13	R/W	PIPE1 使能信号	使能	不使能
P0_EN	12	R/W	PIPE0 使能信号	使能	不使能
-	11:8	-			
P3_ACKPAYLOAD_EN	7	R/W	PIPE3 ACK 带 PAYLOAD 使能信号	使能	不使能
P2_ACKPAYLOAD_EN	6	R/W	PIPE2 ACK 带 PAYLOAD 使能信号	使能	不使能
P1_ACKPAYLOAD_EN	5	R/W	PIPE1 ACK 带	使能	不使能

			PAYLOAD 使能信号		
P0_ACKPAYLOAD_EN	4	R/W	PIPE0 ACK 带 PAYLOAD 使能信号	使能	不使能
P3_ACK_EN	3	R/W	PIPE3 ACK 使能信号	使能	不使能
P2_ACK_EN	2	R/W	PIPE2 ACK 使能信号	使能	不使能
P1_ACK_EN	1	R/W	PIPE1 ACK 使能信号	使能	不使能
P0_ACK_EN	0	R/W	PIPE0 ACK 使能信号	使能	不使能

表 18-28 PIPECTRL 寄存器说明

寄存器	中断寄存器 INT				
地址	0x3D				
复位值	-				
位名称	位	读写	位说明	1	0
ACKINT1_CLR	15	W	ACKINT1 标志位 清'0'信号	清'0'	无效操作
ACKINT1_PID	14:13	R	ACKINT1 为'1'时 PID 指示位	PTX: 指示当 ACKINT1 为'1'时, ACKFIFO1 接收到的 ACK PAYLOAD 所对应的 PID。 PRX: 指示当 ACKINT1 为'1'时, ACKFIFO1 上一次成功发送的 ACK PAYLOAD 所对应的 PID。	
ACKINT1	12	R	ACKFIFO1 中断标志位 PTX: ACKFIFO1 接 ACK PAYLOAD 后置'1'。 PRX: PRX 在接收到新包的 PID 发生变化时置'1'。表明前一次从 ACKFIFO1 中发送的 ACK PAYLOAD 发送成功。 (具体详见 16.2 节)	发生中断	未发生中断
ACKINT0_CLR	11	W	ACKINT0 标志位 清'0'信号	清'0'	无效操作
ACKINT0_PID	10:9	R	ACKINT0 为'1'时 PID 指示位	PTX: 指示当 ACKINT0 为'1'时, ACKFIFO0 接收到的 ACK PAYLOAD 所对应的 PID。 PRX: 指示当 ACKINT0 为'1'时, ACKFIFO0 上一次成功发送的 ACK PAYLOAD 所对应的 PID。	
			ACKFIFO0 中断标志位 PTX: ACKFIFO0 接 ACK PAYLOAD 后置'1'。		

ACKINT0	8	R	PRX: PRX 在接收到新包的 PID 发生变化时置‘1’。表明前一次从 ACKFIFO0 中发送的 ACK PAYLOAD 发送成功。 (具体详见 16.2 节)	发生中断	未发生中断
INT1_CLR	7	W	INT1 标志位清‘0’信号	清‘0’	无效操作
FIFO1_ACK_POS	6	R	PTX 从 FIFO1 发包之后接收的 ACK PAYLOAD 存放的 ACK FIFO (只针对 PTX, 并且 ACKINT1 = ‘1’, ACKINT1_W_ACKPAY = ‘1’时有效)	ACKFIFO1	ACKFIFO0
ACKINT1_W_ACKPAY	5	R	ACKINT1 是否带 ACK PAYLOAD 指示位 (只针对 PTX, 并且 ACKINT1 = ‘1’时有效)	ACK 带 PAYLOAD	ACK 不带 PAYLOAD
INT1	4	R	FIFO1 中断标志位 PTX:发送完成或发送超时 PRX:接收完成、发送 ACK 完成或 Syncword 匹配。 (具体详见 16.2 节)	发生中断	未发生中断
INT0_CLR	3	W	INT0 标志位清‘0’信号	清‘0’	无效操作
FIFO0_ACK_POS	2	R	PTX 从 FIFO0 发包之后接收的 ACK PAYLOAD 存放的 ACK FIFO (只针对 PTX, 并且 ACKINT0 = ‘1’, ACKINT0_W_ACKPAY = ‘1’时有效)	ACKFIFO1	ACKFIFO0
ACKINT0_W_ACKPAY	1	R	ACKINT0 是否带 ACK PAYLOAD 指示位 (只针对 PTX, 并且 ACKINT0 = ‘1’时有效)	ACK 带 PAYLOAD	ACK 不带 PAYLOAD
INT0	0	R	FIFO0 中断标志位 PTX:发送完成或发送超时 PRX:接收完成、发送 ACK 完成或 Syncword 匹配。 (具体详见 16.2 节)	发生中断	未发生中断

表 18-29 INT 寄存器说明

寄存器名称	PIPE0 地址寄存器 P0ADDR0				
地址	0x40				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[15:0]	15:0	R/W	PIPE0 syncword 地址	-	

表 18-30 P0ADDR0 寄存器说明

寄存器名称	PIPE0 地址寄存器 P0ADDR1				
地址	0x41				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[31:16]	15:0	R/W	PIPE0 syncword 地址	-	

表 18-31 P0ADDR1 寄存器说明

寄存器名称	PIPE0 地址寄存器 P0ADDR2				
地址	0x42				
复位值	0xE7E7				
位名称	位	读写	位说明	1	0
P0_ADDR[47:32]	15:0	R/W	PIPE0 syncword 地址	-	

表 18-32 P0ADDR2 寄存器说明

寄存器名称	PIPE1 地址寄存器 P1ADDR0				
地址	0x43				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[15:0]	15:0	R/W	PIPE1 syncword 地址	-	

表 18-33 P1ADDR0 寄存器说明

寄存器名称	PIPE1 地址寄存器 P1ADDR1				
地址	0x44				
复位值	0xC2C2				
位名称	位	读写	位说明	1	0
P1_ADDR[31:16]	15:0	R/W	PIPE1 syncword 地址	-	

表 18-34 P1ADDR1 寄存器说明

寄存器名称		PIPE1 地址寄存器 P1ADDR2				
地址		0x45				
复位值		0xC2C2				
位名称	位	读写	位说明	1	0	
P1_ADDR[47:32]	15:0	R/W	PIPE1 syncword 地址	-		

表 18-35 P1ADDR2 寄存器说明

寄存器名称		PIPE2 地址寄存器 P2ADDR				
地址		0x46				
复位值		0xxx58				
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
P2_ADDR[7:0]	7:0	R/W	PIPE2 syncword 地址低 8 位。 PIPE2 地址总长度可通过寄存器 SYNCWORD_LEN 配置： 16bit : {P1_ADDR[15:8],P2_ADDR} 32bit : {P1_ADDR[31:8],P2_ADDR} 48bit : {P1_ADDR[47:8],P2_ADDR}	-		

表 18-36 P2ADDR 寄存器说明

寄存器名称		PIPE3 地址寄存器 P3ADDR				
地址		0x47				
复位值		0xxxA7				
位名称	位	读写	位说明	1	0	
-	15:8	-	-	-		
P3_ADDR[7:0]	7:0	R/W	PIPE3 syncword 地址低 8 位。 PIPE3 地址总长度可通过寄存器 SYNCWORD_LEN 配置： 16bit : {P1_ADDR[15:8],P3_ADDR} 32bit : {P1_ADDR[31:8],P3_ADDR} 48bit : {P1_ADDR[47:8],P3_ADDR}	-		

表 18-37 P3ADDR 寄存器说明

第 19 章 RF收发器—术语解释

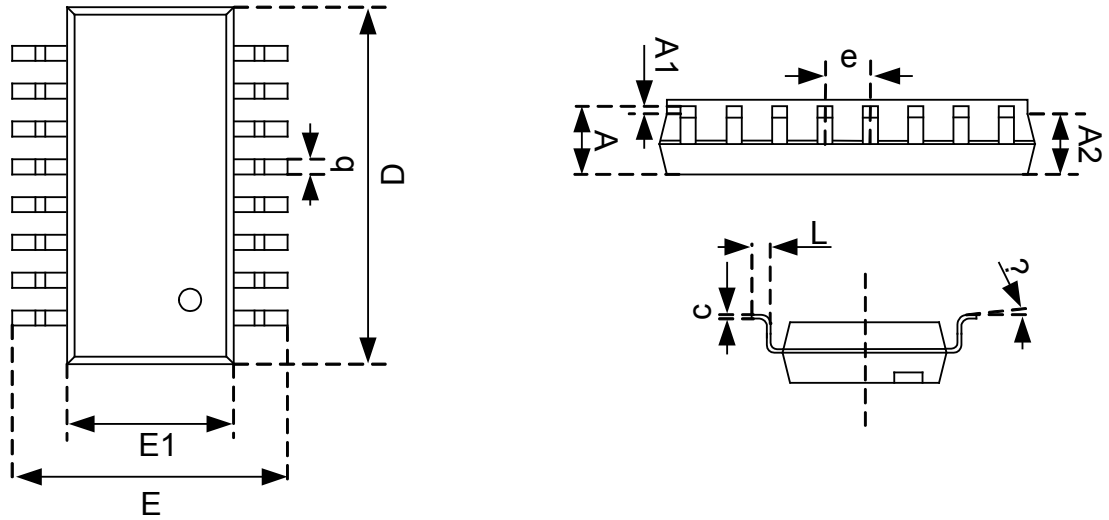
RF 收发器的术语，请参考下表：

Term	Description
ACK	Acknowledgement
ART	Auto Re-Transmit
PTX	Primary TX
PRX	Primary RX
TX	Transmit
RX	Receive
ISM	Industrial-Scientific-Medical
GFSK	Gaussian Frequency Shift Keying
PID	Packet Identity Bits
CE	Chip Enable
IRQ	Interrupt Request
CSN	Chip Select NOT
SCK	Serial Clock
MOSI	Master Out Slave In
MISO	Master In Slave Out

表 19-1 术语解释

第 20 章 封装尺寸图

20.1 封装尺寸图



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	—	0.25
A2	1.25	1.40	1.65
b	0.33	—	0.51
c	0.17	—	0.25
D	9.70	9.90	10.20
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.40	—	1.27
θ	0°	—	8°

图 20-1 SOP16 封装尺寸图

第 21 章 应用参考设计

21.1 典型应用参考PCB设计

21.1.1 参考SCH设计图

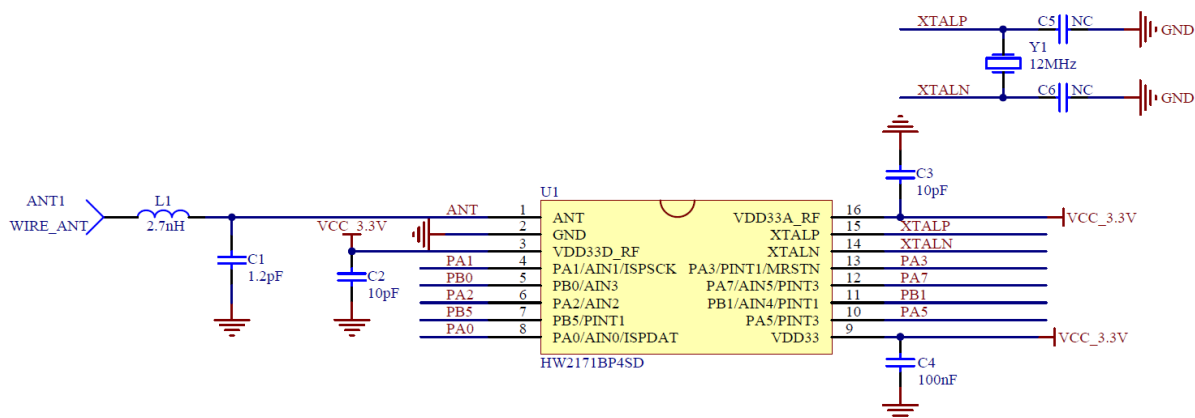


图 21-1 典型应用参考设计 SCH 图

需要注意的是 RF 匹配参数，有两种方案，如下表所示：

方案	L1	C1	说明
电感方案	2.7nH	1.2pF	只可支持导线天线，发射功率大
电容方案	100pF	1.5pF	可支持导线和 PCB 天线，发射功率略小

21.1.2 参考设计SCH的注意事项

- 1) 需要特别注意的是 ANT 脚 (PIN1) 有直流电压输出，不能接地。所以，如果要接一些 PCB 天线 (如有接地馈点的倒 F 型 PCB 天线)，则必须使用电容方案，但其发射功率略小。如果对性能要求比较高，而且不采用接地的 PCB 天线，则可以使用电感方案。
- 2) 芯片内部 RF 的电源管脚是 PIN3、PIN16，MCU 的电源脚是 PIN9，它们在内部是不连的，所以需要在外部连接到电源上。
- 3) 电容 C3 的取值为 10pF 有利于谐波抑制，对于过认证的应用非常重要，必须保留。C2 和 C4 电容，分别是用于芯片内部 RF 数字电源和 MCU 电源的滤波，对于芯片的可靠性发挥了重要作用。
- 4) 晶振两边的电容 C5 和 C6 一般不需要添加，只有在需要调整晶振频率时才使用，但建议在 PCB 板上预留位置。

21.2 参考PCB设计

21.2.1 单面板PCB

下面给出单面板的参考设计。

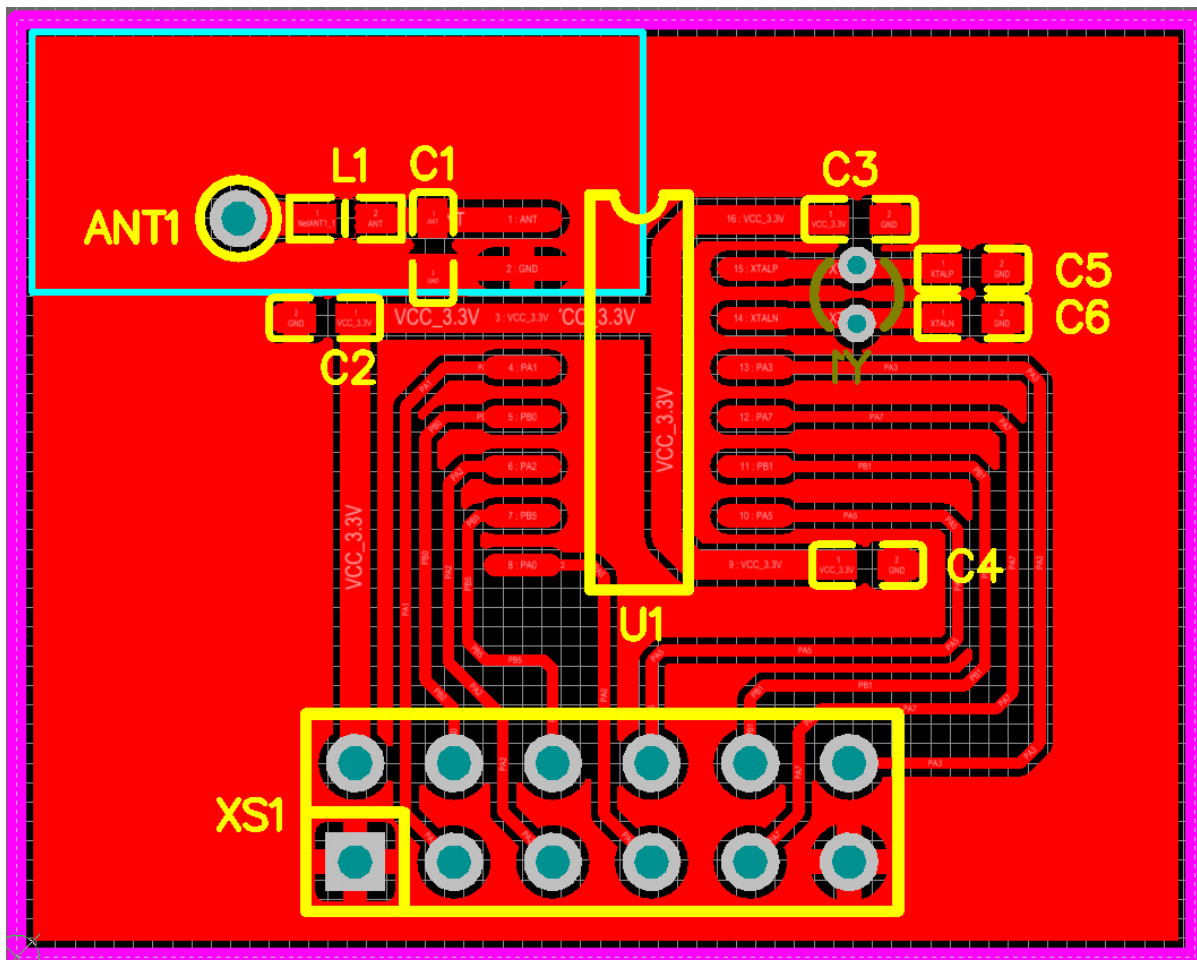


图 21-2 参考设计单面板 PCB 图

21.2.2 单面板PCB设计注意事项

- 1) 需要特别注意，射频元件 ANT1、L1 和 C1 之间的走线尽可能走直线，而且尽量短，建议顺着管脚方向，不要垂直管脚方向。芯片 ANT 脚 (PIN1) 的走线必须先经过 C1，再连接 L1。C1 电容要尽可能靠近芯片 ANT 脚 (PIN1) 和 GND 脚 (PIN2)。
- 2) 由于单面板只有一层布线层，没有独立的地线层，所以应尽可能增大地平面的面积，尤其是芯片 GND 脚 (PIN2) 与射频电路之间的地平面。需要特别注意的是，射频地平面（蓝色框线区域）需要保持完整性，在此区域内只能铺地，禁止走线。
- 3) 数字和晶振电路尽量远离射频前端电路。
- 4) 滤波电容 C2、C3、C4 尽量靠近电源管脚。

21.2.3 双面板PCB

下面给出双面板的参考设计。

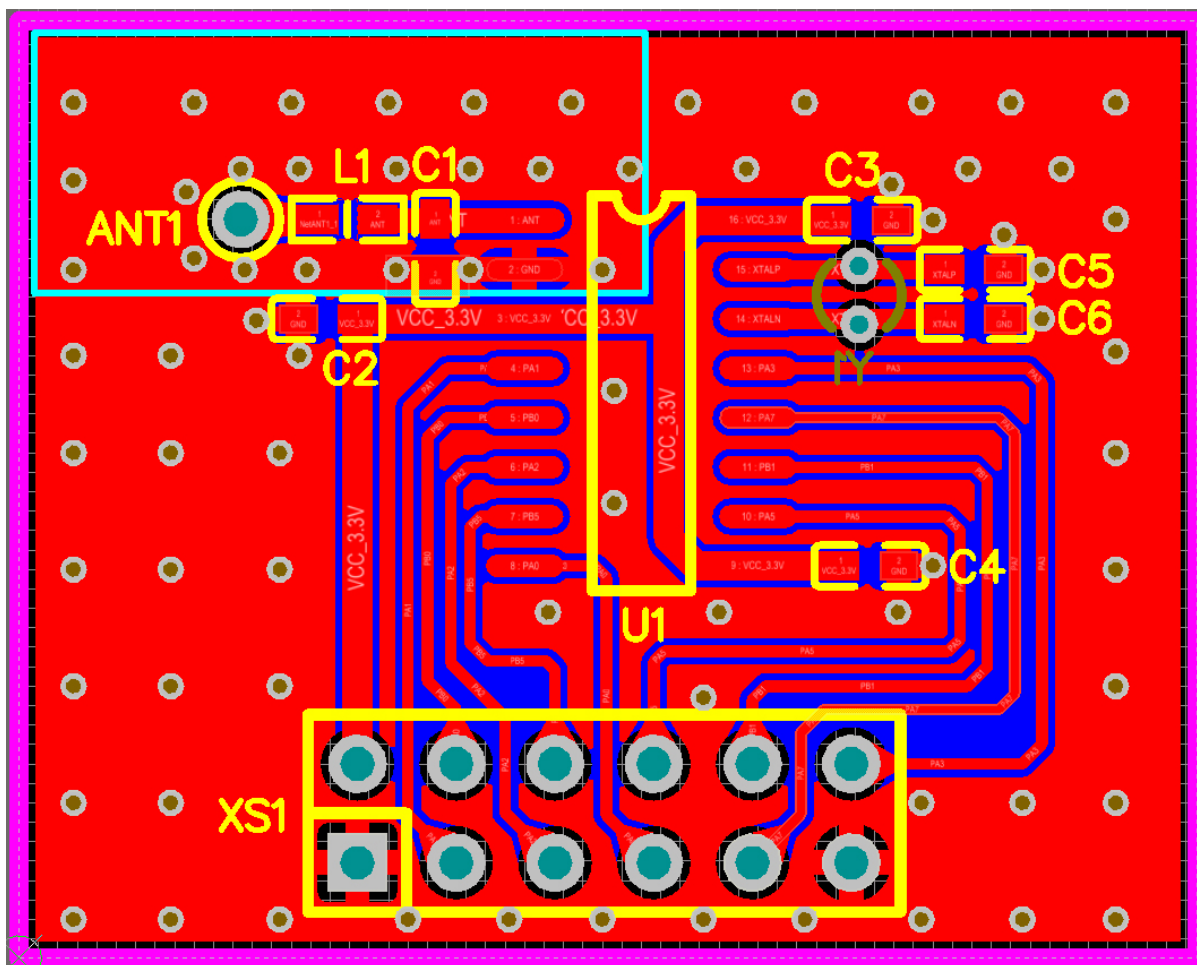


图 21-3 参考设计双面板 PCB 图

21.2.4 双面板PCB设计注意事项

- 1) 需要特别注意，射频元件 ANT1、L1 和 C1 之间的走线尽可能走直线，而且尽量短，建议顺着管脚方向，不要垂直管脚方向。芯片 ANT 脚（PIN1）走线必须先经过 C1，再连接 L1。C1 要尽可能靠近 1 脚和 2 脚。
- 2) 要保证射频电路下方为完整的地平面（蓝色框线区域），在此区域内的顶层和底层都禁止走线，只能铺地线，其面积也要尽可能大。另外，射频电路周围应该“包地”，并且放置一定数量的接地过孔，减小地平面的阻抗。若电源与数字部分需走底层，需考虑走线对地平面的分割应尽可能小，并且尽量远离射频电路。
- 3) 数字和晶振电路尽量远离射频前端电路。
- 4) 滤波电容 C2、C3、C4 尽量靠近电源管脚。

第 22 章 电气特性

22.1 MCU电气特性

测试条件：下列数据，如果没有特别标注，其温度范围都在-40℃~85℃。

22.1.1 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	-	-0.3 ~ 7.5	V
输入电压	V _{IN}	-	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	-	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	-	-55 ~ 125	℃
操作温度	T _{OPR}	VDD: 2.1 ~ 5.5V	-40 ~ 85	℃

22.1.2 功耗参数

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.1	-	5.5	V	F _{OSC} ≤ 2MHz; -40℃~85℃
		3.0	-	5.5	V	F _{OSC} ≤ 20MHz; -40℃~85℃
芯片静态电流	I _{DD}	-	200	-	μA	25℃, VDD = 5V, 内部时钟模式, 所有的 I/O 端口输入低电平, MRSTN = 0, OSC1 = 0, OSC2 = 0。
IDLE0 休眠模式下芯片电流	I _{PD1}	-	2	-	μA	25℃, VDD = 5V, BOR 和 WDT 使能。
		-	3	-	μA	25℃, VDD = 5V, BOR 和 WDT, LVD 使能。
IDLE1 休眠模式下芯片电流 (高速时钟模式)	I _{PD2}	-	400	-	μA	25℃, VDD = 5V, BOR 和 WDT, LVD 使能。
IDLE1 休眠模式下芯片电流 (低速时钟模式)	I _{PD3}	-	25	-	μA	25℃, VDD = 5V, BOR 和 WDT 使能
正常运行模式芯片电流 (高速时钟模式)	I _{OP1}	-	2	-	mA	25℃, VDD = 5V, 正常运行模式, 内部 16MHz RC 时钟, I/O 端口输出固定电平, 无负载, ADC 关闭。
正常运行模式芯片电流 (低速时钟模式)	I _{OP2}	-	610	-	uA	25℃, VDD = 5V, 正常运行模式, 内部 2MHz RC 时钟 (内部 16MHz RC 时钟的 8 分频), I/O 端口输出固定电平, 无负载, ADC 关闭。

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行模式 芯片电流（低速 时钟模式）	I_{OP3}	-	20	-	μA	25°C, VDD = 5V, 正常运行模式, 内部 32KHz RC 时钟, BOR 和 LVD 使能, I/O 端口输出固定电平, 无负载, ADC 关闭。
VDD 管脚的 最大输入电流	I_{MAXVDD}	-	-	55	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I_{MAXVSS}	-	-	120	mA	25°C, VDD = 5V
非大电流 I/O 端 口灌电流	I_{OL2}	-	8	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
非大电流 I/O 端 口拉电流	I_{OH2}	-	8	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$
大电流 I/O 端口 灌电流	I_{OL2}	-	30	-	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
大电流 I/O 端口 拉电流	I_{OH2}	-	16	-	mA	25°C, VDD = 5V $V_{OH} = 4.4V$

22.1.3 输入端口参数

参数	符号	最小值	典型值	最大值	单位	测试条件
PA、PB 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	-	VDD	V	2.1V ≤ VDD ≤ 5.5V
MRSTN 主复位端口输入高电平 (有施密特输入特性)		0.8VDD	-	VDD	V	
PA、PB 端口输入低电平	V_{IL}	VSS	-	0.18VDD	V	
MRSTN 主复位端口输入低电平		VSS	-	0.20VDD	V	
PA、PB 端口输入漏电流	I_{IL}	-	-	±1	μA	2.1V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
MRSTN 主复位端口漏电流		-	-	5	μA	VSS ≤ Vpin ≤ VDD
PA、PB 端口输入弱上拉电流	I_{WPU1}	-	50	-	μA	25°C, VDD=5.0V Vpin = VSS
PA、PB 端口输入弱下拉电流	I_{WPD1}	-	50	-	μA	25°C, VDD=5.0V Vpin = VDD
MRSTN 主复位端口输入弱上拉电流	I_{WPU2}	-	50	-	μA	25°C, VDD=5.0V Vpin = VSS

22.1.4 输出端口参数

参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口 输出高电平	V_{OH}	$VDD-0.7$	-	-	V	$2.1V \leq VDD \leq 5.5V$ $I_{OH} = 2mA$
I/O 端口 输出低电平	V_{OL}	-	-	0.6	V	$2.1V \leq VDD \leq 5.5V$ $I_{OL} = 3mA$

22.1.5 系统时钟参数

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F_{OSC}	-	-	2M	Hz	$2.1V \leq VDD \leq 5.5V$
		-	-	8M	Hz	$2.7V \leq VDD \leq 5.5V$
		-	-	20M	Hz	$3.0V \leq VDD \leq 5.5V$
系统时钟周期	T_{OSC1}	500	-	-	ns	$2.1V \leq VDD \leq 5.5V$
		125	-	-	ns	$2.7V \leq VDD \leq 5.5V$
		50	-	-	ns	$3.0V \leq VDD \leq 5.5V$
外部时钟高电平和 低电平时间	T_{OSL}, T_{OSH}	15	-	-	ns	-
外部时钟上升和下降 时间	T_{OSR}, T_{OSF}	-	-	15	ns	-
WDT 溢出时间	T_{WDT}	2.4 (9.6KHz)	8 (32K Hz)	13.6 (54K Hz)	ms	$VDD = 5V,$ $-40^{\circ}C \sim 85^{\circ}C$

22.1.6 内部 16MHz RC时钟校准参数

校准条件	工作条件	最小值	典型值	最大值	单位
5V, 25°C 将频率校准至 16MHz	25°C, VDD = 5V	15.68	16	16.32	MHz
	-40°C ~ 85°C, VDD = 2.1V ~ 5.5V	15.52	16	16.48	MHz

22.1.7 ADC交流参数

参数名	符号	说明	最小值	典型值	最大值	单位
分辨率	RR	25°C, VDD=5V, 内部 VDD 参考, $f_{ADCCLK}=1MHz$, 采样时间为 8 个 ADCCLK	-	11	-	bit
差分线性 精度	DNL		-	± 1	-	LSB
积分线性 精度	INL		-	± 2	-	LSB
失调误差	Voffset	25°C, VDD=5V, $f_{ADCCLK}=1MHz$, 采样时间为 8 个 ADCCLK	-	± 2	-	mV
参考电压 范围	Vref1	25°C, VDD=5V, 外部参考 VREFP	2	-	VDD	V
	Vref2	25°C, VDD=5V, 内部 VDD 参考	-	VDD	-	V

参数名	符号	说明	最小值	典型值	最大值	单位
	Vref3	25℃, VDD=5V, 内部 4.0V 参考	3.92	4.0	4.08	V
	Vref4	25℃, VDD=5V, 内部 3.0V 参考	2.94	3.0	3.06	V
	Vref5	25℃, VDD=5V, 内部 2.1V 参考	2.05	2.1	2.15	V
ADC 工作时芯片供电电压	Vpow	内部 VDD 参考或外部 VREFP 参考	2.5	-	-	V
		内部参考 2.1V	3	-	-	V
		内部参考 3.0V	3.5	-	-	V
		内部参考 4.0V	4.5	-	-	V
模拟电压输入范围	VIN	-	0	-	Vref1-5	V
输入电容	CIN	-	-	40	-	Pf
模拟输入推荐输入电阻	RIN	-	-	10	-	KΩ

注：此处参数为设计理论值。

22.1.8 ADC转换时间参数

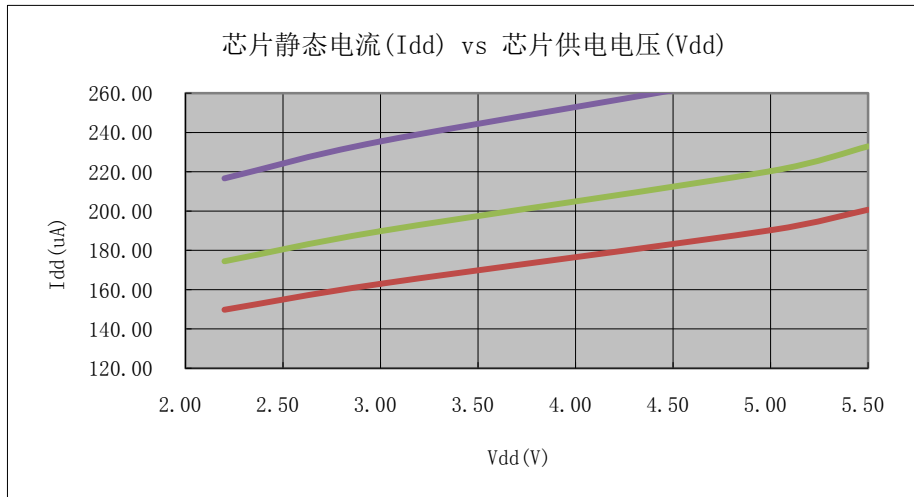
A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用	不推荐使用	不推荐使用	$T_{ADCCCLK} = 1\mu s$
Fosc/2	不推荐使用	不推荐使用	$T_{ADCCCLK} = 0.5\mu s$	$T_{ADCCCLK} = 2\mu s$
Fosc/4	不推荐使用	$T_{ADCCCLK} = 0.5\mu s$	$T_{ADCCCLK} = 1\mu s$	$T_{ADCCCLK} = 4\mu s$
Fosc/8	$T_{ADCCCLK} = 0.5\mu s$	$T_{ADCCCLK} = 1\mu s$	$T_{ADCCCLK} = 2\mu s$	$T_{ADCCCLK} = 8\mu s$
Fosc/16	$T_{ADCCCLK} = 1\mu s$	$T_{ADCCCLK} = 2\mu s$	$T_{ADCCCLK} = 4\mu s$	$T_{ADCCCLK} = 16\mu s$
Fosc/32	$T_{ADCCCLK} = 2\mu s$	$T_{ADCCCLK} = 4\mu s$	$T_{ADCCCLK} = 8\mu s$	$T_{ADCCCLK} = 32\mu s$
Fosc/64	$T_{ADCCCLK} = 4\mu s$	$T_{ADCCCLK} = 8\mu s$	$T_{ADCCCLK} = 16\mu s$	$T_{ADCCCLK} = 64\mu s$

注：Tad 值不满足设计精度要求，不推荐使用。

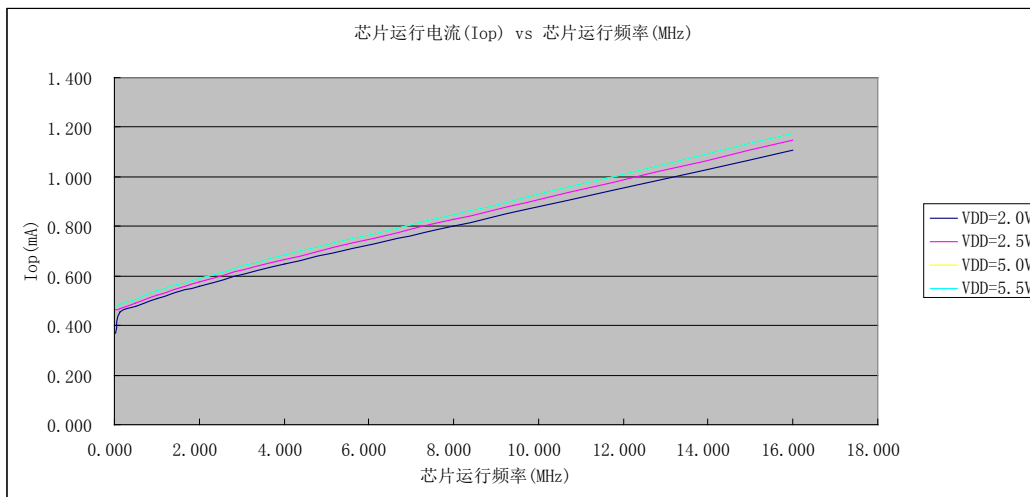
22.2 MCU参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

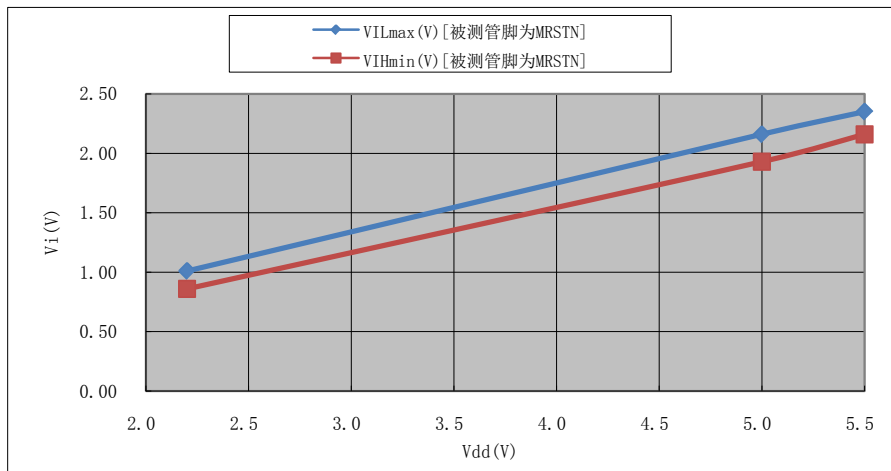
◆ 芯片静态电流随芯片电压变化特性图



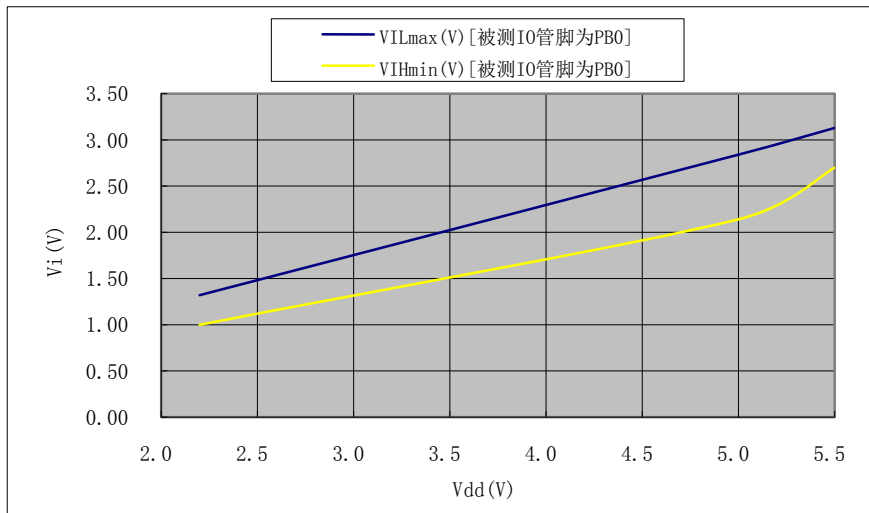
◆ 正常运行模式下芯片电流随时钟频率变化图 (F_{osc} 时钟源为内部 16MHz RC 时钟的不同分频, 室温 25°C)



◆ 外部复位信号输入特性图 (室温 25°C)

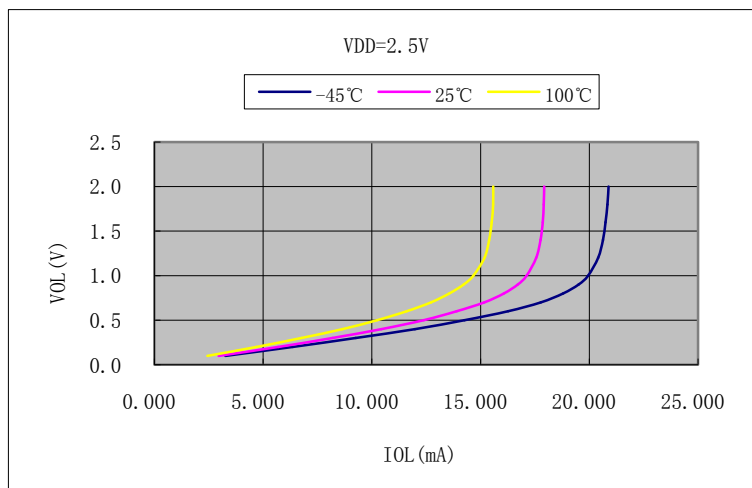


◆ I/O 端口信号输入特性图 (室温 25°C)

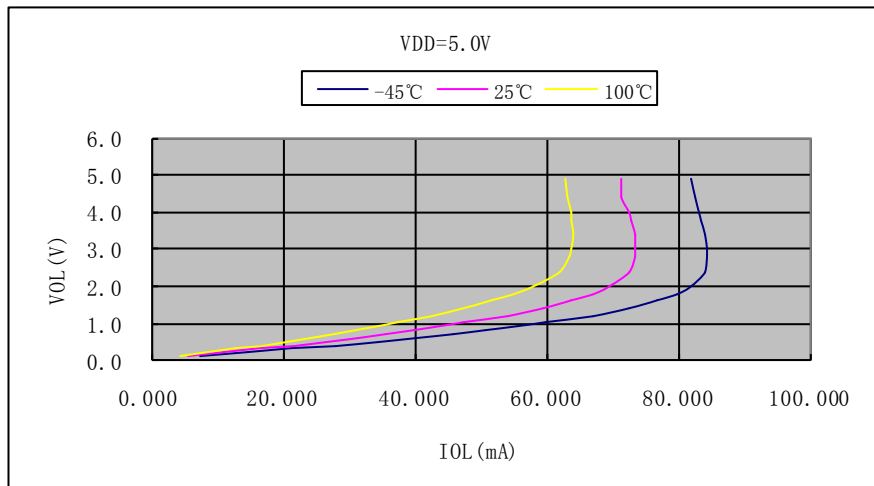


◆ I/O 端口输出特性图

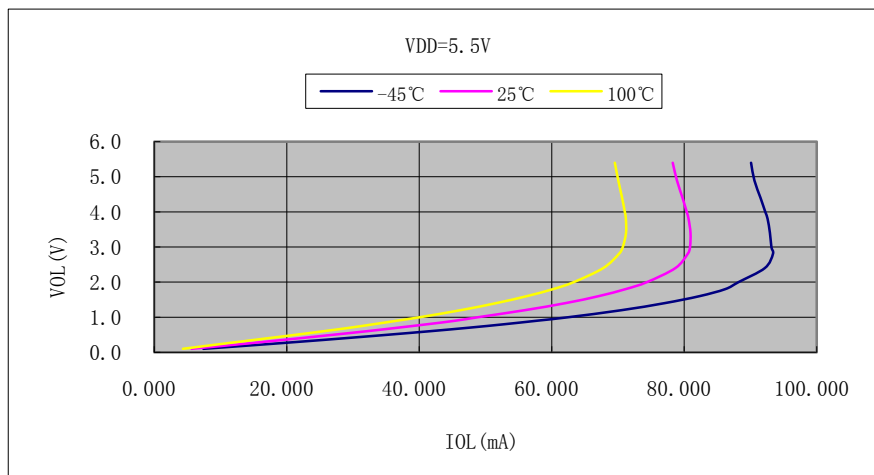
A: V_{OL} vs I_{OL} @ $V_{DD}=2.5V$



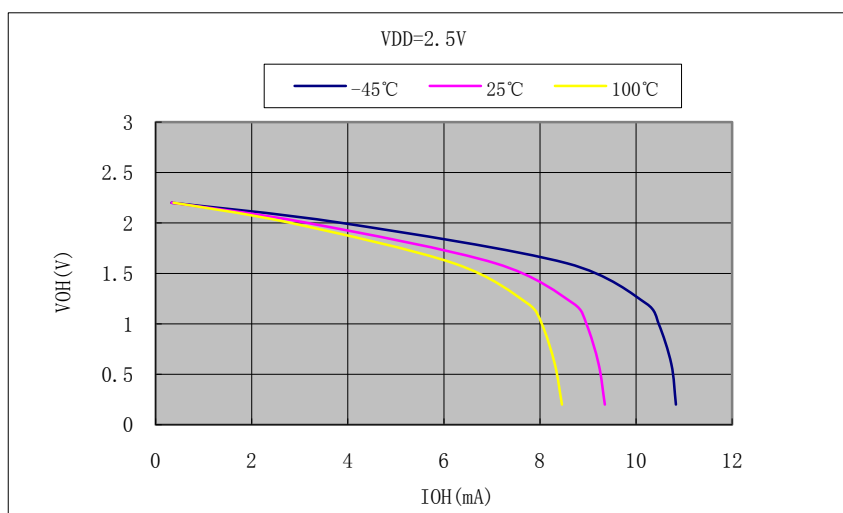
B: V_{OL} vs I_{OL} @VDD=5.0V



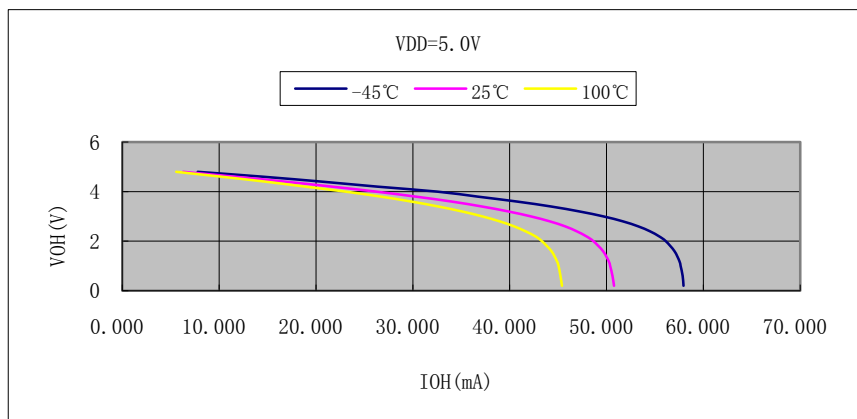
C: V_{OL} vs I_{OL} @VDD=5.5V



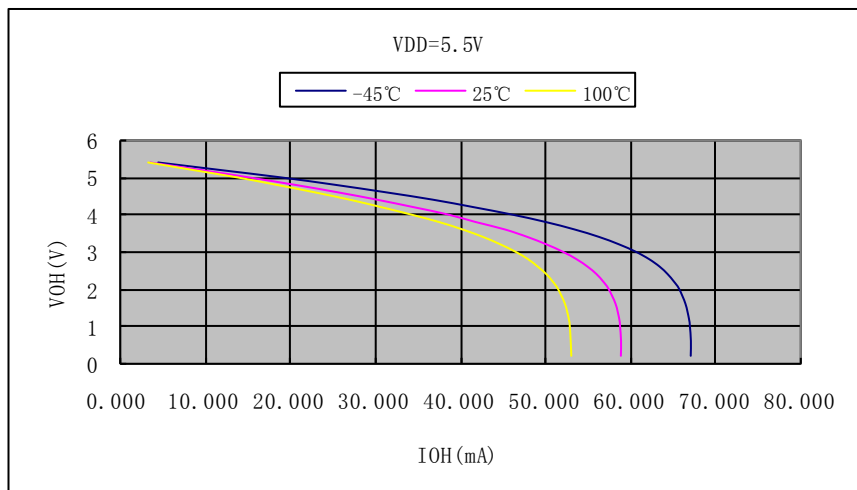
D: V_{OH} vs I_{OH} @VDD=2.5V



E: V_{OH} vs I_{OH} @VDD=5V



F: V_{OH} vs I_{OH} @VDD=5.5V



22.3 RF收发器电气特性

22.3.1 功耗参数

符号	参数	Min.	Typ.	Max.	Units
VDDRF	VDDRF 供电电压	2.0	3.0	3.6	V
低功耗模式					
I _{VDD_PD}	POWER DOWN 模式芯片电流	-	1.5	-	uA
I _{VDD_Sleep}	SLEEP 模式芯片电流	-	25	-	uA
I _{VDD_Idle}	IDLE 模式芯片电流	-	1.7	-	mA
TX 模式					
I _{VDD_TX8}	输出功率为 8dBm 时的电流	-	40	-	mA
I _{VDD_TX5}	输出功率为 5dBm 时的电流	-	28	-	mA
I _{VDD_TX0}	输出功率为 0dBm 时的电流	-	23	-	mA
I _{VDD_TX5N}	输出功率为-5dBm 时的电流	-	18	-	mA
I _{VDD_TX15N}	输出功率为-15dBm 时的电流	-	15	-	mA
I _{VDD_TX20N}	输出功率为-20dBm 时的电流	-	14	-	mA
I _{VDD_TX25N}	输出功率为-25dBm 时的电流	-	13	-	mA
RX 模式					
I _{VDD}	接收机高灵敏度时的电流@1M/250Kbps	-	20	-	mA
I _{VDD}	接收机低灵敏度时的电流@1M/250Kbps (该模式下灵敏度下降约 6dB)	-	18	-	mA

注: Typ.为常温测得的数据; Min.和 Max.为全温度, 全电压范围内测得的最小值和最大值。

22.3.2 通讯基本参数

符号	参数	Min.	Typ.	Max.	Units
F _{OP}	工作频段	2300	-	2500	MHz
PLL _{res}	PLL 可配置频率	2300	-	2500	MHz
F _{XTAL}	振荡器频率	12	12	16	MHz
Δf _{1M}	频偏 @ 1Mbps	-	250	-	KHz
Δf _{250K}	频偏 @ 250Kbps	-	250	-	KHz
R _{GFSK}	基带数据速率	250	-	1000	Kbps
F _{CH1M}	非重叠带间距 @ 1Mbps	-	1	-	MHz
F _{CH250K}	非重叠带间距 @ 250Kbps	-	0.25	-	MHz

22.3.3 发射机参数

符号	参数	Min.	Typ.	Max.	Units
P _{RF}	最大输出功率	-	8	-	dBm
P _{RFC}	RF 发射机输出功率可调范围	-40	-	8	dBm
P _{RFCR}	RF 发射机输出功率可调精度	-	1	2	dB

22.3.4 接收机参数

符号	参数	Min.	Typ.	Max.	Units
RX_{max}	BER<0.1%时最大接收信号能量	-10	-	10	dBm
RX_{SENS}	灵敏度 (0.1%BER) @1Mbps	-	-89	-	dBm
RX_{SENS}	灵敏度 (0.1%BER) @250Kbps	-	-93	-	dBm
C/I_{CO}	同频信号 C/I (@1Mbps)	-	-	10	dB
C/I_{1ST}	1 st 邻道抑制 C/I 1MHz	-25	-	-	dB
C/I_{2ND}	2 nd 邻道抑制 C/I 2MHz	-27	-	-	dB
C/I_{3RD}	3 rd 邻道抑制 C/I 3MHz	-36	-	-	dB
C/I_{CO}	同频信号 C/I (@250Kbps)	-	-	6	dB
C/I_{1ST}	1 st 邻道抑制 C/I 1MHz	-25	-	-	dB
C/I_{2ND}	2 nd 邻道抑制 C/I 2MHz	-27	-	-	dB
C/I_{3RD}	3 rd 邻道抑制 C/I 3MHz	-41	-	-	dB

22.3.5 振荡器参数

符号	参数	Min.	Typ.	Max.	Units
F_{xo}	晶振频率	12	12	16	MHz
ΔF	晶振频偏	-	± 10	± 60	ppm

22.3.6 IO端口DC参数

符号	参数	Min.	Typ.	Max.	Units
V_{IH}	IO 端口输入高电平	0.7VDD	-	-	V
V_{IL}	IO 端口输入低电平	-	-	0.4VDD	V
V_{OH}	IO 端口输出高电平(I _{OH} =4.0mA)	VDD-0.6	-	-	V
V_{OL}	IO 端口输出低电平(I _{OL} =6.0mA)	-	-	0.7	V

22.3.7 状态切换时间参数

符号	参数	Min.	Typ.	Max.	Units
T_{Stol}	芯片从 SLEEP 模式进入 IDLE 模式时间	-	5	-	μs
T_{Ptol}	芯片从 POWER DOWN 模式进入 IDLE 模式时间	-	900	-	μs
T_{AFset}	芯片使能发送或接收后射频前端建立时间	-	250	-	μs
$T_{TxDtoRxD}$	芯片发送数据包完成后切换为接收 ACK 状态射频前端建立时间 (ACK 使能)	-	250	-	μs
$T_{RxDtoTxD}$	芯片接收数据包完成后切换为发送 ACK 状态射频前端建立时间 (ACK 使能)	-	250	-	μs